

EDA 精品智汇馆

硬件系统工程师宝典

张志伟 王新才 著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书从实际电路设计入手,对硬件系统开发流程中的需求分析、概要设计、硬件开发平台搭建、原理图的详细设计、PCB 的详细设计进行综合论述;对电路设计中的信号完整性(SI)、电源完整性(PI)、电磁兼容性(EMC)及 DFX 的基础理论进行了分类总结并给出了对应这些理论的实际电路的设计方法及仿真分析的方法。全书共分 9 章,主要内容包括:硬件系统设计中的常见需求,设计中需要考虑的各类概要设计及开发平台的归纳,SI 的理论分析及满足 SI 的常用设计方法,PI 的理论分析及满足 PI 的常用设计方法,EMC/EMI 的理论分析及满足 EMC/EMI 的常用设计方法,DFX 的理论分析及满足 DFX 的常用设计方法,电路设计中常用各类器件的原理说明及常用电路的原理图设计,对 PCB 设计中的布局、布线及 PCB 的板级仿真分析进行了归纳分类,对 PCB 设计的后续工作及 PCB 加工的技术要求进行了归纳总结。

本书适合从事硬件系统设计的相关技术人员阅读,也可作为高等学校电子、通信类专业的高年级学生的教学参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

硬件系统工程师宝典 / 张志伟, 王新才著. —北京: 电子工业出版社, 2015.1

(EDA 精品智汇馆)

ISBN 978-7-121-24982-2

I. ①硬… II. ①张… ②王… III. ①硬件—系统设计 IV. ①TP303

中国版本图书馆 CIP 数据核字(2014)第 276314 号

策划编辑: 王敬栋 (wangjd@phei.com.cn)

责任编辑: 谭丽莎

印 刷:

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 22.25 字数: 569.6 千字

版 次: 2015 年 1 月第 1 版

印 次: 2015 年 1 月第 1 次印刷

印 数: 3 000 册 定价: 68.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

对于刚刚进入电子系统设计殿堂的设计者，很多时候对电子设计领域已广泛使用的开发平台没有一个总体的认识，使自己的开发设计局限于某一个或几个平台，无法跟随业界的主流开发环境，无法在众多的开发工具中找到属于自己的“倚天屠龙”。如果长时间局限于一个界限范围内，当设计水平到达一定程度后就会出现属于自己特有的职业生涯瓶颈或技术瓶颈。目前电子系统设计主流的开发平台、主流的系统设计流程是怎样的呢？

对于初入硬件系统设计领域的开发者来说，在进行一个新的项目或一个新的系统设计时，如果在系统开发时先对需求和系统的设计框架有一个清晰的认识，再逐步深入系统设计的方方面面，就能在系统开发中做到游刃有余，并在设计开发的过程中逐步开阔自己的眼界，使自己的系统设计架构能力不断得到提高，为现在及以后的系统架构设计和系统开发风险的评估奠定坚实的基础。如何在系统开发前对系统中的常见需求有一个清晰的认识，把控用户的需求和系统的概要设计架构呢？

随着技术的发展，大量数据的处理需求随处可见，硬件系统作为大数据及高速率处理的平台，随之出现的是高速电路设计的需求。高速电路设计突出“高速”，其设计思路已不能再局限于传统的物理互联设计，其互联通道充斥着各种寄生参数，并且传输线理论也广泛应用于高速互联设计。随着系统的复杂高速互联，信号完整性（SI）问题、电源完整性（PI）问题、EMC/EMI 问题及满足 DFM 工艺设计要求的 DFX 要求随之而来。高速系统设计中，对如此多的问题和知识点能否抽丝剥茧找到一个切口，慢慢地渗入其中，深入设计的深处，并能够不再对烦琐的、可怕的专业术语感到恐惧，不断萃取这些知识用于实际设计，不断前进、不断提升自己呢？

在电路的原理性设计中，常用的分立元器件及各功能的 IC 种类不是无限的，能否对常用器件的性能、使用方法及注意事项进行归类总结，便于在设计中进行参考呢？

不积跬步无以至千里，不积小流无以成江海。PCB 的设计是由无数的点、线、面综合连接而成，倾注了 PCB 设计工程师的心血。在烦琐的互联中是否有规律可循，能否对 PCB 设计中的各类技巧、方法进行整理、归纳，以规范性的文档用于日常的设计并在设计中反复验证，提炼出属于自己的 PCB 设计思想呢？

PCB 的加工都有一定的加工技术要求，与 PCB 厂家进行有效的沟通，将自己的设计思想及要求让 PCB 厂家完完全全、明明白白地理解是保证加工出的 PCB 与设计的 PCB 无限接近的基础。能否对 PCB 加工的技术要求进行规范的文档说明，使 PCB 自己能够对厂家进行详尽的介绍呢？

带着对以上诸多疑问的苦苦思索，我们开始了本书的构思及编写。

本书从实际电路设计入手，按照硬件系统的设计流程，对需求分析、概要设计、原理图的详细设计、PCB 的详细设计及在电路设计中的信号完整性、电源完整性、电磁兼容性、

DFX 进行了综合论述并对每一部分内容都进行了分类和总结。

第 1 章在需求分析部分对硬件系统设计中的常见需求进行了归类，并对其中涉及的部分方案、方法和 IC 厂家进行了对应的衔接。

第 2 章在概要设计部分对概要设计中常常需要考虑的各类设计的可行性进行了分类归纳及说明，如信号完整性的可行性分析、电源完整性的可行性分析、EMC/EMI 的可行性分析等；在开发平台部分对目前业内主流的 PCB 设计平台、PCB 仿真分析平台及 3D 电磁场分析平台进行了概述。

第 3 章在信号完整性分析部分详细说明了信号完整性产生的原因及相应的解决方法，并对信号完整性分析中常用的 IBIS 模型和 S 参数模型进行了说明。

第 4 章在电源完整性分析部分分析了电源完整性产生的原因，并对电容的去耦特性、平面的去耦特性、平面的谐振特性及电源完整性中的目标阻抗设计方法进行了说明。

第 5 章在 EMC/EMI 分析部分分析了 EMC/EMI 问题，并对 PCB 设计中满足 EMC/EMI 的布局、布线及叠层的常用设计方法进行了分类和总结。

第 6 章在 DFX 分析部分对设计中的 DFX 进行了归类说明，并详细论述了 PCB 中的工艺设计要求及满足 PCB 工艺设计要求的常用设计方法。

第 7 章在硬件系统原理图详细设计部分对电路设计中常用的各类器件进行了原理性说明，并对其在电路设计中的应用进行了归类和总结。

第 8 章在硬件系统 PCB 详细设计部分从 PCB 的布局、布线及 PCB 的板级仿真角度进行了归类论述，对 PCB 的布局、布线注意事项及方法进行了详细的说明。

第 9 章在确认 PCB 的加工图纸阶段，对 PCB 的后续处理及 PCB 加工技术要求进行了归类及详细说明。

本书在编写的过程中查阅了大量的资料，文中的很多技术观点与设计思路都是各位同行在教学和工程设计中共同探讨的结果，在此向提供资料的同事、朋友及各大电子设计论坛的电子设计爱好者表示真诚的感谢。本书在编写的过程中也得到了亲人的大力支持，在此表示衷心的感谢。

由于作者的水平有限，错误和疏漏之处在所难免，欢迎广大专家和读者指正。

张志伟 王新才
2014 年 4 月

目 录

第 1 章 需求分析	1
1.1 功能需求	1
1.1.1 供电方式及防护	1
1.1.2 输入与输出信号类别	2
1.1.3 无线通信功能	2
1.2 整体性能要求	7
1.3 用户接口要求	8
1.4 功耗要求	9
1.5 成本要求	10
1.6 IP 和 NEMA 防护等级要求	10
1.7 需求分析案例	11
1.8 本章小结	15
第 2 章 概要设计及开发平台	16
2.1 ID 及结构设计	16
2.2 软件系统开发	18
2.2.1 无操作系统的软件开发	19
2.2.2 有操作系统的软件开发	20
2.2.3 软件开发的一般流程	22
2.3 硬件系统概要设计	24
2.3.1 信号完整性的可行性分析	24
2.3.2 电源完整性的可行性分析	26
2.3.3 EMC 的可行性分析	32
2.3.4 结构与散热设计的可行性分析	34
2.3.5 测试的可行性分析	41
2.3.6 工艺的可行性分析	44
2.3.7 设计系统框图及接口关键链路	46
2.3.8 电源设计总体方案	48
2.3.9 时钟分配图	51
2.4 PCB 开发工具介绍	52
2.4.1 Cadence Allegro	54
2.4.2 Mentor 系列	58
2.4.3 Zuken 系列	62
2.4.4 Altium 系列	62
2.4.5 PCB 封装库助手	63

2.4.6	CAM350	71
2.4.7	Polar Si9000	73
2.5	RF 及三维电磁场求解器工具	82
2.5.1	ADS	82
2.5.2	ANSYS Electromagnetics Suite	84
2.5.3	CST	85
2.5.4	AWR Design Environment	86
2.6	本章小结	86
第 3 章	信号完整性 (SI) 分析方法	87
3.1	信号完整性分析概述	87
3.2	信号的时域与频域	88
3.3	传输线理论	90
3.4	信号的反射与端接	97
3.5	信号的串扰	101
3.6	信号完整性分析中的时序设计	103
3.7	S 参数模型	108
3.8	IBIS 模型	111
3.9	本章小结	113
第 4 章	电源完整性 (PI) 分析方法	114
4.1	PI 分析概述	114
4.2	PI 分析的目标	120
4.3	PI 分析的设计实现方法	122
4.3.1	电源供电模块 VRM 设计	122
4.3.2	直流压降及通流能力	122
4.3.3	电源内层平面的设计	123
4.4	本章小结	128
第 5 章	EMC/EMI 分析方法	129
5.1	EMC/EMI 分析概述	129
5.2	EMC 标准	130
5.3	PCB 的 EMC 设计	130
5.3.1	EMC 与 SI、PI 综述	130
5.3.2	模块划分及布局	131
5.3.3	PCB 叠层结构	132
5.3.4	滤波在 EMI 处理中的应用	139
5.3.5	EMC 中地的分割与汇接	140
5.3.6	EMC 中的屏蔽与隔离	140
5.3.7	符合 EMC 的信号走线与回流	141
5.4	本章小结	144
第 6 章	DFX 分析方法	145
6.1	DFX 分析概述	145
6.2	DFM——可制造性设计	145

6.2.1	印制板基板材料选择	146
6.2.2	制造的工艺及制造水平	148
6.2.3	PCB 设计的工艺要求 (PCB 工艺设计要考虑的基本问题)	148
6.2.4	PCB 布局的工艺要求	152
6.2.5	PCB 布线的工艺要求	154
6.2.6	丝印设计	155
6.3	DFT——设计的可测试性	156
6.4	DFA——设计的可装配性	156
6.5	DFE——面向环保的设计	156
6.6	本章小结	157
第 7 章	硬件系统原理图详细设计	158
7.1	原理图封装库设计	158
7.2	原理图设计	161
7.2.1	电阻特性分析	162
7.2.2	电容特性分析	169
7.2.3	电感特性分析	174
7.2.4	磁珠特性分析	177
7.2.5	BJT 应用分析	179
7.2.6	MOSFET 应用分析	184
7.2.7	LDO 应用分析	193
7.2.8	DC/DC 应用分析	196
7.2.9	处理器	205
7.2.10	常用存储器	207
7.2.11	总线、逻辑电平与接口	226
7.2.12	ESD 防护器件	252
7.2.13	硬件时序分析	254
7.2.14	Datasheet 与原理图设计的前前后后	255
7.3	Pspice 仿真在电路设计中的应用	257
7.4	本章小结	261
第 8 章	硬件系统 PCB 详细设计	262
8.1	PCB 设计中的 SI\PI\EMC\EMI\ESD\DFX	262
8.2	PCB 的板框及固定接口定位	270
8.3	PCB 的叠层结构: 信号层与电源平面	272
8.3.1	PCB 的板材: Core 和 PP, FPC	272
8.3.2	传输线之 Si9000 阻抗计算	278
8.3.3	PCB 平面层敷铜	278
8.4	PCB 布局	279
8.4.1	PCB 布局的基本原则	280
8.4.2	PCB 布局的基本顺序	281
8.4.3	PCB 布局的工艺要求及特殊元器件布局	282
8.4.4	PCB 布局对散热性的影响: 上风口、下风口	282

8.5 PCB 布线283

8.5.1 PCB 布线的基本原则290

8.5.2 PCB 布线的基本顺序291

8.5.3 PCB 走线中的 Fanout 处理293

8.6 常见电路的布局、布线295

8.6.1 电源电路的布局、布线295

8.6.2 时钟电路的布局、布线297

8.6.3 接口电路的布局、布线298

8.6.4 CPU 最小系统的布局、布线305

8.7 PCB 的板级仿真分析311

8.7.1 信号完整性前仿真分析312

8.7.2 信号时序 Timing 前仿真分析312

8.7.3 信号完整性后仿真分析313

8.7.4 电源完整性后仿真分析314

8.7.5 PCB 级 EMC/EMI 仿真分析316

8.8 本章小结317

第 9 章 PCB 设计后处理及 Gerber 输出318

9.1 板层走线检查及调整318

9.2 板层敷铜检查及修整319

9.3 丝印文字及 LOGO320

9.4 尺寸和公差标注320

9.5 Gerber 文档输出及检查320

9.6 PCB 加工技术要求327

9.7 本章小结328

附录 A Orcad PSpice 仿真库 (\capture\library\pspice 和 capture\library\pspice\advanls 目录)329

附录 B Cadence Allegro 调试错误及解决方法333

附录 C Allegro 错误代码对应表342

参考文献347

需求分析

生活中我们完成一件事情，主要包含几个方面：做事情的目标、做事情具备的条件、做事情的过程、事情做完后的效应。就如同修路一样，需要确定所修路的起点和终点、路的级别要求、修路的过程所需要的人力和物力、路修好后所带来的经济效应等。同样，硬件系统设计作为系统工程中的一份子，在设计之初就需要勾绘出系统设计的“鹰眼蓝图”，即所谓的需求分析。

需求分析是硬件系统设计的第一步，在系统设计的环节中起着举足轻重的作用。需求分析做得好，才能够使设计的产品满足市场需求，有了明确的需求才能够确定产品的 ID 设计方案、结构设计方案、硬件设计方案和软件方案等。硬件系统由硬件电路构成，硬件电路由各种电子元件的实体依据电路设计者有目的的创造行为连接组合而成，本章就产品设计中的硬件系统设计展开论述。

1.1 功能需求

功能需求明确了设计的硬件系统所具备的功能，明确了功能就可以针对要完成的功能选择不同厂家的芯片来实现所需功能。硬件系统常见的功能需求有：供电方式及防护、输入与输出信号类别及处理、无线通信功能等。

1.1.1 供电方式及防护

需要确定硬件系统的供电是采用内置电源板直接从市电供电还是采用外置直流稳压电源供电。采用内置电源板供电，一般需要单独设计开关电源板，针对不同的应用行业开关电源的设计规格不同，需要根据不同的行业标准进行设计。采用外置直流稳压电源供电，能够简化硬件系统电源部分的设计，但需要一个外置的电源。

有些工控类设备或医疗设备需要采用 PoE (Power Over Ethernet) 供电。PoE 指的是在现有的以太网 Cat.5 布线基础架构不做任何改动的前提下，在为一些基于 IP 的终端（如 IP 电话机、无线局域网接入点 AP、网络摄像等）传输数据信号的同时，还能为此类设备提供直流供电的技术。PoE 技术能在确保现有结构化布线安全的同时保证现有网络的正常运作，最大限度地降低成本。IEEE 802.3af（输出电压为 44~57V，输出功率为 15.4W）成为首个 PoE 供电标准，它规定了以太网供电标准，是现在 PoE 应用的主流实现标准。IEEE802.3at（输出电压为 50~57V，输出功率为 25.5W）应大功率终端的需求而诞生，在兼容 802.3af 的基础上，提供更大的供电需求，以满足新的需求。

有些工控类设备或医疗设备要求一部分功能电路的失效不会影响到整个硬件系统的稳定运转，因此对于此类需求的硬件系统需要设计彼此隔离的供电和输入/输出电路模块。对各部分电路的供电可以选用不同规格的电源隔离 IC，对各部分电路的数据输入/输出可以采用数据

通信隔离 IC。

1.1.2 输入与输出信号类别

硬件与软件的交互完成对信号的处理，硬件的健壮是系统稳定运行的基础，软件赋予产品智能。在硬件系统的需求分析中，需要根据硬件系统所要处理的输入信号及输出信号来选定硬件设计的主方案及外围器件。例如，某医疗系统的中心控制器要求输入信号为外围 12 种医疗设备采集的数据，中心控制器对输入的信号进行处理后，把输出信号统一以 Socket 包的形式通过 RJ45 以太网口发送到中心服务器，外围医疗设备的接口有 USB 接口形式 TTL 电平的 UART 口、USB 接口和 RS232 串口。输入与输出信号类别的确定侧重于软件分析各接口协议的实现及各部分的有机组合，需要解释各输入/输出数据的类型，并逐项说明其媒体、格式、数据范围、精度和编码方式等。对于硬件系统的设计，需要根据设备输入与输出信号的接口类型和系统处理数据的能力来选定设计方案，并通过与软件系统设计方案的反迭代来选定硬件的设计平台。

1.1.3 无线通信功能

在进行硬件系统设计时，需要确定该系统的应用领域，确定该系统是否需要具备无线通信功能。在工控类和消费类电子领域，按照通信协议，目前的无线通信方式有：3G 无线通信（移动最新推出 4G LTE 通信技术）、GPRS、WiFi、ZigBee、Bluetooth、IrDA、NFC、UWB、CSS 和 RFID。在进行产品设计方案选型时，需要根据硬件系统无线通信的方式进行设计选型。

1. 3G 无线通信

3G 无线通信的方式有中国移动的 TD-SCDMA、中国联通的 WCDMA 和中国电信的 CDMA2000。采用运营商提供的网络进行无线通信，通信速率快、信号质量高，能够保证通信的质量，节省组网的开支，但是需要提供额外的使用费用。目前在工控类、消费类电子领域采用 3G 无线通信方式的产品主要有 3G 手机、3G 车载硬盘录像机、3G 车载摄像机、行业应用 3G 平板电脑等。该类产品和技术方案提供商有华为海思科技、中兴、浙江大华、海康卫视、山东卡尔电气等。

2. GPRS

GPRS 是通用分组无线服务技术（General Packet Radio Service）的简称，它是 GSM 移动电话用户可用的一种移动数据业务。GPRS 可以说是 GSM 的延续。GPRS 和以往连续在信道传输的方式不同，是以封包（Packet）方式来传输的，因此使用者所负担的费用以其传输资料的单位计算，并非使用其整个信道，理论上较为便宜。GPRS 的传输速率可提升至 56~114Kbps。

在产品开发中，一般都采用成熟的 GPRS 模块，GPRS 模块的通信接口一般都采用 RS232 COM 口，在硬件系统设计中为 GPRS 模块预留一个 RS232 串口就可以了，GPRS 通信软件的开发依据串口通信方式进行。

3. WiFi

WiFi（Wireless Fidelity）即 IEEE802.11x，是一种可以将个人电脑、手持设备（如 PDA、

手机)等终端以无线方式互相连接的技术。WiFi 提供无线局域网的接入,是目前 WLAN 的主要技术标准。随着智能手机和平板电脑的普及,WiFi 的应用越来越广,WLAN 具备的便携性解决了用户最后 100m 的通信需求。WiFi 制定了协议的物理层(PHY)和媒体接入控制层(MAC),并以 TCP/IP 作为网络层。

1999 年,IEEE 802.11a 标准制定完成,该标准规定无线局域网工作频段在 5.15~5.825GHz,数据传输速率达到 54Mbps/72Mbps (Turbo)。同年 9 月,IEEE 802.11b 被正式批准,该标准规定无线局域网工作频段在 2.4~2.4835GHz,数据传输速率达到 11Mbps。该标准是对 IEEE 802.11 的一个补充,采用点对点模式和基本模式两种运作模式,在数据传输速率方面可以根据实际情况在 11Mbps、5.5Mbps、2Mbps 和 1Mbps 的不同速率间自动切换,并且在 2Mbps 和 1Mbps 速率时与 802.11 兼容。802.11b 使用直接序列(Direct Sequence)DSSS 作为协议。802.11b 和工作在 5GHz 频率上的 802.11a 标准不兼容。由于价格低廉,802.11b 产品已经被广泛地投入市场,并在许多实际的工作场所运行。

2003 年推出 IEEE802.11g,IEEE 的 802.11g 标准是对流行的 802.11b(即 WiFi 标准)的提速(速度从 802.11b 的 11Mbps 提高到 54Mbps)。802.11g 接入点支持 802.11b 和 802.11g 客户设备。

2009 年 9 月 11 日,802.11n 无线标准获得 IEEE 标准委员会的正式批准。在传输速率方面,802.11n 可以将 WLAN 的传输速率由目前 802.11a 及 802.11g 提供的 54Mbps,提高到 300Mbps 甚至 600Mbps,得益于将 MIMO(多入多出)与 OFDM(正交频分复用)技术相结合而应用的 MIMO OFDM 技术,提高了无线传输质量,也使传输速率得到极大提升。在覆盖范围方面,802.11n 采用智能天线技术,通过多组独立天线组成的天线阵列,可以动态调整波束,保证让 WLAN 用户接收到稳定的信号,并减少其他信号的干扰,因此其覆盖范围可以扩大到数平方千米,使 WLAN 的移动性大为提高。在兼容性方面,802.11n 采用了一种软件无线电技术,它是一个完全可编程的硬件平台,使得不同系统的基站和终端都可以通过这一平台的不同软件实现互通和兼容,这使得 WLAN 的兼容性得到极大改善。这意味着 WLAN 将不但能实现 802.11n 向前后兼容,而且可以实现 WLAN 与无线广域网的结合,如 3G。

目前最新的 802.11ac 是在 802.11a 标准之上建立起来的,包括将使用 802.11a 的 5GHz 频段。802.11ac 每个通道的工作频宽将由 802.11n 的 40MHz,提升到 80MHz 甚至 160MHz,再加上大约 10%的实际频率调制效率提升,最终理论传输速度将由 802.11n 最高的 600Mbps 跃升至 1Gbps。当然,实际传输率可能在 300~400Mbps 之间,接近目前 802.11n 实际传输率的 3 倍(目前 802.11n 无线路由器的实际传输率为 75~150Mbps),完全可以在一条信道上同时传输多路压缩视频流。

目前 WiFi 产品和方案提供商主要有 Broadcom、Atheros、D-Link、Airgo、Bermi、杰尔系统、思科、Intel 等。Broadcom 是全球第一个使用 802.11ac 技术的芯片厂商,目前使用 5G 芯片的品牌有苹果的 iPhone4、iPhone4s、iPhone5 和 iPhone5S,三星的 GALAXY S4,HTC one,小米手机 2S、小米手机 3 和小米 TV,腾达 11ac 千兆无线路由器 W1800R 等。

4. ZigBee

ZigBee 是基于 IEEE802.15.4 标准的无线网络协议,具备低功耗、低成本、低速率、近距离、短时延、高容量、高安全和免执照频段的特点。ZigBee 协议从下到上分别为物理层(PHY)、媒体访问控制层(MAC)、传输层(TL)、网络层(NWK)、应用层(APL)等。其中,物理层和媒体访问控制层遵循 IEEE 802.15.4 标准的规定。

ZigBee 的应用领域主要包括工业控制、家庭和楼宇网络、商业、公共场所、农业控制及医疗等。

目前比较有竞争力的 ZigBee 解决方案主要有 Freescale MC1319X 平台、TI cc2530 平台、Ember EM250ZigBee 系统晶片及 EM260 网络处理器和 Jennic 的 JN5121 芯片。对于 ZigBee 技术，可以向国内 ZigBee 技术解决方案提供商参考学习：无线龙、RF-Star、MXCHIP 和斯凯科技等。

5. Bluetooth

Bluetooth 是一种支持设备短距离通信（一般在 10m 内）的无线电技术，由爱立信公司在 1994 年进行研发，能在包括移动电话、PDA、无线耳机、笔记本电脑和相关外设等众多设备之间进行无线信息交换，工作在全球通用的 2.4GHz ISM（即工业、科学、医学）频段。其数据速率为 1Mbps，采用时分双工传输方案实现全双工传输。Bluetooth 无线通信技术在手机、便携式计算机、汽车、立体声耳机和 MP3 播放器等多种设备上得到了广泛应用。

目前提供 Bluetooth 解决方案的厂商有 Broadcom、CSR（Cambridge Silicon Radio）、Infineon、TI、Silicon Ware、NXP、Ericsson、Mitel、Philsar 等。Broadcom 提供的第三方驱动比较多；CSR 于 2014 年 10 月 15 日被美国 Qualcomm 公司收购，其蓝牙解决方案将会占据更大的市场份额。

6. IrDA

IrDA 是红外数据组织（Infrared Data Association）的简称，目前广泛采用的 IrDA 红外连接技术就是由该组织提出的，IrDA 已经制定出物理介质和协议层规格，以及两个支持 IrDA 标准的设备可以相互监测对方并交换数据。初始的 IrDA1.0 标准制定了一个串行、半双工的同步系统，传输速率为 2.4Kbps 到 115.2Kbps，传输范围为 1m，传输半角度为 15° 到 30°。最近 IrDA 扩展了其物理层规格使数据传输率提升到 4Mbps。PXA27x 就使用了这种扩展了的物理层规格。IrDA 数据协议由物理层、链路接入层和链路管理层三个基本层协议组成。另外，为满足各层上的应用需要，IrDA 栈支持 IrLAP、IrLMP、IrIAS、IrIAP、IrLPT、IrCOMM、IrOBEX 和 IrLAN 等。

目前，IrDA 通信机制在 TV、3D 眼镜和 IrDA 接口的键盘、鼠标等设备的控制或通信方面得到了广泛的应用。

IrDA 编解码 IC 及收发器供应商有 TI、Atmel、NXP、VISHAY、Sharp Microelectronics、Everlight Electronics、台湾 HL、Holtek Semiconductor 等。

7. NFC

NFC（Near Field Communication）近距离无线通信技术是由 Philips 和 Sony 共同开发的一种工作在 13.56MHz 频段的非接触式识别和互连技术，可以在移动设备、消费类电子产品、PC 和智能控件工具间进行近距离无线通信。NFC 通信技术由 RFID 及互连互通技术整合演变而来，在单一芯片上结合感应式读卡器、感应式卡片和点对点的功能，能在短距离内与兼容设备进行识别和数据交换。NFC 的传输距离大约为 10cm，传输速度目前为 106Kbps、212Kbps 或 424Kbps。目前 NFC 的成员有 Sony、Philips、LG、NXP、NEC、Samsung、Atoam、Intel、华为、中兴、上海同耀、台湾正隆、OPPO、魅族等。

目前内置 NFC 功能的设备以手机为主，也有不少平板电脑和蓝牙音频设备内置了 NFC 功能。例如，Nokia 的 Lumia 系列，HTC 的 One X、One M7、Butterfly，Samsung 的 Galaxy 系

列, SONY 的 Xperia 系列, Blackberry 的 Z10、Q10, Google 的 Nexus7, ASUS 的 Fonepad2, 小米 3、vivo 的 Xplay 等。

NFC 芯片解决方案提供商有 NXP、ST、Broadcom、Infineon、Qualcomm、Renesas 等。

8. UWB

UWB (Ultra Wide Band) 是一种无载波通信技术, 利用纳秒至微微秒级的非正弦波窄脉冲传输数据。通过在较宽的频谱上传送极低频率的信号, UWB 能在 10m 左右的范围内实现每秒数百兆比特至数吉比特的数据传输速率。UWB 技术具有抗干扰性强、传输速率高、系统容量大和发送功率小的特点。

UWB 标准化的工作还没有完成, 一些技术问题仍需要不断完善, 但它可能成为新一代 WLAN 和 WPAN 的技术基础, 从而实现超高速宽带无线接入。

9. CSS

CSS (Chirp Spread Spectrum) 即线性调频扩频技术。这种技术以前主要用于脉冲压缩雷达, 能够很好地解决冲击雷达系统测距长度和测距精度不能同时优化的矛盾, 因此国内外的研究一直局限在雷达领域。近年来, 随着 IEEE 将 CSS 技术列为 802.15.4a 技术标准的底层实现方式之一, 该项技术在通信领域的应用才逐渐受到关注。

CSS 无线通信技术在实现物联网系统的定位开发中, 因其定位精度高、工作稳定可靠等优点在仓储、楼宇、安防、老人防护、监狱、煤矿和工业厂矿的定位中得到了广泛应用。

CSS 定位基于 TOA、TDOA 时间机制, 采用 SDS-TWR 的测量方法, 获取双向传输的时间, 进而获取节点距离。CSS 基于 SDS-TWR 算法的距离测量原理^[1]如图 1-1 所示。

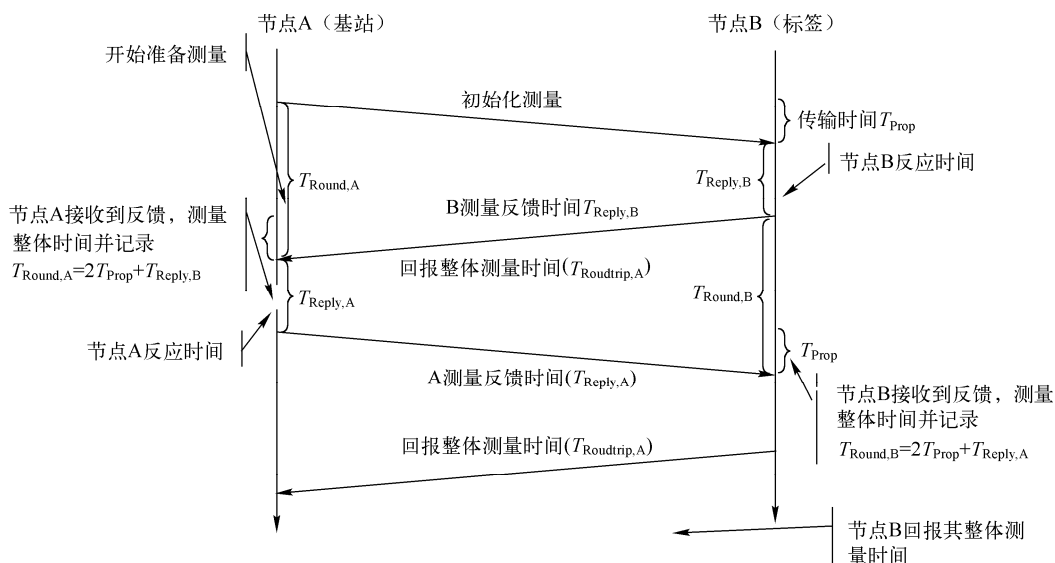


图 1-1 CSS 基于 SDS-TWR 算法的距离测量原理

CSS 基于时间测量机制, 在测量精度为 3~4ns 的情况下, 无线电检测精度将达到 1~1.2m。在实际使用中, 由于前端多路径到达波检测和时间偏差等原因影响, 误差可以控制在 1~3m; 在测量距离上, 0dBm 时可以达到 100m 最大传输距离, 且只要信号到达, 就可以利用信号测距。

CSS 芯片解决方案主要是德国的 Nanotron NLSG0501A 系列，基于该芯片的定位系统在矿井人员定位中得到了广泛应用。

10. RFID

RFID (Radio Frequency Identification) 射频识别技术又称无线射频识别，是一种通信技术，可通过无线电信号识别特定目标并读写相关数据，而无须识别系统与特定目标之间建立某种物理连接。常用的通信频段有低频 (125~134.2kHz)、高频 (13.56MHz)、超高频 (433MHz、915MHz) 和微波频段等。

运用 RFID 技术的产品可分为三大类：无源 RFID 产品、有源 RFID 产品及半有源 RFID 产品。无源 RFID 产品的主要工作频率有低频 125kHz、超高频 433MHz 和 915MHz，属于近距离接触式识别类，如二代身份证、公交卡、餐卡和银行卡等。有源 RFID 产品具有远距离自动识别的特性，在远距离自动识别领域，如智能交通、智能停车场等领域有重大应用，有源 RFID 的主要工作频率有超高频 433MHz、微波 2.45GHz 和 5.8GHz。半有源 RFID 产品结合了有源 RFID 和无源 RFID 产品的优势，在低频 125kHz 频率的触发下，让微波 2.45GHz 发挥优势，在近距离利用低频进行精确定位，在远距离利用微波频段进行识别和数据上传。

RFID 的工作原理是射频标签进入磁场后，接收射频读卡器发出的射频信号，依赖感应电流所获得的能量发送出存储在芯片中的信息 (Passive Tag，无源或被动标签) 或由射频标签主动发送某一频率的信号 (Active Tag，有源标签或主动标签)，解读器读取信息并解码后，送到读卡器中进行相关的数据处理。

由于 WiFi、ZigBee、CSS 等在室内定位精度的局限性，基于 RFID 及 WiFi、ZigBee、CSS 等的混合定位技术在养老院、医院等室内定位精度要求高的场得到了广泛应用。

采用 WiFi-RFID 的养老院无线局域网实时定位系统网络拓扑结构如图 1-2 所示。老人的人员信息存储在定位标签中，AP 负责读取电子标签中的人员信息，并通过已有的 WiFi 网络，将数据传送到控制中心进行处理。

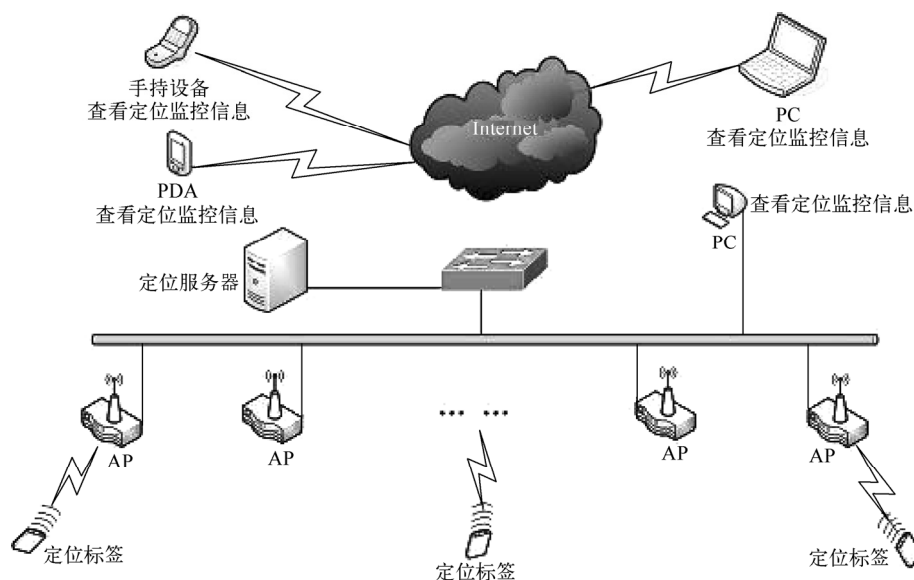


图 1-2 养老院无线局域网实时定位系统网络拓扑结构图

采用 ZigBee-RFID 的矿井作业人员无线局域网实时定位系统网络拓扑结构如图 1-3 所

示。矿井作业人员的信息存储在头盔中的 RFID 定位标签中，网关负责读取 RFID 定位标签中的人员信息，并通过 ZigBee 网络传输到控制中心，进行数据的进一步处理。在本案例中，ZigBee 网络负责传输 RFID 采集的定位信息、矿井作业人员佩戴的腕表采集的人体生命体征数据及环境数据，有效利用了 ZigBee 网络数据通信的低功耗及 RFID 的精确定位机制。

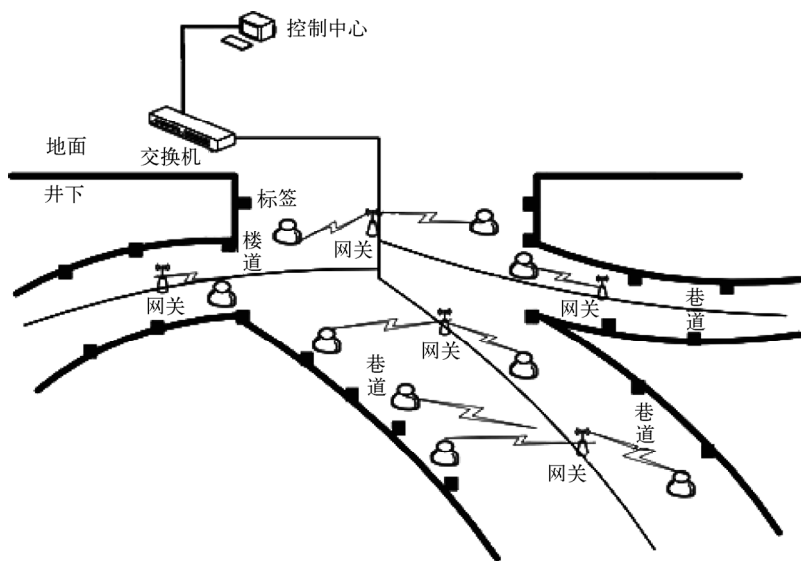


图 1-3 矿井作业人员无线局域网实时定位系统网络拓扑结构图

1.2 整体性能要求

系统整体性能的要求包含对输入/输出数据的处理能力、系统工作对温/湿度环境的要求、系统无故障稳定工作时间的要求、系统的能效等级和系统的自身防护性等。

对数据的性能要求包含处理器处理数据的能力、能够处理数据的最高带宽、处理数据的实时性和采集数据的精度等。

系统对温度环境的适应能力在需求分析阶段就要明确产品的温度环境工作等级。消费类的温度范围是 $0\sim 70^{\circ}\text{C}$ ，工业级的温度范围是 $-40\sim 85^{\circ}\text{C}$ ，军用级的温度范围是 $-55\sim 150^{\circ}\text{C}$ 。根据产品工作温度的不同选定不同级别的芯片及设计方案。对于湿度的性能要求，主要从防护等级设计上考虑。

系统的无故障稳定运行性能要求在产品选型阶段根据产品工作寿命的要求进行选型，工作寿命越长的器件价格也相应越高。对产品需要做加速老化寿命测试来保证产品的无故障运行时间。

家用电器需要满足能效等级。能效等级是表示家用电器产品能效高低差别的一种分级方法，按照国家标准规定，我国的能效标识将能效分为五个等级。等级 1 表示产品节电已达到国际先进水平，能耗最低，能效比在 3.4 以上；等级 2 表示产品比较节电，能效比为 3.20~3.39；等级 3 表示产品能源效率为我国市场的平均水平，能效比为 3.00~3.19；等级 4 表示产品能源效率低于市场平均水平，能效比为 2.80~2.99；等级 5 是产品市场准入指标，能效比为 2.50~2.79，低于该等级要求的产品不允许生产和销售。针对产品能量利用率的要求，需要根

据各行业的标准，不断优化各电路模块的设计，从而最终达到最大能量利用率的要求。

有些产品的设计需要考虑过压保护、欠压保护、过流保护、短路保护和雷击防护等一系列的防护措施；有些产品要求苛刻的硬件设备，还需要做室外暴露实验、紫外实验、引线端强度实验、扭曲实验、机械载荷实验、冰雹实验和热斑耐久实验等一系列的验证。为保证产品的性能，需要在前期的需求分析中明确产品的性能指标，从而在总体架构设计及产品硬件设计的详细实施阶段依据产品性能要求来有效合理地进行开发工作。

1.3 用户接口要求

用户接口要求需要确定产品硬件接口的种类及数量，电源接口、指示灯及开关类型、复位按钮和显示屏幕等。确定了用户所需要的接口，硬件 PCB 的外围轮廓就确定了。

目前常用的用户接口主要有 JTAG 接口、DB9 串口（公头和母头）、USB 接口、Console 接口、RJ45 以太网接口、HDMI 接口、DVI 接口、VGA 接口、SATA&IDE 接口、PS2 接口、CPCI 接口、PCI 及 PCI-E 接口、RJ11 接口、S-Video 视频接口、RCA 视频接口（俗称莲花头）、YPbPr/YCrCb 视频色差输入接口、SD/TF 卡接口、CF 卡接口、SIM 卡接口、RF 射频端子、SCART 接口、SPDIF 数字音频接口、DisplayPort 接口和光口。常用的数据协议接口主要有 SPI、UART、LVDS、RS485、CAN 总线、V-by-One 数字接口、LCD 接口、Camera 接口、I2C 和 I2S。根据用户所需要接口的种类及数量去综合选定设计方案。用户接口在选型时需要考虑日常使用对端口的反复插拔，在前期需求分析选定接口的型号时就需要考虑接口可能的失效模式并在后期的产品中对接口进行插拔试验。例如，小米 TV 的各用户接口都进行了一系列的插拔试验和按压测试，测试数据如表 1-1 所示^[2]。

表 1-1 小米 TV 用户接口插拔试验和按压测试数据

测 试 项 目	测试标准/次
遥控器按键	200000
USB 接口	3000
HDMI 接口	10000
VGA 接口	5000
AV 接口	2500
以太网接口	3000
音频输出接口	10000

如果硬件系统的供电采用内置开关电源板的形式，需要确认是采用三口插头还是两口插头。如果采用外置电源电压器的形式，需要确认变压器和硬件系统的接口形式，如不同直径的 DC Power Jack 端子、DB 器具插座、工业上用的凤凰端子、20+4pin 供电接口、小 4pin 供电接口、4+4pin 或 8pin 供电接口、6pin PCI-E 显卡供电接口、6+2pin PCI-E 显卡供电接口、大 4pin D 型供电接口、小 4pin D 型供电接口、SATA 15pin 供电接口和 SATA 5pin 供电转接口等。

不同的设备有不同的开关按键，需要根据各行业的行业要求来选型。当有多个开关或按键时，可以尽量采用相同规格的按键，便于物料管理和成本控制。例如，苹果公司的 iPhone 系列、iTouch 系列、iPad 系列的 Home 键都采用了同一颗物料。目前常用的开关和按键有按键开关、轻触开关、防水轻触开关、带灯轻触开关、滑动开关、微动开关、限位开关、船型开

关、拨动开关、叶片/复位开关、直键开关、拨轮/五项开关、按钮开关和钮子开关等。对于电源及数据收发的 LED 指示灯，需要在需求分析阶段明确。SMD 形式的 LED 便于 PCB 贴片加工，但是需要采用导光柱，增加了结构设计的成本；DIP 直插形式的 LED 不能进行 PCB 贴片，需要人工焊接，增加了 PCB 加工费用，但是不需要导光柱，减少了结构设计部分的成本。采用何种 LED 指示方式需要根据客户需求确定，LED 指示灯的位置摆放需要硬件工程师、ID 及结构工程师反复迭代，并最终经客户确认。

设备有屏幕显示需求的，需要确认屏幕的种类，根据材料及显示原理主要有 CRT、LCD、LED 和 OLED 等。对于有触摸屏需求的客户，需要采用触控类的屏幕，它根据实现原理的不同分为电阻屏和电容屏。拥有显示领域高端技术的厂家主要有 Samsung、LG、Sharp、AUO（友达光电）、CMO（奇美）、中华映管、Innolux Display Group（群创光电）和京东方等。

1.4 功耗要求

功耗指设备单位时间内所消耗的能源的数量。功耗要求是硬件系统电路设计中功率分配的依据，需要计算每一部分功率电路的最大功率，根据每一部分电路的不同功率需求进行电源架构设计及相应的电源元器件选型。

在硬件系统设计中，常用的几种功耗模式有热设计功耗（Thermal Design Power, TDP）、处理器满负荷运行下的最大功耗、待机功耗和关机功耗等。

TDP 是反应处理器热量释放的指标，它的含义是当处理器最大负荷工作时释放出的热量，单位为瓦（W）。CPU 的 TDP 功耗并不是 CPU 的真正功耗，TDP 是指 CPU 电流热效应及其他形式产生的热能都以热能的形式释放。CPU 的 TDP 功耗小于 CPU 的工作功耗，TDP 是对散热系统提出的要求，要求散热系统能够把 CPU 发出的热量散掉，TDP 功耗值是硬件系统热设计中必须能够驱散的最大总热量。

$\text{CPU 的功率 (W)} = \text{电流 (A)} \times \text{电压 (V)}$ ，CPU 的功耗等于流经处理器的核心电流值与该处理器上的核心电压值的乘积。CPU 的功耗是对 PCB 供电系统提出的要求，要求 PCB 的相应供电系统能够提供 CPU 工作时所需要的电压和电流。

待机模式（Standby Mode）指产品连接到主电源上，依靠主电源输入来进行潜在的工作，仅提供重新启动或执行显示的功能，并能够持续一段不确定时间的工作模式。欧盟等组织针对产品待机功耗制定了种种规范。2005 年，欧盟要求额定输出功率为 0.3~50W 的无负载待机功率损耗为 0.3W，额定输出功率为 15~70W 的无负载待机功率损耗为 0.75W。为了满足欧盟等组织针对产品功耗制定的规范，采用让开关电源在负载很小或空载处于待机状态时能够以较低开关频率操作的一系列新技术应运而生。例如，TI 提供的 UCC28600 电源方案，在 30%~100%输出功率段，采用准谐振零电压和固定频率不连续模式相结合的电源控制方式，使工作效率达到 85%以上；在 10%~30%输出功率段，采用固定峰值电流关断时间调制模式的电源控制方式，使电源的动态负载响应和低功率段转换效率都得到极大的改善；在低于 10%输出功率段，采用跳脉冲的待机控制模式，使待机功耗低至 150mW。

关机模式（Off Mode）指产品连接到主电源上，但是不提供任何一种功能。

当进行硬件系统的电源系统设计时，需要考虑各芯片最大负荷时消耗的功率，并预留一定的电源设计冗余（一般预留 20%冗余）。Freescall P2020 功率消耗情况^[3]如表 1-2 所示。

表 1-2 P2020 Core Power Consumption

Power Mode	Core Frequency (MHz)	Platform Frequency (MHz)	V _{DD} (V)	Junction Temperature (℃)	Power (W)	Notes
Thermal	800	400	1.05	125	5.0	2,3
Maximum					6.1	2,4
Thermal	1000	500	1.05	125	5.3	2,3
Maximum					6.5	2,4
Thermal	1200	600	1.05	125	5.6	2,3
Maximum					6.9	2,4
Thermal	1333	667	1.05	125	5.8	2,3
Maximum					7.2	2,4

1.5 成本要求

硬件系统的成本分析是需求分析中至关重要的一部分，“Cost Down”是硬件工程师在产品需求满足客户需求前提下的重要工作内容。生产产品的目的是获取最大的利润，硬件工程师在设计方案选型及系统设计的过程中，要保证每个元器件发挥最大的作用，避免无效元件存在，充分考虑所设计的硬件系统的安全性与冗余度，保证 BOM（Bill of Material）价较低。

根据客户的需求，选定产品设计的总体方案，再根据硬件系统要完成的各部分功能进行各部分电路的详细设计。对于 BOM 物料的选型是一项烦琐的工作，物料既要满足设计的电气参数性能要求，还要保证所选型的物料价格最优，供应商能够在有效的时间内供货，保证物料量产的需求。一般对于同一类别的元器件，都是由多家芯片制造商或代理商统一报价，再在供应商规模、技术支持程度和物料实验验证等基础上综合考虑来确定最终的供货商的。在元器件性能满足要求的条件下，遵循价格最优的原则。

单从产品硬件系统的角度考虑，硬件系统设计中需要考虑的成本主要有设计开发的人力成本、制造加工的人力成本、加工设备和厂房的折旧费用、市场推广或客户接洽成本、前期硬件系统研发的费用、硬件系统 BOM 成本、硬件系统测试及认证费用和产品硬件系统后期维护成本。从硬件工程师的角色来说，需要把控硬件系统的 BOM 成本。硬件系统的 BOM 成本包含 IC 元器件、板级连接线、连接器和 PCB 空板等。各个物料的选型需要根据硬件系统的性能级别及客户的要求来选定，硬件系统工作的环境越恶劣，相应的元器件价格越高；硬件系统的数据处理速度越快、精度越高，相应的元器件价格越高，各器件需要按需确定。

1.6 IP 和 NEMA 防护等级要求

IP（Ingress Protection）防护等级系统是由 IEC（International Electrotechnical Commission）起草，将电器依其防尘防湿气特性加以分级的。IP 防护等级由两个数字组成，第一个数字表示电器防尘、防止外物侵入的等级，第二个数字表示电器防湿气、防水侵入的密闭程度，数字越大表示其防护等级越高。对外壳的防护等级需要遵循 GB 4208-2008/IEC 60529: 2001。

NEMA（National Electrical Manufactures Association）防护等级是美国电气制造商协会工业控制装置和系统中的外壳防护标准。NEMA 的防护标准除了防尘、防水之外，还包括防爆

(IP 代码只包括防尘和防水)。

对于防护等级有要求的产品，需要硬件工程师与结构工程师反复迭代，确认最终 PCB 的定位、安装及端子的位置信息。

1.7 需求分析案例

产品的需求分析很多时候需要与客户面对面沟通，初步的需求分析确认后需要双方负责人签字确认，设计开发方会根据初步的需求分析给出正式、详细的需求报告。在确定主设计平台的前提下，只需要确定要实现的功能、性能、用户接口、ID 及结构设计即可。

1. 需求分析的文档描述

某工控设备的需求分析报告如下所示。

① 处理器采用 Freescale P2020E 或 Atom D2000 系列处理平台（要求：双核、宽温、带有加解密处理）。

② 网络接口具有两路 Bypass 功能的千兆以太网接口，两路普通的千兆以太网接口。

③ SDRAM 使用 1GB 或 2GB 可调，第一版的设计采用 2GByte DDR3 SDRAM。

④ 系统数据的存储使用 4GB SLC 架构的 NAND FLASH 存储。

⑤ 产品外形 ID 设计采用工业灰色调和天蓝色调/紫色基调，需要提供色标的 RGB 参数；外壳先提供手工外壳，待确定最终外观后，再进行具体设计。

⑥ 指示灯包含电源供电指示灯、Bypass 功能指示灯及可编程的指示灯。

⑦ 外围接口有 Power 接口（带卡扣和螺钉固定，采用凤凰端子）、Console 接口、USB 接口（两个）、JTAG 和 RJ45 千兆以太网接口。

⑧ 外壳安装采用 DIN Rail 结构，采用铝板、免风扇设计。

⑨ 电源需要采用冗余设计，供电电压范围为 9~36V，电源冗余设计采用温备方式。

⑩ 根据市场的需求，设计低、中、高三种产品的基本方案。对于中、高端产品，MTBF (Mean Time Between Failure) 不小于 30 万小时，需要提供器件使用寿命信息。

⑪ 以太网接口初步采用全电口，采用 Intel 网络 MAC (GB)。

⑫ 需要设置“Reset”按键，用于设备重启。

⑬ 支持系统升级，存储备份区从存储元件专门划出一个扇区，即系统采用一片存储芯片。

⑭ 需要有 EEPROM 用于存储配置文件。

⑮ 电源 AT 模式，上电自动运行。

在进行设计之初一般都会经过一系列的需求分析会议，以文档的形式对需求进行逐步拆分，并与客户进行最终确认。以文档的形式对需求进行确认，不仅可以约束设计方与需求方，确定最终的需求，给最终产品或项目的交付提供可靠的依据，还可以避免因需求不确定而产生的设计的反复更改。

2. 基于系统框图的需求分析对比

当主设计方案不确定时，需要根据客户需求选择多个设计平台，并对平台的特性参数、外围接口和成本等多个方面进行对比，在满足需求的条件下选出最优方案。Block Diagram 对快速掌握设计平台的架构有很大的帮助。BCM7320 Block Diagram^[4]如图 1-4 所示，S5PV210 Block Diagram^[5]如图 1-5 所示。根据 Block Diagram 对主芯片的特性进行归类分析，确定最适合的设计方案。

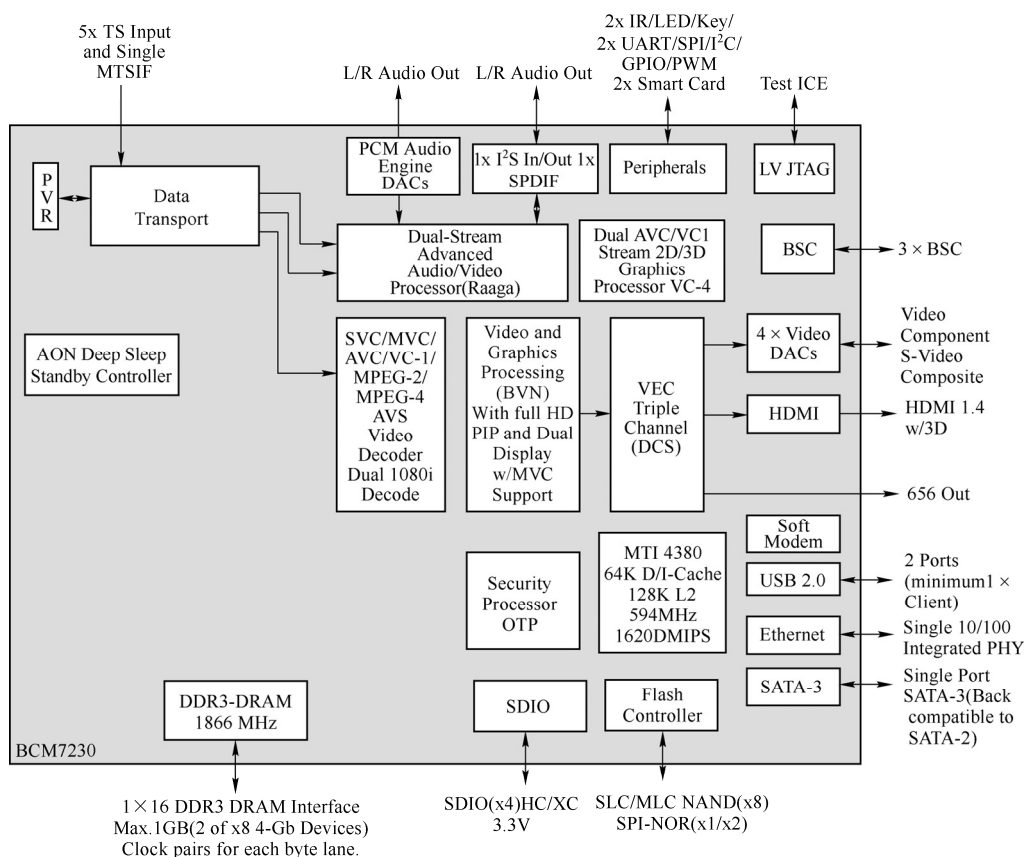


图 1-4 BCM7230 Block Diagram

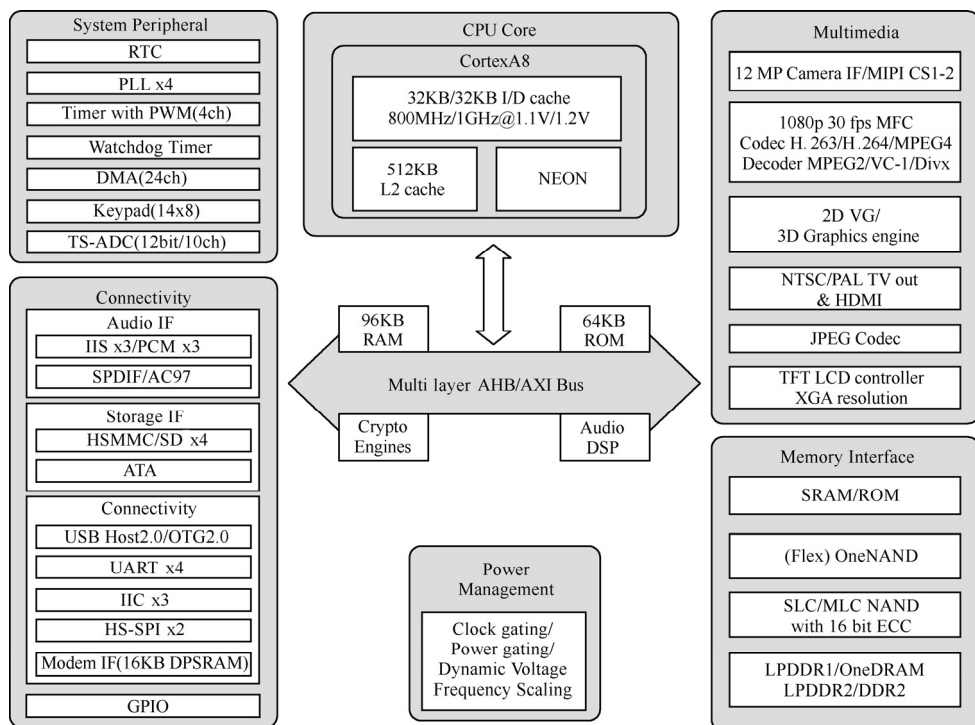


图 1-5 S5PV210 Block Diagram

某高清网络视频播放器需求分析报告如表 1-3 所示。根据不同设计平台的特性参数进行各个方面的对比，如处理性能、器件成本和外围接口等。根据需求，通过对比选定最终合适的设计平台。

表 1-3 某高清网络视频播放器需求分析报告

	BCM7230	S5PV210
Company	Broadcom	Samsung
Part number	BCM7230	S5PV210
Samples		
Production		
Cost	\$10	\$9.16
Ethernet	Yes	No
USB	2	2
Cores Type	MIPS4380	ARM Cortex-A8
Clock Speed	594MHz	800MHz~1GHz
DMIPS / MHz		
DMIPS	1620	
Memory Type	DDR3	LPDDR1/DDR2/LPDDR2
Memory Clock Rate	1866	166
Memory Width	32	32
Memory Size (max)	1GB	1GB
Power-TDP		
Instuction set	MIPS32	RISC
Graphics	2D/3D	2D/3D
Video Incode	Anolog	MPEG-1/2/4, H.263, H.264
Video Decode	SVC/MVC/AVC/MPEG-2/VC1	MPEG-1/2/4, H.263, H.264, VC1, Divx
OS available	linux, etc	linux, etc
Audio	PCM	PCM
Flash-boot	Yes	Yes
SATA	Yes	No
PCIe	No	No
I2S	2	3
I2C	2	3
SPI	2	2
SDIO	4	4
VGA Output	SVGA	No
HDMI (HD Video Output)	HDMI 1.4a	HDMI 1.3a
HD Video Input	Yes	Yes
UART	2	4

表 1-3 中 cost 栏所给出的成本是指主芯片的成本；对于硬件系统的 BOM 成本，需要根据实现系统各部分功能的主芯片估算总成本，并在完成原理图设计后计算准确、详细的硬件 BOM 成本。

需求分析阶段的工作规划了设计蓝图，明确了工作的内容和目标。前期的需求分析得越充分，产品工程样机的功能、性能越能贴近客户、市场的需求，后期产品的整改就越少，加速了产品上市的时间，节约了时间成本。一个产品开发流程的关键节点与初始关键路径如表 1-4 所示。

表 1-4 一个产品开发流程的关键节点与初始关键路径

产品阶段名称	产品关键节点	产品初始关键路径
概念	产品立项	ID 概念设计 产品描述
定义	ID 确定 产品规格书完成	研发可行性分析 外观样品 产品规格书
功能手板	功能手板确认 UI 确定	硬件/软件/结构/光学设计 PCB 制板 功能手板调试
设计与验证	模具 T2 工程样品 包装确认 PP PP 确认 认证完成	模具制作 工程样品制作 工程样品测试 物料采购 PP 生产
开发完成	项目总结 项目归档	项目总结 项目归档

产品开发的五个阶段是功能手板（WS，Working Sample）、工程样机（ES，Engineering Sample）、试产（PP，Pilot Production）、量产评审（PR，Production Release）和量产（MP，Mass Production）。

WS：利用第一版的 PCBA 和 CNC（Computer Numerical Control）结构件组装出来的产品，用来验证产品的功能性，一般由硬件工程师和结构工程师组装。

ES：利用第二版的 PCBA 和注塑结构件组装出来的产品，用来验证产品的详细指标和参数，一般由样品组组装完成。

PP：小批量生产，验证工艺可行性，解决所有 RD 问题，此阶段由生产线组装。

PR：当最后一次 PP 能够满足设计和生产要求时，我们把这次 PP 叫作 PR。PR 是一个标志，是进入 MP 的阶段性评审，需要由 PGM、TE、生产人员和 QA 共同判定，在产品线最高技术主管确认达到量产条件时，才可以进入 MP 阶段。没有通过阶段性评审的项目，原则上不允许进入下一个阶段。

MP：量产阶段。

从工作职责来说，RD 负责产品设计开发、设计文件编制和物料样品确认；DQA 负责研发测试与验证、产品的相关认证及研发过程稽核；NPI 负责组织 ES 审查、ES 样品制作和 ES 总结；PE 负责 PP 审查、PP 样品制作和 PP 总结；测试组负责生产测试和 MSA 分析等；样品组负责组装 ES 样品；Sourcing、PMC（Production and Material Control）和 PUR（PURchasing Department）负责研发物料的采购、报价、新供方开发、量产物料采购及采购实施等相关事宜；QA 负责 MP 后产品的验证；SQM 负责供方品质管理；LC 负责理化实验；ALT Lab 负责声学实验和可靠性实验；QE 负责计量设备管理；GPM（Green Partner Management）负责产品环保管理。

一个获得市场认可的产品是由多个工作性质的人员共同完成的。需求分析涉及的人员很多，不是哪一个特定人员的工作，而应该由研发总监、产品经理、项目经理、系统架构师、硬件工程师、RF 工程师、软件工程师、光学工程师、测试工程师和生产部工程师等协作完成。

1.8 本章小结

本章分析了硬件系统设计中常见的需求，从功能需求、整体性能要求、用户接口要求、系统的功耗要求、系统设计的成本要求及系统的防护等级要求入手，对需求分析中的常用需求进行了归类说明，并对每部分的需求列举了需求分析的案例。

概要设计及开发平台

从概要设计阶段开始，ID 及结构设计工程师、软件系统开发工程师和硬件系统开发工程师等开始分头工作，本章只对硬件系统开发的工作内容展开论述。

产品根据研发的性质分为自主设计开发产品、ODM 和 OEM 类产品。

自主设计开发产品是指根据市场的需求，开发出符合消费者需求的产品。随着消费者对产品要求的不断提高、市场竞争越来越激烈，要求设计人员设计出来的产品在外观结构和功能方面有独到之处。在产品的设计过程中要不断优化改进产品，在保证产品质量的前提下尽可能降低产品的成本，使产品达到利润最大化。自主设计开发的产品包括公司自有品牌产品、贴牌产品和定制产品。

OEM 原来是指由客户提供所有的技术资料 and 图纸，制造商仅负责生产的模式。现在所讲的 OEM 其实已经包含 ODM，即客户提供对外观和功能的要求，制造商根据要求进行设计、生产产品。OEM 类产品应尽可能按客户的要求设计和生产，只有在客户的要求不合理的情况下，经与客户协商，在得到客户的同意下才能进行进一步的开发设计。OEM 类产品只有在得到客户的最终确认，以及本公司能批量生产后才表示整个开发过程完成。

2.1 ID 及结构设计

ID 工业设计由 Industrial Design 直译而来，工业设计是一种创造性的活动，其目的是为物品、过程、服务及它们在整个生命周期中构成的系统建立起很多方面的品质。工业设计是使一件产品的功能设计和美学设计相结合，不仅要求满足用户对产品的功能要求，还要实现用户对产品的美观要求。

ID 工业设计属于产品外观及属性概念设计，常用的软件有 Alias 和 Rhino。Autodesk Alias Studiotools 软件是目前世界上最先进的工业造型设计软件；Rhino 是美国 Robert McNeel & Assoc 开发的运行在 PC 上的强大的专业 3D 造型软件，它可以广泛地应用于三维动画制作、工业制造、科学研究及机械设计等领域。此类软件的特点为自由曲面构建，可随设计者的概念自由构建产品的造型曲线，并有着不错的 CAM 支持能力和彩显能力。

MD (Mechanic Design) 结构设计属于产品结构及后端设计，如分件、组装等，常用的 3D 设计软件为 CATIA、Pro-e (最新版为 Creo2.0)、UG 和 Solidworks 等，2D 结构设计 AutoCAD 系列软件的应用范围最广。

CATIA (Computer Aided Three-Dimensional Interface Application) 是法国达索 (Dassault System) 公司的产品开发旗舰解决方案，是 CAD/CAE/CAM 一体化设计软件。CATIA 源于航空航天工业，是业界无可争辩的领袖，它以其精确安全和可靠性满足商业、防御、航空航天、汽车工业、造船工业、厂房设计、加工和装配、消费品等领域各种应用的需要；作为 PLM 协同解决方案的一个重要组成部分，它可以帮助制造厂商设计他们未来的产品，并支持从项目前阶段、具体的设计、分析、模拟、组装到维护在内的全部

工业设计流程。

Pro/Engineer 是 PTC（美国参数技术公司）旗下的 CAD/CAM/CAE 一体化的三维软件，该软件以参数化著称，是参数化技术的最早应用者，在目前的三维造型软件领域中占有重要地位，作为当今世界机械 CAD/CAE/CAM 领域的新标准而得到业界的认可和推广。

UG（Unigraphics NX）是 Siemens PLM Software 公司出品的一个产品工程解决方案，它为用户的产品设计及加工过程提供了数字化造型和验证手段，是一个交互式 CAD/CAM 系统，可以轻松实现各种复杂实体及造型的构建。

SolidWorks 为达索系统（Dassault Systemes S.A）下的子公司，成立于 1993 年，由 PTC 公司的技术副总裁与 CV 公司的副总裁发起，SolidWorks 软件是世界上第一个基于 Windows 开发的三维 CAD 系统。由于技术创新符合 CAD 技术的发展潮流和趋势，因此 SolidWorks 公司在两年间成为 CAD/CAM 产业中获利最高的公司。

AutoCAD（Auto Computer Aided Design）是 Autodesk（欧特克）公司于 1982 年开发的自动计算机辅助设计软件，用于二维绘图、详细绘制、设计文档和基本三维设计，现已成为国际上广为流行的绘图工具。

此类软件因为必须有严谨的尺寸限制，所以必须与后端的制造相配合；此类软件还具备实体建构（负荷后端制造原理）加上曲面建构（辅助造型建构）的特性，都注重精确的设计和格式。

作为一名结构工程师，需要具备的知识点有结构设计、模具和注塑、常用的材料（塑胶和五金）、二次处理、生产装配、相关的产品知识和品质知识等。ID 及结构设计的流程如表 2-1 所示。

表 2-1 ID 及结构设计的流程

结构设计流程	详细内容及步骤
ID 评估	① 人机工程评估 ② 结构设计风险评估 ③ 模具、注塑风险评估 ④ 二次处理风险评估 ⑤ 制造可行性评估 ⑥ 价格成本评估 ⑦ 可靠性测试（安规）的评估
初步结构设计	① 关键元器件的选用 ② 利用关键元器件进行装配初步设计 ③ 初步拆结构，遵循低价优质可靠原则 ④ 结构材料的选用 ⑤ 考虑装配、模具、二次处理可行性 ⑥ 评估最佳空间，尽量满足 ID 要求 ⑦ 整个过程要和相关部门充分沟通
设计评审及 ID 定型	① 初步结构设计完成后，RD 部门对设计进行评审 ② 与模具、注塑、生产等部门充分沟通 ③ 在均衡制造和市场的需求后，确定 ID ④ 如有部分无法确定的地方，可通过做 MOCK UP 进行验证
详细设计	① 工程师按照既定的 ID 对产品进行细节方面的设计 ② 设计需满足模具、注塑要求 ③ 需考虑制造、装配方面的精度要求 ④ 考虑装配间隙
Working Sample	是否满足 ID 或人机工程的需求
设计评审及修改	① 评估设计是否满足产品功能、性能要求 ② 评估结构设计的可行性 ③ 评估制造装配的可行性 ④ 对不合理的部分进行改进

续表

结构设计流程	详细内容及步骤
模具制作	① 提供经过各部门评审的 3D 图给模具部门 ② 模具部门进行详细的模具设计和制作 ③ 模具制作的同时要制作电镀、喷涂的工装夹具 ④ 普通模具周期为 24 天 ⑤ 双色注塑模具约 35 天
试模及模具修改、制造样品	① 模具制作好后进行试模 ② 工程师进行样品试装配 ③ 样品组工人进行样品试装配 ④ 进行各种测试 ⑤ 发现问题并进行改进 ⑥ 一般会经过研发样机、工程样机、试生产及量产几个阶段

常用的塑料种类有 ABS、AS、PC、PMMA、PS、HIPS、PP、POM 和 PA 等；常用的透明塑料有 PC、PMMA、PS、AS、PP 和透明 ABS 等。高档电子产品的外壳通常采用 ABS+PC；显示屏采用 PC，如采用 PMMA 则需进行表面硬化处理；日常生活中使用的中低档电子产品大多使用 HIPS 和 ABS 做外壳。对于塑胶件，设计时应尽可能做到一次性成功，对于设计某些难以保证的地方，考虑到修模时给模具加料难、去料易，可预先给塑料件保留一定的间隙。

常用的表面处理技术有电镀、喷涂、丝印、移印。ABS、HIPS、PC 料都有较好的表面处理效果，而 PP 料的表面处理性能较差，通常要做预处理工艺。近几年发展起来的先进制造技术有模内转印技术（IMD）、注塑成型表面装饰技术（IML）和魔术镜（HALF MIRROR）制造技术。IMD 膜片的基材多数为剥离性强的 PET，而 IML 膜片多为 PC；IMD 注塑时只是膜片上的油墨与树脂结合，而 IML 是整个膜片覆在树脂上；IMD 是通过送膜器自动传送定位，而 IML 是通过人工操作。

2.2 软件开发

软件与硬件的完美结合，带给了人们对产品的美好体验。硬件是软件的底层基础，是软件能够运行指令的平台，软件的指令相对于硬件自身而言是相应的组合逻辑和时序逻辑。软件实现了具体的功能，不同的行业软件有对应的不同功能，是用户需求的体现。硬件是固定的基础，而软件则灵活多变，能够对复杂的逻辑进行有效的逻辑处理。硬件系统是软件能够运行的前提，软件赋予硬件生命，使硬件丰富多彩，软件与硬件彼此在自己的领域完成自己的使命，彼此成就对方，呈现出系统的智能，达到了完美的结合。

确定硬件开发平台后，就可以着手软件的开发了。目前广泛应用的操作系统有 Windows 平台（XP、Win7、Win8 和 WP7 等）、Linux 平台（Fedora、Ubuntu、CentOS、Debian、Redhat 和 OpenSUSE 等）、Android、iOS、Mac OS、Unix、VxWorks、uC/OS II、MQX、eCos。广泛应用的编程语言有汇编语言、Basic、Pascal、C 语言、C++语言、C#、JAVA、Forth、Delphi、Lisp、Python、Lua、SQL 和 PHP 等。在产品的开发过程中，需要根据客户产品的需要、产品所属领域来确定产品软件开发的操作系统平台和相应的编程语言。从目前智能手机的格局看，iOS、Android、WP 三分天下；Android 平台几乎占据了 Smart TV 的江山；Windows 平台占据了桌面操作系统的霸主地位；因 Linux 的开源和免费特性，其在嵌入式产品领域得到了相当广泛的应用。

软件系统的开发根据开发的层面和开发环境的需求，可以大致分为无操作系统的软件开发和有操作系统的软件开发。

2.2.1 无操作系统的软件开发

无操作系统的软件开发一般是单片机层面的软件系统开发。单片机是具备一些特殊功能的集成芯片，它的功能实现需要将要完成的逻辑功能用单片机能够看懂的语言描述给它。描述的过程就是编程控制芯片各个引脚在恰当的时间输出相应的电平值（输出高电平或低电平），进而控制与单片机相连的外围电路的电气状态。对于单片机的开发，可以选择汇编语言和 C 语言。随着芯片制造工艺的不断提升，芯片的性能正逐步增强，从编程的便利性、代码的可移植性和代码的可读性等综合考虑，目前用 C 语言进行单片机软件系统的开发应用越来越广泛。

常用的单片机按照公司的系列分类主要有 C8051、凌阳系列、STC、AVR、PIC、MSP430、TI CC25**系列 Soc 无线单片机、Freescall 系列及 ARM（无操作系统时）；按照位数分为 8 位、16 位和 32 位；MSP430 在低功耗要求的产品中得到了广泛应用；Freescall 在稳定性有严格要求的应用中得到了广泛应用，例如，在遵循国家电网公司企业标准《电力用户用电信息采集系统型式规范 第二部分：集中器型式规范》Q/GDW 375.2—2012 和《电力用户用电信息采集系统技术规范 第二部分：集中抄表终端技术规范》Q/GDW 374.2—2012 的电力系统集中器的设计方案中，Freescall 系列单片机得到了广泛应用。每类单片机都有其对应的开发环境，其中 Keil、IAR Embedded Workbench 开发环境的应用最为广泛，Keil 的开发环境界面如图 2-1 所示，IAR 的开发环境界面如图 2-2 所示。

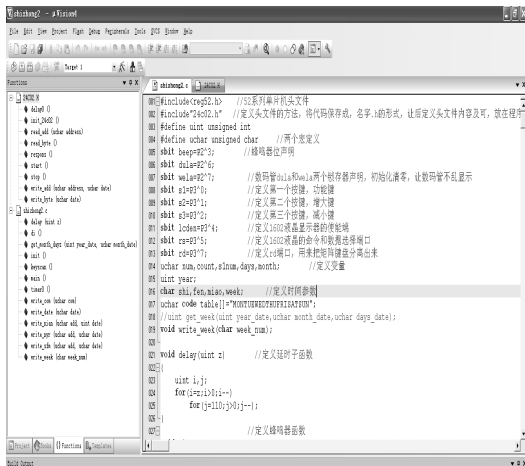


图 2-1 Keil 的开发环境界面

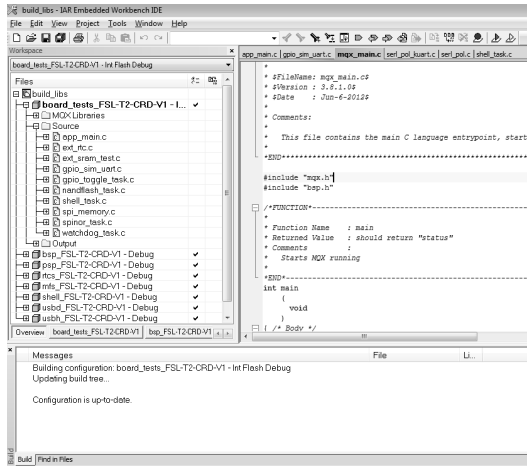


图 2-2 IAR 的开发环境界面

根据需求分析确定硬件系统设计所采用的主设计方案，根据需求选定单片机开发方案后，需要根据产品所属领域、硬件系统的功能、性能和用户接口等进行单片机电路的总体设计和详细设计。单片机的工作流程是根据所要实现的功能编写一系列有序的组合逻辑，就如同我们要给别人传递信息，我们所说的、所写的都要是别人能够明白的语言或文字，别人才可以明白其意思一样，对单片机来说，单片机有单片机界的语言，单片机能够识别并按照其工作的语言是机器语言，对于我们而言机器语言晦涩难懂。为了将我们的思路、我们想要单片机工作的流程传递给单片机，需要进行编辑、翻译，这个工作就落在编译器身上了，像 Keil、IAR 这类的开发环境所承担的工作任务都必须包含语言编辑的功能、语言语法的差错功能、翻译功能（即编译）、逻辑综合能力（需要将多部分的逻辑指令综合起来考虑）。单片机的编程就是通过定义其内部资源来操作外围电路，使各个模块进行协调有序的工作。程序不是从上到下以固定

顺序编写的，而是依据我们的思路，需要什么函数就定义什么函数，需要什么变量就定义什么变量，思路清晰，布局合理。编写程序就是一个不断丰富程序功能，不断修改程序各个模块，最终达到对内外部资源的合理调度完成任务的过程。编写程序时，可采用模块化编程，即把要完成的事情分成几个模块，把这几个模块分别写成子函数，需要的时候在不同的子函数和主函数中调用就可以了；通过合理的调用分配，使程序最终形成一个环，不断地循环来执行定义的指令。

单片机软件系统的开发与硬件密切相关，单片机的程序的任务是在完成组合逻辑的过程中，控制与自己相连接的外围电路的工作，根据输入信号判断逻辑工作状态，做出不同的逻辑响应并输出相对应的逻辑输出。从术语上来讲，单片机程序开发执行的四个步骤是编辑、编译、链接和执行。编辑的过程就是用我们能够懂的语言，如 C 语言，编写逻辑指令，我们编写的逻辑指令称为源代码。在单片机的软件开发过程中，对于一个复杂的、大的软件系统，一般开始时无从下手，我们可以对要实现的功能进行模块划分，每一个要实现的功能都有一个对应的代码模块相对应；可以把通用的一些函数写成头文件的形式，供所有用到该代码模块的函数模块调用；对于功能模块单独用到的一些函数，可以单独定义成功能模块头文件。在编辑的过程中，对单片机来说，需要首先初始化单片机的公共资源，而后针对要实现的功能，在已初始化单片机寄存器、已定义变量的基础上根据要实现的功能及代码模块不断添加要初始化的寄存器变量和按需定义的数据类型等。需要什么资源，在单片机许可的范围内就可以定义什么资源，并定义相对应的变量来使用它。在 `main` 的入口开始，不断地丰富逻辑组合，一个代码模块一个代码模块地完成，用函数来实现不同功能模块的出入口，在集成开发环境的帮助下，就可以逐步地完成源代码的编写。编译器可以将源代码转换成机器语言，在编译过程中，会找出错误并给出错误报告。编译器能够找出程序中很多无效或无法识别的错误及结构错误，从而保证我们给单片机下发的指令都是编译器能够翻译的，进而使单片机能够识别、执行相应的指令。开发环境中的链接器会将源代码文件中由编译器产生的各种模块组合起来，再从代码提供的程序库中添加必要的代码模块，将它们组合成一个可执行的文件。在开发环境中完成编译后，就需要单片机来读并执行我们所要求的指令。

对于一个复杂的单片机软件系统，在读别人的源码时，需要先弄明白单片机软件系统的结构框图，弄清楚软件系统的输入/输出信号及各部分子功能的工作逻辑状态，再逐步读各个子功能工作流程的逻辑代码并弄清楚各子功能模块之间的输入/输出接口。任何软件系统都只有一个 `main` 函数，阅读代码时，先从 `main` 函数入手，再逐步切入，层层剥皮。

2.2.2 有操作系统的软件开发

操作系统（Operation Systems，OS）是一个软件系统，使计算机变得好用（将人类从烦琐、复杂的对机器掌控的任务中解脱出来），使计算机运作变得有序（操作系统掌控计算机上的所有事情）。操作系统是掌控计算机上所有事情的软件系统，操作系统的功能包括：替用户及其应用管理计算机上的软、硬件资源；保证计算机资源的公平竞争和使用；防止对计算机资源的非法侵占和使用；保证操作系统自身正常运转。

操作系统的设计就是将方方面面的技术和设计有机合并起来，构建一个掌控整个计算机的巨无霸软件系统。操作系统经历了状态机操作系统（1940 年以前）、单一操作员和单一控制端操作系统（20 世纪 40 年代）、批处理操作系统（20 世纪 50 年代，代表：IBM 的 FORTRAN 监视系统 FMS、IBSYS，密歇根大学的 UMES）、多道批处理操作系统（20 世纪 60

年代，经典代表：IBM OS/360）、分时操作系统（20 世纪 70 年代，代表：MULTICS 操作系统）、实时操作系统（商业代表有：VxWorks 和 EMC 的 DART 系统）、现代操作系统（1980 年以后）。

嵌入式系统是以应用为中心，以计算机技术为基础，软、硬件可裁剪，功能、可靠性、成本、体积、功耗严格要求的专用计算机系统。嵌入式系统开发具备系统内核小、专用性强、系统精简、系统软件的实时性强、软件开发走向标准化、与应用有机结合、程序一般都固化在存储器中等特点。

按照程序开发的层面及公司所提供的工作岗位，嵌入式软件开发工程师一般分为应用软件工程师、内核开发工程师和驱动开发工程师。在操作系统的基础上，应用软件工程师看到的是一个没有硬件的纯粹的软件世界；内核开发工程师一般负责操作系统的裁剪、移植等与操作系统相关的开发工作；驱动开发工程师与底层硬件接口直接打交道，与上层应用开发接口直接打交道，驱动沟通着硬件开发和应用程序开发，在有操作系统的情况下，驱动的架构都是由相应的操作系统定义的，驱动开发工程师需要按照相应的架构设计驱动，再整合入操作系统的内核，可见，驱动开发工程师起到了硬件工程师和应用程序开发工程师之间的桥梁和纽带作用。

用 C#、Java、Python 等语言在上位机桌面操作系统上进行的开发和在嵌入式系统 iOS、Android、Linux、MQX 等上进行的功能开发都属于应用程序的开发；为一个新开发的硬件系统编写相对应的驱动程序，并良好地融入内核来驱动设备完成相应的功能属于驱动程序的开发；操作系统是应用程序和驱动程序得以运行的关键，根据产品的需求对操作系统进行裁剪、移植是内核开发工程师的工作职责。Linux 是一套免费使用和自由传播的符合 POSIX 标准的类 Unix 操作系统，是一个基于 POSIX 和 Unix 的多用户、多任务、支持多线程和多 CPU 的操作系统。这个系统由世界各地的成千上万的程序员设计和实现，其目的是建立不受任何商品化软件版权制约的、全世界都能自由使用的 Unix 兼容产品。Linux 由于具有内核强大且稳定，易于扩展和裁剪，丰富的硬件支持等诸多优点，在嵌入式系统中得到了广泛的应用。本节以 ARM 平台 Linux 软件开发为例简要说明带操作系统的嵌入式软件开发的流程。

1. 开发环境搭建

对于嵌入式 Linux 的开发，我们开发的设备称为目标机，搭建开发环境的平台称为宿主机。对于搭建开发环境，可以在现有操作系统的基础上装 Linux 系统，也可以在虚拟机下装一个 Linux 开发环境，相比而言，在虚拟机下的开发环境更加方便、便利。在该例中，虚拟机软件采用 Oracle VM VirtualBox，Linux 采用 Ubuntu-12.04.2-desktop-i386。

在 Linux 平台下，编译内核、Bootloader、Qtopia 图形界面及应用程序，均需要交叉编译工具链，该例采用 arm-linux-gcc-4.4.3.tar.gz。为便于 Windows 与 Linux 系统的资源共享，需要在开发目标机和宿主机上安装 NFS 服务器，配置 samba 服务器和设置 ftp。Linux 下的开发应用较普遍的是 vim 编辑器，vim 默认的配置使用起来不方便，不能让人满意，因此需要用户自己来配置，这里安装并配置 ctags 和 cscope（ctags 和 cscope 能大大提高编辑和阅读代码的便利性）。

2. Bootloader 移植

Bootloader 是在操作系统内核运行之前运行的一段引导程序，用来完成整个 Linux 系统的加载启动任务。系统在上电或复位时从地址 0x00000000 处开始执行，在这个地址上设定的是系统的 Bootloader。Bootloader 的功能类似于 BIOS，通过 Bootloader 可以初始化硬件设备、建立内存空间的映射图，从而将系统的软、硬件带到一个合适的环境状态，以便为最终调用操作系统内核准备好正确的环境。u-boot 是德国 DENX 小组开发的用于多种

嵌入式 CPU 的 Bootloader 程序，它不仅支持嵌入式 Linux 系统的引导，当前它还支持 NetBSD、VxWorks、QNX、RTEMS、ARTOS 和 LynxOS 嵌入式操作系统。u-boot 支持的处理器包含 MIPS、x86、ARM、NIOS、XScale、PowerPC 系列，应用非常广泛，该例中用到的 u-boot 版本是 u-boot-2009。

3. 驱动程序和 Linux 内核的移植

驱动针对的对象是存储器和外设（包括 CPU 内部集成的存储器和外设），Linux 下的驱动分为 3 个基础大类：字符设备驱动、块设备驱动和网络设备驱动。该例中采用的 Linux 版本号为 2.6.32.2。

4. 文件系统移植

嵌入式系统的文件系统主要有 Ext2/Ext3、Romfs、Ramdisk、Cramfs、Jffs/Jffs2、Tmpfs 和 YAFFS/YAFFS2。YAFFS (Yet Another Flash File System) 文件系统是专门针对 NAND 闪存设计的嵌入式文件系统，目前有 YAFFS 和 YAFFS2 两个版本，两个版本的主要区别之一在于 YAFFS2 能够更好地支持大容量的 NAND FLASH 芯片。在该例的文件系统中，采用的是 YAFFS2 文件系统。

5. 应用程序开发

嵌入式应用程序是为了完成某项或某几项特定的任务而被开发的运行于特定的操作系统上的程序，需要根据客户的需求开发相应的应用程序。该例的应用程序能够自适应地从 2 个 DB9 串口、USB 接口读取不同外部设备传递过来的信息，并通过 RJ45 以太网接口，以 Socket 包的形式发送到上位机服务器。

2.2.3 软件开发的一般流程

软件系统开发的流程大致可分为需求分析、总体设计、概要设计、详细设计阶段、编码阶段、测试阶段和发布阶段 7 个阶段。软件系统开发流程如图 2-3 所示。SPP (Software Project Planning) 指计划策划, 计划策划的核心是工作量估算; SQA (Software Quality Assurance) 指软件质量保证; SCM (Software Configuration Management) 指软件配置管理, 是所有活动的基础, 一切制品必须放入配置库, 主要解决版本和变更; SPTO (Software Project Tracking and Oversight) 指软件项目跟踪与监控。

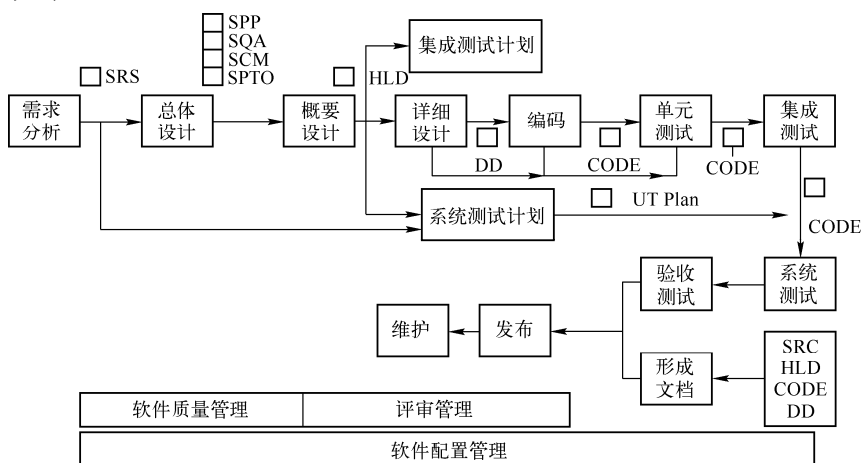


图 2-3 软件系统开发流程

1. 需求分析

需求分析需要明确要开发系统的功能，系统由哪几个大功能模块组成，大功能模块有哪些小功能模块。在需求分析阶段会对前期的需求进行归纳整理并给出软件系统设计的可行性分析。在这个阶段会出一个软件需求说明书 SRS (Software Requirements Specification)。

2. 总体设计

在这个阶段会给出软件总体结构图，对软件功能模块进行划分并对主要模块功能进行描述。总体设计说明系统主要的输入/输出项目、处理的功能性能要求，简要地说明系统的运行环境，说明系统的基本设计概念和处理流程（尽量使用图表形式）。在总体设计时，一般用一览表及框图的形式说明系统元素（各层模块、子程序、公用程序）的划分，扼要地说明各个系统元素的标识符功能，分层次地给出各元素之间的控制与被控制关系。在这个阶段会出一个软件总体设计说明书 GD (General Design)。

3. 概要设计

概要设计将系统功能模块初步划分，并给出合理的研发流程和资源要求。概要设计主要有接口设计、运行模块设计、系统数据结构设计及系统出错处理设计。接口设计包括用户接口、外部接口及内部接口的设计。用户接口说明将向用户提供的命令和它们的语法结构，以及软件的回答信息；外部接口说明系统同外界的所有接口的安排，包括软件与硬件之间的接口、系统与各支持软件之间的接口关系；内部接口说明本系统之内的各个系统元素之间的接口安排。运行模块设计包含运行模块之间的组合逻辑关系，外界对系统控制的方法和步骤，以及每回总运行模块组合占用各种资源的时间。在概要设计阶段就需要确认系统数据的结构，并设计系统数据出错时的处理机制。在概要设计阶段输出的文档有概要设计说明书 HLD (High Level Design)、数据流图 DFD (Data Flow Diagram) 及用户界面 UI (User Interface)。

4. 详细设计阶段

详细设计应把具体的模块以最简洁的方式（黑箱结构）提供给编码者，使得系统的模块化达到最大。一份好的详细设计说明书，可以使编码的复杂性减到最低，严格地讲，详细设计说明书应把每个函数的每个参数的定义都精精细细地提供出来，一个大型的软件系统在完成详细设计说明书时，就可以说一个项目完成了一半。在这个阶段输出的文件是详细设计说明书 DD (Detailed Design)。

5. 编码阶段

在规范化的研发流程中，编码工作在整个项目流程里最多不会超过 1/2，通常需要花费 1/3 的时间，前期需求分析、概要设计、详细设计完成得好，编码效率就会高。在编码过程中，不同模块之间的进度协调和协作是很重要的，编码时的相互沟通和应急的解决方法都是相当重要的，bug 永远存在，程序的完善是一个不断修复 bug 的过程。在这个阶段输出的文件有测试用例 (Test Case)、源代码 (Coding) 和单元测试报告 (UT Test Result)。

6. 测试阶段

测试的方法有很多，按照测试的输入范围，可以分为抽样测试和全覆盖测试；按照测试条件，可以分为正常情况测试和异常情况测试；按照测试范围，可以分为模块测试和整体联调；按照测试执行方，可以分为内部测试和外部测试。测试是软件系统开发中一个相当重要的步骤，需要花费相当长的时间。在这个阶段输出的文件有测试用例 (Test Case) 和测试报告

(Test Result)。

7. 发布阶段

软件系统开发完成，发布软件的正式版本。在这个阶段输出的文件有下发通知单、软件下发说明和测试报告 (Test Report)。

2.3 硬件系统概要设计

硬件系统概要设计的主要任务是根据需求分析，选定硬件系统设计的核心芯片，设计系统架构框图、关键链路连接图和时钟分配框图等，并根据各部分功能电路的功耗情况，制定电源设计总体方案。

在概要设计阶段要对设计过程中的信号完整性 (SI)、电源完整性 (PI)、EMC/EMI 的可行性、结构与散热设计的可行性、工艺的可行性、测试的可行性等环节做初步的分析。需求分析得越充分，设计的系统框图及关键电路就越接近实际的需求。在概要设计阶段，对硬件系统中的信号及供电电源进行分类，分析其中的高速信号可能带来的信号完整性问题、电源完整性问题和 EMC/EMI 问题，能有效地对系统进行因高速电路问题所带来的实效模式分析。对结构与散热设计的可行性分析，能够使结构的设计既满足对产品 ID 设计的美观需求，又满足功能与性能的需求，使产品的外观设计、接口设计在日常的使用过程中更贴近实际应用的需求。对结构与散热设计的可行性进行分析，能够明确硬件系统各部分的散热情况及硬件系统整体的散热情况，根据各个部分的情况，采取有效的结构设计，消除因部件发热带来的隐患。对工艺进行可行性分析，是使设计的产品能够量产的必备条件，对工艺可行性分析得越透彻，产品量产时的良率就越高。为了验证设计系统的功能与性能是否满足需求，需要对系统进行有效的测试验证，测试的可行性分析为验证设计的系统满足要求的必备前提。

需求分析的目标是选定一套符合要求的最佳设计方案，确定硬件系统设计的关键器件及总体设计架构，概要设计是在关键器件及总体设计架构的基础上进一步的细化。在概要设计阶段，对各个部分进行可行性分析，如果发现某些方面不可行或存在缺陷，需要反馈给上层开发者，并重新进行需求分析，商讨可行的方案或改进设计方案。需求分析和概要设计阶段是螺旋前进并不断反复迭代的过程。

系统的信号完整性问题可以归结为 5 大类^[6]：① 单网络问题，主要研究单根走线信号的时序、幅度和相位等，引起单根网络信号完整性问题的主要根源是信号的反射问题；② 多网络之间的问题，主要研究的是相邻信号（同平面走线、不同平面走线）之间串扰耦合的影响；③ 信号时序问题，主要研究的是对信号采样的建立时间和保持时间的最大余量设计；④ 电源完整性问题，主要设计到同步开关输出 (SSO)、同步开关噪声 (SSN)、因平面谐振引起的电源/地反弹 (Ground Bounce)；⑤ 电磁兼容与电磁干扰问题，主要研究 PCB 的近场辐射特性与远程辐射特性。

2.3.1 信号完整性的可行性分析

信号完整性的可行性分析，用来评估所设计的硬件系统中围绕主芯片所需要额外关注并特殊处理的高速信号的信号完整性问题。目前普遍采用传输线理论对板级信号完整性进行分析。采用传输线理论，借助于仿真工具，对第 3 维度上均匀延展的结构进行仿真分析，是目前确实可行，行之有效的分析方法。

信号完整性设计，是指设计的系统在信号传输的过程中能够保持信号的时域特性和频域特性，信号从发送端到接收端能够保持正确的时序、幅度及相位等电气参数。时域分析从时间和信号波形来观察结果，它研究电源和信号实际的波形，与激励信号有关，适用于观测系统的有源、非线性特性。时域分析的优点是直观，有明确的 SPEC，如 Ripple 和 Transient 等指标供参考；缺点是不容易发现和解决问题，IC 器件的电流激励波形难以得到，测量容易受外部噪声的干扰。频域分析会从不同频率和对应的阻抗值来观察结果，它研究的是物理结构本身随频率变化的特性，与激励信号无关，适用于无源、线性、时不变系统。频域分析比时域分析更容易定位和解决问题，容易进行频域仿真，能够清晰地分析 Board Package 和 Die 等各部分对系统性能的贡献，不受外部噪声的干扰。

根据需求分析，确定系统的整体设计方案后，硬件系统开发的主芯片也就确定了，主芯片的确定也就确定了硬件系统开发的主平台。根据主 IC 的 Datasheet 及总体设计架构，可以确认所开发的硬件系统中各个功能部分信号的类型和速率，一般从 IC 代理商手里可以拿到的资料有：IC 器件的 Datasheet、器件的应用手册、参考设计及 Design Guide 指南、仿真模型（SPICE、IBIS、S 参数）等。如图 2-4 所示为 Samsung 公司提供的 S3C2416 开发支持包，包含 S3C2416 及外围器件的 Datasheet、Demo 板原理图和 PCB 版图、设计指导和软件 BSP 包等。



图 2-4 Samsung 公司提供的 S3C2416 开发支持包

在这些资料的基础上，与结构工程师一起确认硬件系统的外形尺寸，大体估算一下电路板的尺寸大小，根据电路的功能模块及主 IC 的引脚状态，在成本的制约和信号质量等综合因素下确定 PCB 所需的层数。根据 Design Guide 要求选定板材的材质（一般都会有 Design Guide，在没有的情况下可以根据主 IC 运行的频率选定板材，通常情况下，FR4 是常用的板材），确定信号完整性分析的基质即确定了信号完整性分析所需要的板材的介电常数。根据主芯片及各个功能模块，对信号进行分类处理，一般需要进行特殊处理的信号类型有 DDR*类信号、高速差分互连信号、高速或特殊接口信号等。

信号完整性可行性分析，需要评估在目前的工艺条件下，是否能够满足主平台各部分电路运行的条件。随着 EDA 技术的飞速发展，借助于信号完整性仿真工具，能够在制板前对原理图及 PCB 进行有效的原理性分析及板级工作状态的分析，以提高一次性设计成功的概率。仿真的分析需要借助于成熟的仿真软件及仿真模型，就如同枪需要子弹才可以发挥威力，各类食物的原料需要厨具的烹调才可口美味一样，精确的仿真模型和成熟稳定的商业软件是在制板、加工前有效、准确模拟系统特性的基础。很多人常常会问：仿真准确吗？仿真效果如何？这个关键是要看使用工具的人所具备的系统设计的理论知识和实践经验，就如同子弹打得准不准要看拿枪的人，食物好不好吃要看厨师的烹饪水平一样。商业的仿真软件经过市场的洗礼，运行了这么多年是没有问题的，一般仿真模型都是由各个 IC 厂家（Spice 模型、IBIS 模型、IBIS-AMI 模型）或端子厂家（S 参数模型）提供的，各个厂家有足够的财力和技术实力来保证模型的准确性，自己只需要去验证就可以了，在此基础上，系统开发者所具备的基础理论知识和实践开发经验越丰富，使用软件仿真分析的各个测试点的结果就越接近实际的运行结果。

因此，在信号完整性可行性分析的过程中，需要确认需要分析的硬件系统中的那些容易出问题的需要额外关注的信号种类；基于工艺、成本及信号性能要求的板层结构的可行性；采用哪些仿真软件进行分析，借助仿真结果改进设计，提升一次性成功的概率；获得所需要的仿

真模型（获得仿真模型的途径主要有 IC 供应商、IC 公司网站、IBIS Model Suppliers 的<http://www.eda.org/ibis/home/models/models.htm>等）；结合之前项目积累的信号完整性分析的经验对新项目进行指导并修正等。

信号完整性可行性分析可以分为如下几方面。

（1）明确 PCB 上需要特殊处理的高速信号的种类，并予以归纳分别进行分析。判断信号属于高速信号还是低速信号，不能只看信号工作的频率，信号是否属于高速信号的范畴往往要看信号的有效频率（或称转折频率） F_{knee} ^[7]。

$F_{knee}=0.3/T_r$ （10%~90%），称为信号的 3DB 带宽；

$F_{knee}=0.5/T_r$ （10%~90%），称为信号的 5DB 带宽。

使用 5DB 带宽的信号定义时，对设计的要求更严格一些。

在明确了信号的有效频率并计算相应的波长后，就可以根据 PCB 走线的长度（完成走线前是曼哈顿长度）及波长的长度关系确定是否隶属于要特殊分析的信号种类，一般走线长度 $L>1/6$ 有效频率的波长就认为是高速信号。在有测试样板的条件下，可以方便测出信号的 10%~90% 的上升时间，在没有现成电路的情况下，可以参考时钟信号来确定，假设信号的上升沿时间为信号周期的 7%，此时信号的有效频率 F_{knee} 约为信号周期频率 F_{clock} 的 7 倍，即 $F_{knee}=7*F_{clock}$ （对于极高频信号，频率在 1GHz 以上的信号，此关系不成立）。对于 1GHz 以上的信号应当都视为高速信号的范畴，对此频段再区分是高速还是低速信号已没有实际意义。对于 SDRAM、DDR1 SDRAM、DDR2 SDRAM、DDR3 SDRAM、DDR4 SDRAM、PCIE、HDMI、Serdes、SGMII 和 RGMII 等信号，统一视为高速信号处理的范畴。

（2）搭建 SI 信号完整性分析的平台，获取高速信号互连的 IBIS 模型、IBIS-AMI 模型和 S 参数模型等。

目前 SI 信号完整性仿真分析的平台主要有 Cadence Allegro、Allegro Sigrity 16.**（包含 Speed2000、Powersi、Powerdc、SystemSI、Broadband SPICE、T2Bspice、OptimizePI）、ANSYS Electromagnetics Suite（包含 HFSS、ANSYS Designer、ANSYS Siwave、ANSYS Maxwell、ANSYS Q3D Extractor、ANSYS Simplorer）、Mentor Hyperlynx、Mentor ICX Pro、ADS（Advanced Design System）、AWR Microwave Office 和 CST 等。

（3）在原理图设计阶段针对要评测的各个指标进行归类，从理论上进行 SI 分析指标的评测。

（4）PCB 布线阶段使用仿真工具量化信号的各项性能指标，如反射、串扰、走线阻抗连续性等参数，从而对 PCB Layout 进行元器件布局、布线拓扑结构、布线长度、走线过孔数量等的指导。

（5）布线结束后，对需要量化分析的信号进行各项性能指标的仿真实验验证，并分析仿真数据，对于不理想的指标进行合理的修改。

随着现代电子技术的发展，研发工程师不仅需要掌握电路的原理及逻辑功能，还需要具备信号完整性分析的知识，在设计之初进行电路信号完整性的可行性分析。

2.3.2 电源完整性的可行性分析

在目前的电路设计中，往往一块单板涉及多种电源，常见的有 5V、3.3V、2.5V、1.8V、1.5V、1.2V、1.0V、0.9V 和 0.75V 等，规格如此之多的电源不可能通过电路板的接口电源直接得到。一般电路板的电源接口仅提供一种或几种电源规格，不可能所有规格的电源全部都通过电路板接口电源提供，而是通过 DC/DC、LDO 等电源拓扑技术来提供的。

目前电路设计中的电源结构分为集中式电源架构和分布式电源架构。集中式电源架构 (Centralized Power Architecture, CPA) 是指系统由多个同规格的电源模块分别转换出所需求的电压值, 如图 2-5 所示^[8]。对于每一个需求的电压值都需要一个独立的电源模块进行对应, 这增加了系统设计的成本和 PCB 布局时的面积, 因此在高速电路设计中一般不采用集中式电源架构。分布式电源架构 (Distributed Power Architecture, DPA) 采用多级电源转换, 先由第一级实现输入端电压 (如 48V、24V 和 12V 等) 到单板中间电源的转换, 再由后续级别的电源芯片实现板级所需要的各个级别的电压, 如图 2-6 所示^[8]。图 2-7 所示是一款基于 MST6i78 的 TV 电源分配图, 充分体现了分布式电源架构的思想。在前期的电源结构设计过程中, 需要首先解决电源参数的问题, 即实现系统功能的各个功能 IC 的供电电压及最大工作电流 (评估各个芯片的最大功耗), 在各个功能芯片 Datasheet 的 Electrical Characteristics 的 Power Characteristics 一栏中可以看到芯片的电压、电流或功率参数 (如图 2-8 所示为 P2020 的功耗参数^[3]), 从而可评估出芯片的能耗。根据同一电压等级的各个功能芯片的总的工作电流计算同一电压等级的总的工作电流, 从而确定所需要的 DC/DC 或 LDO 的性能参数。

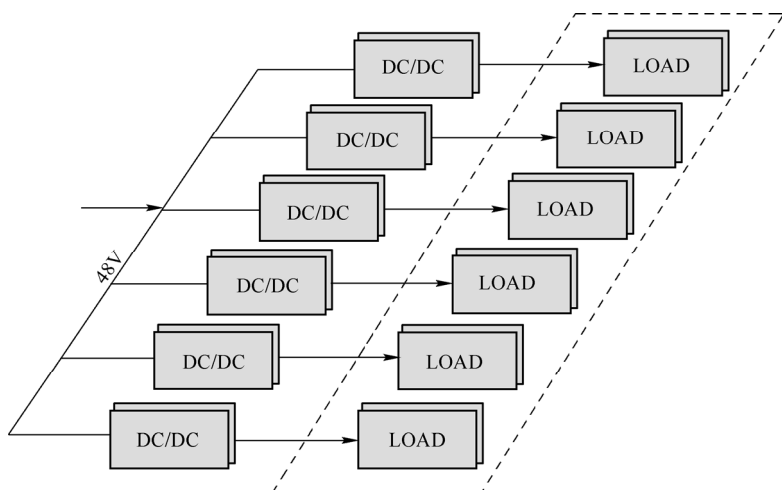


图 2-5 集中式电源架构 (CPA) 示例

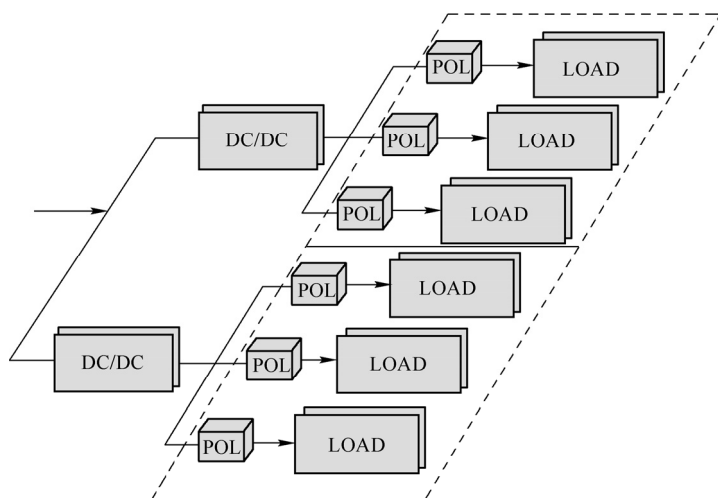


图 2-6 分布式电源架构示例

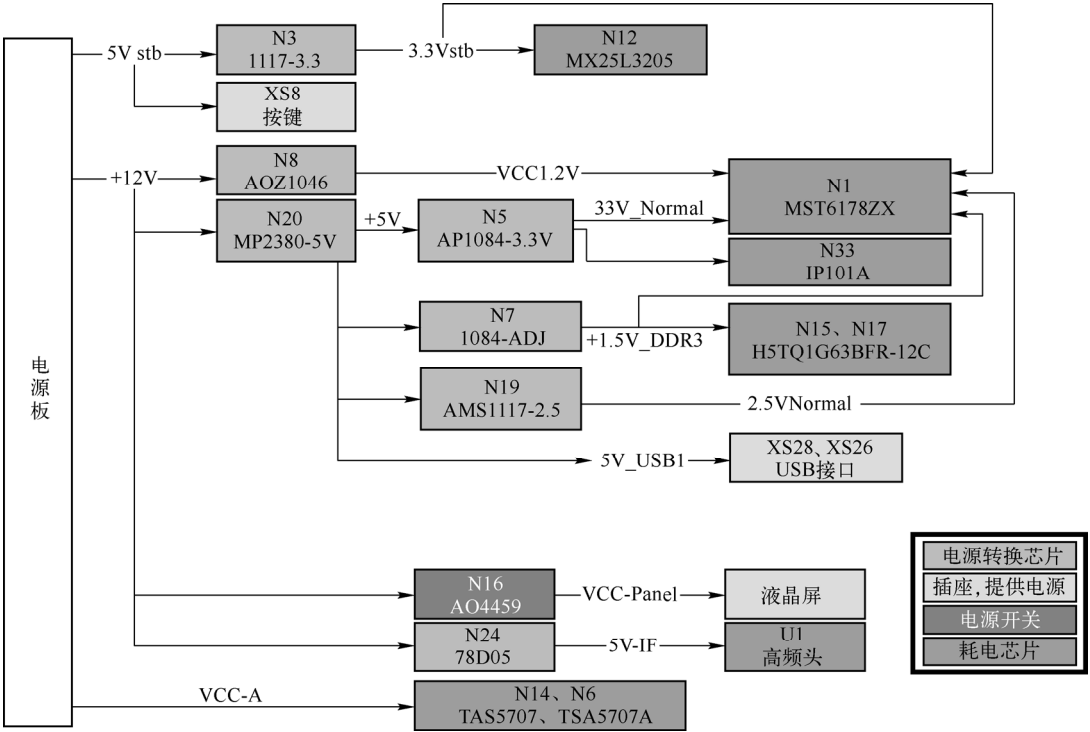
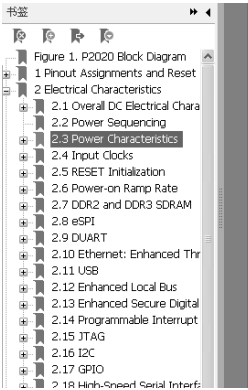


图 2-7 基于 MST6i78 的 TV 电源分配图



2.3 Power Characteristics

The estimated typical core power consumption for the core complex bus (CCB) versus the core frequency for this family of QorIQ devices is shown in Table 5.

Table 5. P2020 Core Power Consumption¹

Power Mode	Core Frequency (MHz)	Platform Frequency (MHz)	V _{DD} (V)	Junction Temperature (°C)	Power (W)	Notes
Thermal	800	400	1.05	125	5.0	2, 3
Maximum					6.1	2, 4
Thermal	1000	500	1.05	125	5.3	2, 3
Maximum					6.5	2, 4
Thermal	1200	600	1.05	125	5.6	2, 3
Maximum					6.9	2, 4
Thermal	1333	667	1.05	125	5.8	2, 3
Maximum					7.2	2, 4

图 2-8 Datasheet 中的 IC 的功耗参数

电源能量在电路板上是如何传递的呢？电源能量从电源模块（VRM）出发，经过电源分配网络 PDN（Power Distribution Network），到达芯片内的电路。PDN 如图 2-9 所示，PDN 系统主要由以下几个部分组成：VRM（Voltage Regulator Module，电源芯片或电源模块）、PCB 上的去耦电容、PCB 上的供电电源平面和地平面、IC 封装内的电容、IC 封装内的电源和地平面、Die 上的电容。对于整个供电网络来说，每一个部分都起着至关重要的作用。

电源完整性（Power Integrity）简称 PI，指的是电源波形的质量。从广义上讲，PI 分析隶属于 SI 研究的范畴之内，电源完整性是信号完整性的基础。PDN 在现代电路设计中占有越来越重要的地位。芯片的开关速度越来越快，负载对高频瞬态电流的需求越来越大，芯片的功能与性能不断提升，使得芯片的功耗也随之提升。为了满足对高频瞬态电流的实时响应，为负载

提供干净的供电电压，为信号提供低噪声的信号回流路径，使链路上通信的信号频率远离谐振频率，在 IC 布局的过程中远离谐振频率点的位置，需要进行电源完整性的分析与设计。

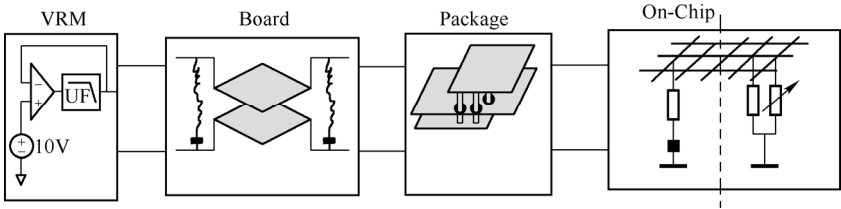


图 2-9 PDN 图示

在设计的前期就需要评估电源完整性设计的可行性。例如，如果采用 1 层或 2 层 PCB 进行电路设计，因信号的走线没有一个完整的参考平面，对高速信号的回流会产生很大的影响，所以需要在 PCB 走线设计时，在走线之间合理的插入 GND 走线，并在 GND 走线中以一定的间距合理地打上地孔。如图 2-10 所示为加强信号回流，在走线之间穿插的地线与电源走线。

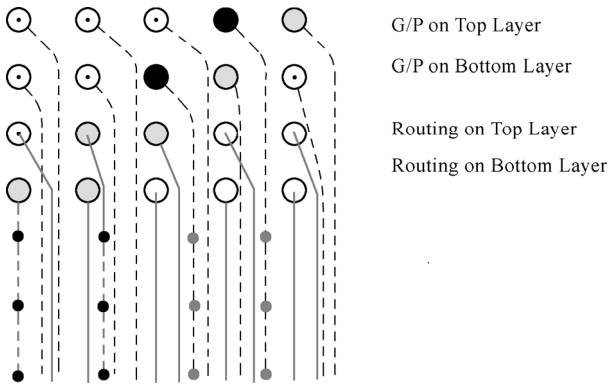


图 2-10 信号走线之间穿插的地线与电源走线

在电路设计中，IC 的供电特性正逐步呈现出低电压、大电流的趋势，这一趋势促使电源完整性成为电路设计中所必须要考虑的问题。对电源完整性的可行性分析可分为以下几点。

- （1）根据 BGA 引脚的扇出、电源平面与地平面数量确定 PCB 的叠层结构。电源平面与地平面不仅能够提供电源，还为信号提供回流路径，确定 PCB 的叠层结构能够确定各个信号层单端走线的特征阻抗和差分走线的差分阻抗。在电源完整可行性分析的前期需要根据成本和设计的要求确定叠层。
- （2）根据设计的要求，确定去耦电容的类别。根据系统的工作环境和使用寿命等确定 PCB 上滤波电容的种类，常用的电容有铝电解电容、固态电容、陶瓷电容和钽电容等，电容的分类如图 2-11 所示。
- （3）根据 PCB 上信号的工作频率及 PCB 的叠层结构确定平面进行谐振分析的频率。平面谐振是能量被夹在两个平行板之间，因原始信号与其反射信号同相而形成的共振腔效应。平面的谐振噪声是电源平面噪声的一个很重要的来源，平面噪声的来源还有 VRM 噪声、Core/IO 跳变产生的噪声、临近电源网络的耦合噪声和其他器件耦合的噪声。
- （4）确定各个电源平面的目标阻抗。电源平面的目标阻抗为^[7]

$$Z_0=\Delta V/\Delta I$$

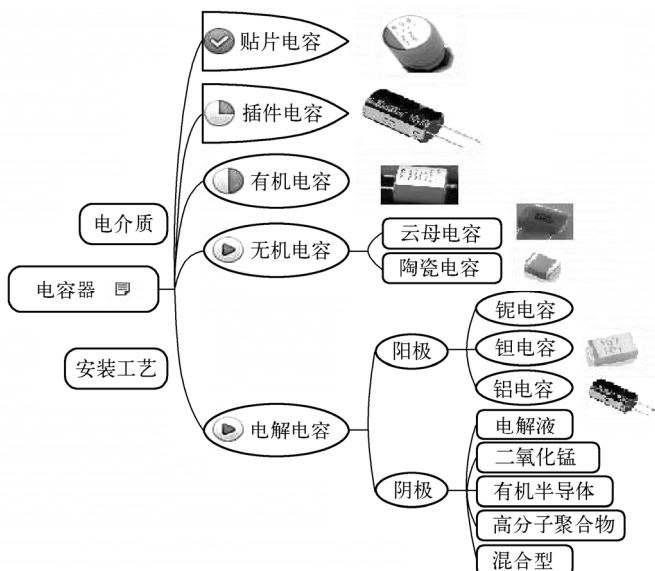


图 2-11 电容的分类

式中， ΔV 是电源平面电压的波动范围； ΔI 是动态电流的波动范围。

电源完整性设计的目标就是使各个电源平面与地平面之间的阻抗低于目标阻抗 Z_0 ，因此控制电源平面与地平面之间的阻抗是电源完整性设计的关键。

ΔV 可以从器件 Datasheet 的电气参数一栏得到， ΔI 一般取器件最大工作电流的 1/2。电源完整性的分析，需要借助电源完整性分析软件，在电源完整性软件中导入 PCB（并对 PCB 的各项参数进行设置，力求使软件中 PCB 的各项参数与 PCB 实际工作时的参数一致（参数包含 PCB 的叠层结构、过孔模型、电容模型、VRM 模型、电容的容值、仿真的工作频率和电容的位置等）。电源完整性仿真的结果是频率与目标阻抗的关系，根据仿真的结果，就可以评测电源平面的目标阻抗（如图 2-12 所示）、电源与地平面的谐振模式等，从而判断去耦电容布局的位置，判断谐振点附近放置去耦电容的种类及数量。

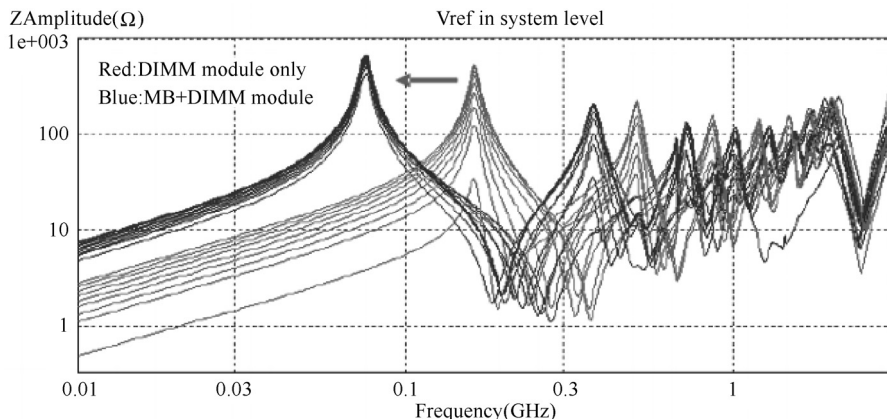


图 2-12 目标阻抗与频率关系

(5) 分析直流压降，确定大电流路径。直流压降 IR Drop 的含义为直流工作时由直流电阻造成的电压降。电源的波动由 DC 损耗和 AC 噪声这两部分构成，IR Drop 的容限通常为供电

电压的 5%（或更低），如果总的容限为常数，那么降低了 DC 损耗将为 AC 噪声留出更大的设计余量。一般会对需要关注的点进行仿真测试，如图 2-13 所示，可以检测出 IR Drop 超标的点。

criteria			66mV(2%)	
Voltage	refdes	Breif description	Max current(A)	IR Drop(mV)
+3.3VCS	U3_CP1	P6	0.250	-160
	U2_CP0	P6	0.250	-115
	J23_GX1	GX CARD	0.218	-113
	J24_GX2	GX CARD	0.218	-111
	J54_DASD	DASD backplane	0.006	-29
	J49_RAID	RAID card	0.006	-13
	U18_FSP1	FSP1 chip	0.51	-2.0
	J25_ENET0	ENET card	0.006	-1.4
	U31_HMC0	HMC chip	0.012	-1.2
	U30_HMC0	HMC chip	0.012	-1.0

← 超标159%

图 2-13 IR Drop 测试点分析表格

当电流通过一个狭窄区域时，通常会产生较大的电流密度，从而导致 PCB 的局部温度升高。分析 PCB 中大电流的路径，在走线路径上加宽 PCB 走线（电源线走线的最小宽度可以参考 Allegro Sigrity 中 PowerDC 的 Power line width calculator，如图 2-14 所示），合理添加走线换层的过孔数量（过孔的通流能力可以参考 Saturn PCB Design，如图 2-15 所示），并在适当的时候合理地采用花焊盘，可有效地提高通流能力与散热速度。电源平面上最大的电流密度区域通常称为电流热点（Hot Spot），这些电流热点有可能导致严重的热可靠性问题，因此在电路设计时，要尽量使板上的电流密度分布均匀，并且最大值不要超过常用的经验门限（100A/mm²）。

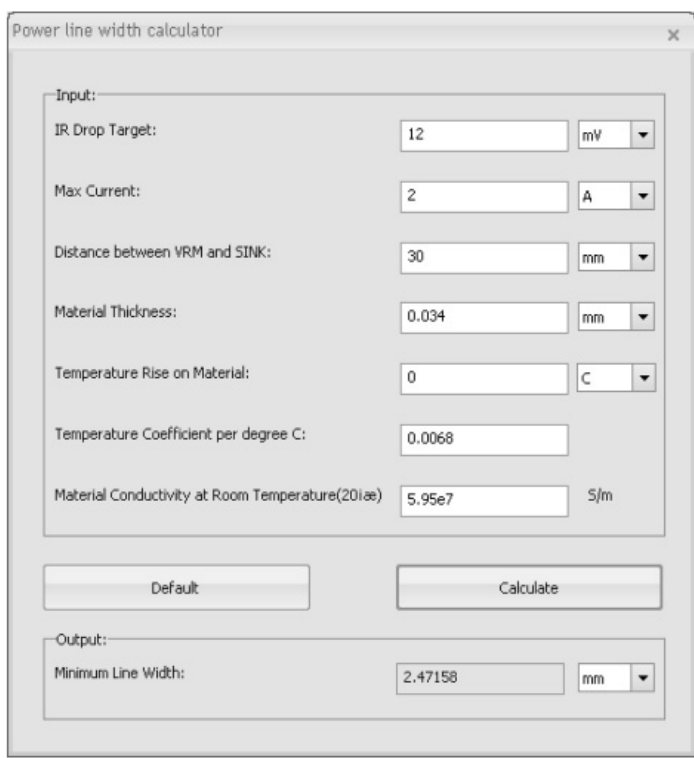


图 2-14 电源线走线的最小宽度计算

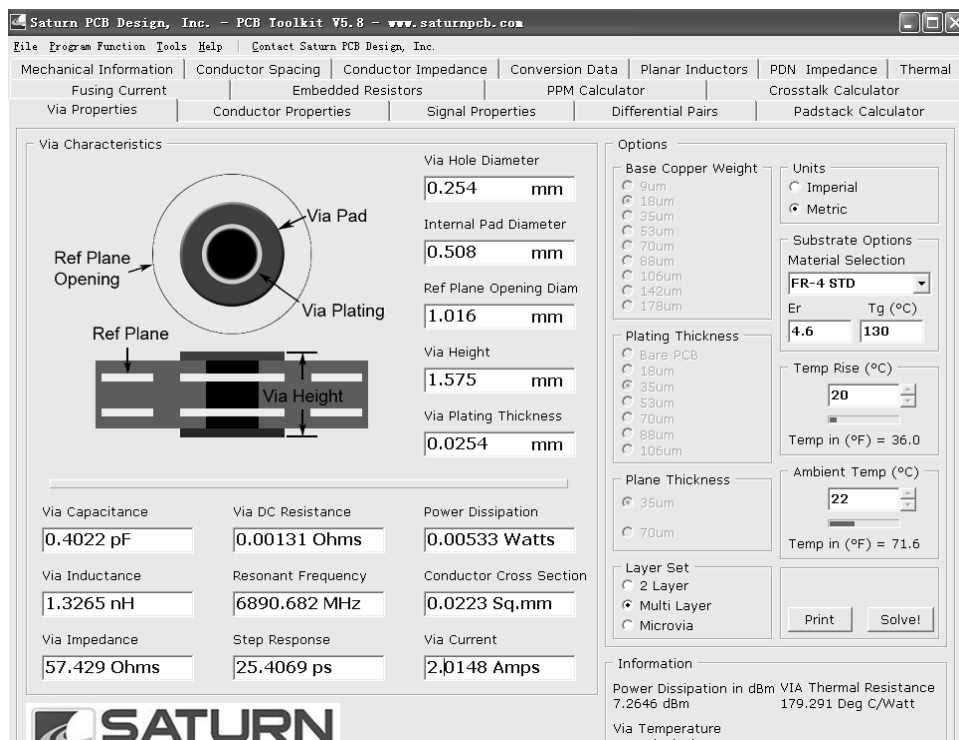


图 2-15 过孔的通流能力计算

2.3.3 EMC 的可行性分析

EMC (Electromagnetic Compatibility) 即电磁兼容性, 指在特定的电磁环境下, 电子系统或 PCB 上的电子元器件之间相互协调有序工作的能力。对于 EMC, 相应的标准有欧洲的 CE 认证、美国的 FCC 认证和中国的 3C 认证, 电子产品在各个区域必须符合相应的认证才可以销售。EMC 包含 EMI 和 EMS 两项。EMI (Electromagnetic Interface) 即电磁干扰, 指电子系统或 PCB 上的电子元器件之间在工作时, 产生的不利于其他电子系统或器件的电磁能量。EMS (Electromagnetic Susceptibility) 即电磁敏感度, 指电子系统或 PCB 上的电子元器件应能接受其他设备或器件的电磁干扰。

EMC 设计的方法可以分为以下四点: 接地、滤波、隔离和屏蔽。接地能够有效地将噪声导入 GND 平面, 滤波能够将无效的信号频段滤除, 隔离能够阻挡噪声的传导干扰, 屏蔽能够有效地阻断噪声的辐射干扰。

在进行产品的 EMC 可行性分析时, 首先要确定产品定位的区域, 从而对应其标准进行相应的测试。对于 EMC 的可行性分析, 可以着重从三个方面入手: 保护受干扰的群体、切断干扰噪声的传输路径和隔离干扰源。

1. 减弱 PCB 走线与敷铜的天线效应

EMC 应用的原理是传输线效应原理和天线原理, 可以分为近场辐射分析与远场辐射分析。在高速 PCB 走线时, 对于关键信号的 stub 走线要尽量减少, 既有利于 PCB 走线上信号的完整性, 又有利于减弱 PCB 走线的天线效应。一般 3.125GHz 以下不需要关注 via stub, 对于 3.125GHz 以上的信号走线, 为减小由高速信号过孔产生的 stub, 一种方法是采用背钻技术

(Back Drill), 如图 2-16 所示。

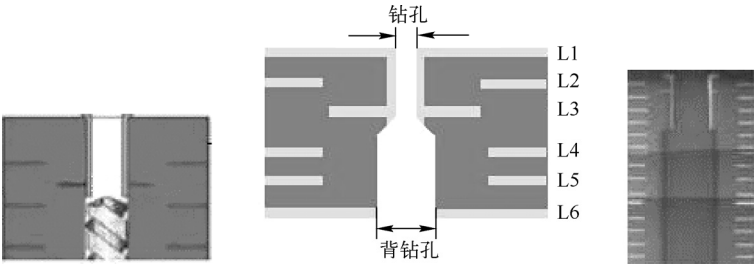


图 2-16 背钻技术

在高速电路设计中，一般在 TOP 层和 BOTTOM 层不走线，为了对 PCB 的内层信号进行有效的屏蔽并有利于 PCB 制板的压合工艺，一般在表面进行大面积的敷铜。表层敷铜时，必须充分打地孔，严禁孤立的铜箔出现，可以利用 PCB 工具查找孤立的铜皮。对于 PCB 上各个部分的铜皮，建议修成 45° 角或圆角，如图 2-17 所示，当表层铜皮接地不充分时，将呈现出天线效应，同时把敷铜的铜皮修成 45° 角或圆角，有利于减弱铜皮的天线效应，这减少了 PCB 对外的辐射。同样在 PCB 走线时也应避免直角走线。

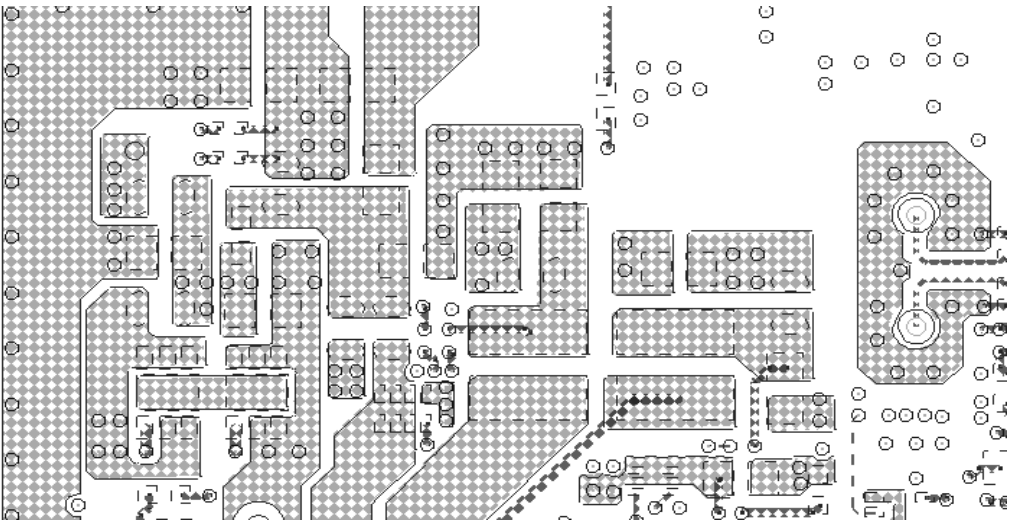


图 2-17 铜皮修成 45° 角

2. 法拉第电磁屏蔽笼

在 PCB 的边缘或 PCB 各个功能模块电路的边缘，每隔 1/10 波长的距离，打一个与层内 GND 平面相连接的地孔，为 PCB 或 PCB 上的各个功能电路构建一个法拉第电磁屏蔽笼，该屏蔽笼能够起到一定的屏蔽作用。在 PCB 各层走线时，为了发挥法拉第电磁屏蔽笼的效果，不能走线在屏蔽笼之外。法拉第电磁屏蔽笼在手机主板屏蔽中的应用如图 2-18 所示。在 TOP 层或 BOTTOM 层用宽度为 5.08~10.16mm 的地线将 VIA 地孔连接起来，在内层的信号层推荐用 0.508~1.016mm 的地线将 VIA 地孔连接起来。当在整个电路板的边缘做法拉第电磁屏蔽笼时，一般不建议将 VIA 地孔连接成环路；而当用于主板内各个功能模块的屏蔽隔离时常将 VIA 地孔连接成环路。

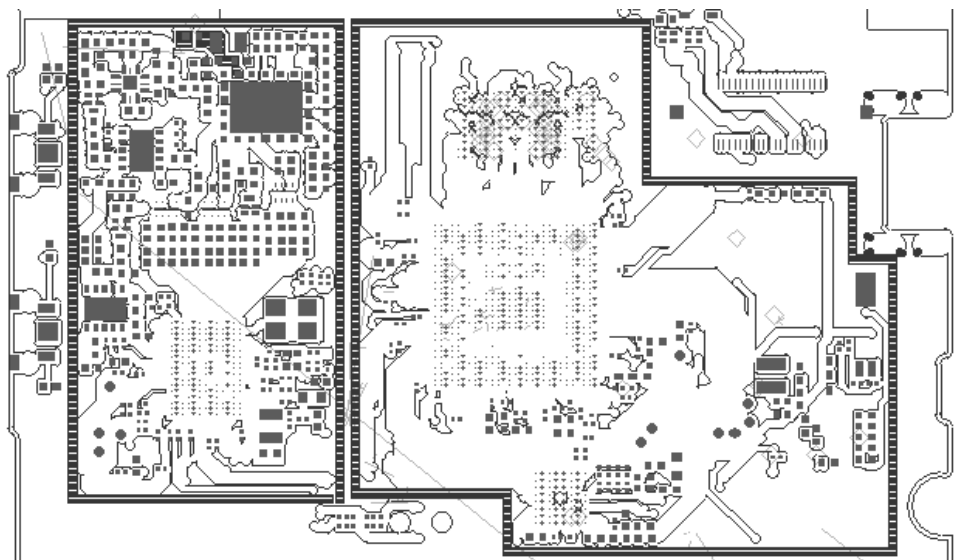
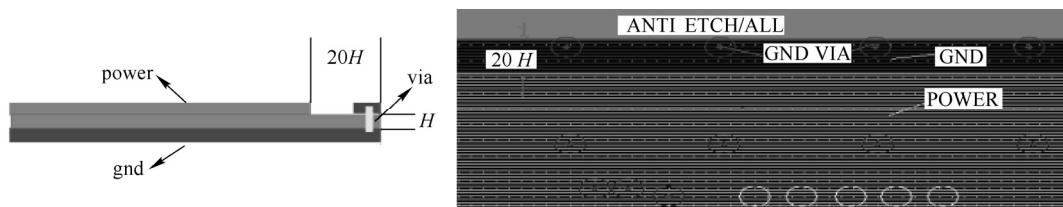


图 2-18 法拉第电磁屏蔽笼在手机主板屏蔽中的应用

3. 20H 原则（电源层内缩）

可以从近场和远场分析 PCB 的辐射特性。为减小电路板边缘的辐射，一般在进行多层 PCB 设计时，电源层相对底层会内缩一定的距离，如果电源层与对应的地层之间的板材厚度是 H ，那么电源层相对底层内缩的距离就要求为 $20H$ 。如图 2-19 所示为当电源层与地层的设计符合 $20H$ 原则时，电路板边界的辐射电磁能量的 70% 将被限制在板内，从而有效地减少了电路板对外面的辐射。

图 2-19 电路板内层电源平面设计的 $20H$ 原则

4. 明确 EMC 的测试指标

EMI 的测试项目包括^[10]传导干扰（CE）、辐射干扰（RE）和谐波干扰等；EMS 的测试项目包括传导灵敏度（CS）、辐射敏感度（RS）、静电放电（ESD）、浪涌（Surge）和电压跌落测试（DIP）等。

2.3.4 结构与散热设计的可行性分析

当器件工作时，器件功耗的绝大部分能量将以热能的方式散发出去。每个器件都有一个能够稳定工作的温度范围，根据器件工作温度的范围，常见元器件的温度等级有以下三类：商业级温度定额为 $0\sim 70^{\circ}\text{C}$ ；工业级温度定额为 $-40\sim 85^{\circ}\text{C}$ ；军品级温度定额为 $-55\sim 125^{\circ}\text{C}$ 。也有些专用应用范围的芯片有特殊的温度等级，如汽车级（ $-40\sim 125^{\circ}\text{C}$ ），航天级（ $-55\sim 125^{\circ}\text{C}$ 且经过辐射测试）等。器件的工作温度范围要求在 Datasheet 中以结温或壳温定义，一旦超过

这个范围，器件的性能就会受到影响。

在结构与散热设计的可行性分析中，在满足结构可装配性的前提下，可以从以下几个方面来考虑：器件自身的功耗情况、器件因自身发热对周围器件的影响和散热通道的处理。

1. 器件自身的功耗情况

在结构与热设计可行性分析阶段，需要设计者去评估每个芯片的最大功耗。对于散热的处理目前一般有如下几种方式：利用 PCB 上的接地焊盘进行散热处理（如图 2-20 所示）、在结构装配允许的情况下添加额外的散热片（如图 2-21 所示）、使用散热风扇或散热导管（如图 2-22 所示）。在使用散热片进行散热时，为减小散热片与芯片外壳之间的热阻，一般会使用导热材料，如硅脂、导热胶、导热垫、相变导热膜和导热双面胶等。

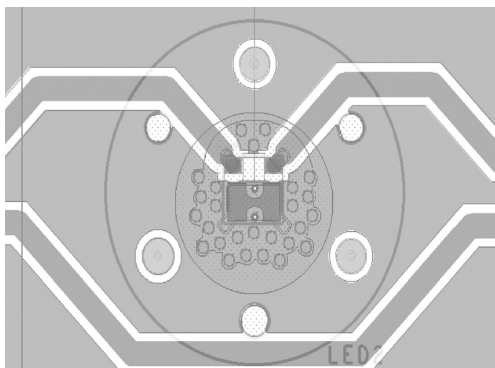


图 2-20 LED 散热焊盘处理

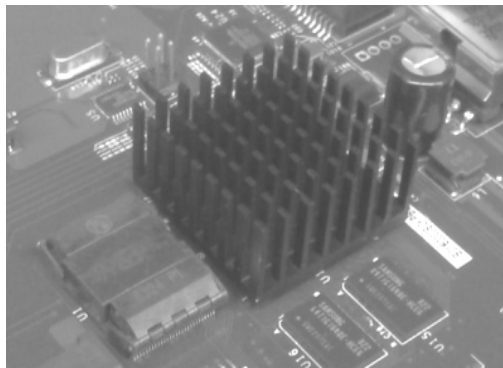


图 2-21 采用散热片对 IC 进行散热处理

导热脂（如图 2-23 所示）通常是指由复合型导热固体填料、高温合成油（基础油如硅油），并加有稳定剂和改性添加剂调配而成的均匀膏状物质，常用的导热脂为白色，也有灰色或金色等颜色。导热颗粒通常采用氧化锌、氧化铝、氮化硼、氧化银、银粉和铜粉等。导热硅脂为最常见的界面导热材料，常采用印刷或点涂方式进行施加；导热硅脂用于散热器和器件之间，散热器采用机械固持，最主要的优点是维修方便，价格便宜；因可以很好地润湿散热器和器件表面，减小接触热阻，所以其导热热阻很小，适合大功率器件的散热；使用时需要印刷或点涂，操作费时，工艺控制要求较高，难度大。



图 2-22 散热风扇与散热导管

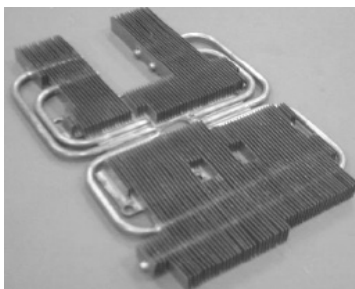


图 2-23 导热脂

硅脂厚度与热阻、组装压力的关系图如图 2-24 所示，从图中可以看出，厚度越薄，热阻越小，因此使用时要控制厚度。推荐印刷工装的钢网厚度采用 0.08~0.12mm，对于平面度较差的装配，可适当增加钢网的厚度。

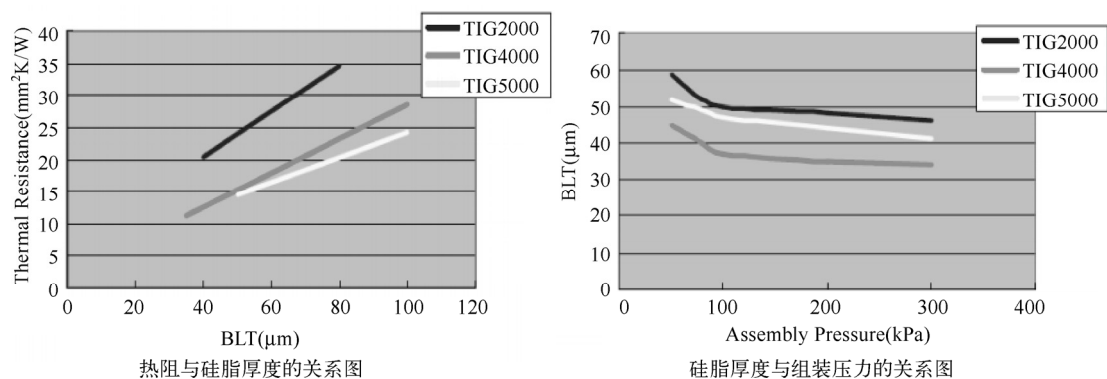


图 2-24 硅脂厚度与热阻、组装压力的关系图

导热胶（如图 2-25 所示）主要由胶黏剂与导热颗粒组成，施加前是膏状混合物，施加后在一定的时间和条件下分子交联固化。常用的导热胶按照胶体类型可以分为环氧树脂系（Epoxy Based）、丙烯酸系（Acrylic Based）和有机硅系（Silicone Based）；按照组分分为单组分和双组分。导热胶的特点是：具有较好的粘结作用，不需机械固持；双组分，但无须混合，一边涂胶，一边涂固化水，具有使用方便，常温固化，固化条件简单、固化速度快等优点；导热系数低（约 $0.8\text{W/m}\cdot\text{K}$ ），只适用于小功率器件的散热；导热界面层的厚度一般在 $4\sim 5\text{mil}$ 之间；可返修；对散热器表面状态敏感，表面污染的器件或散热器的结合力弱；现场工艺控制严格，胶层太厚或固化水太多都会影响结合力。Loctite315 丙烯酸系导热胶是目前常采用的导热胶。

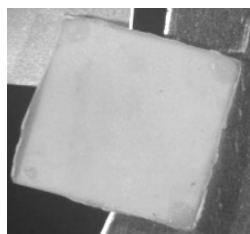


图 2-25 导热胶

导热垫（如图 2-26 所示）主要用于当半导体器件与散热表面之间有较大间隙需要填充，或几个芯片要同时共用散热器或散热底盘时但间隙不一样的场合，或加工公差加大的场合和表面粗糙度较大的场合。由于导热垫的弹性，使得导热垫能减振，防止冲击，且便于安装和拆卸。

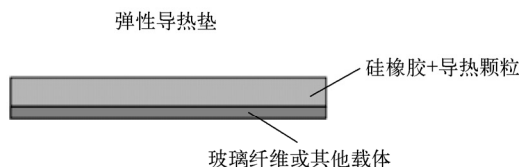


图 2-26 导热垫

相变导热膜（如图 2-27 所示）的特点是：具有一定的相变温度，一般在 $40^{\circ}\sim 70^{\circ}$ ；使用时需要机械固定，一般需实现 $5\sim 20\text{psi}$ 的界面压力；热阻最低可以达到 $0.01^{\circ}\text{C}\cdot\text{In}^2/\text{W}$ ，适用于大功率器件的界面导热；材料厚度一般在 $3\sim 5\text{mil}$ ；可分为绝缘型和非绝缘型两大类，绝缘型的可以用于需要绝缘的场所。

相变导热膜的优点是：可根据安装环境制备成合适的尺寸，便于安装，效率和利用率高，组装成本较低；多为石蜡及其改性材料，环保无污染，能满足环保要求；具有较低的热阻、相变特性、触变性、优良的润湿性；绝缘特性好，可以适用于有绝缘要求的界面；厚度一定，热阻可控性好。相变导热膜的缺点：无粘结作用、需机械固持；使用过程中需发生相变，方可很好地润湿界面。

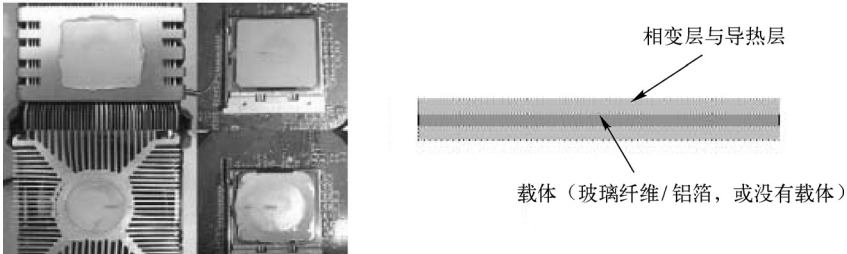


图 2-27 相变导热膜

导热双面胶带（如图 2-28 所示）是胶黏剂中的特殊类型，其将添加有导热填料的胶液涂于基材上，形成双面胶带状的界面导热材料。双面胶带可分为溶剂活化型、加热型和压敏型。导热双面胶带绝大部分属于压敏胶粘带。导热双面胶带由压敏胶黏剂、基材、底层处理剂、背面处理剂和隔离纸组成。其特点是：可根据界面形状灵活制备成各种形状；具有较好的粘接力，某些场合下可以取代螺钉固定；导热系数一般较低，多用于小功率器件；操作方便简单。

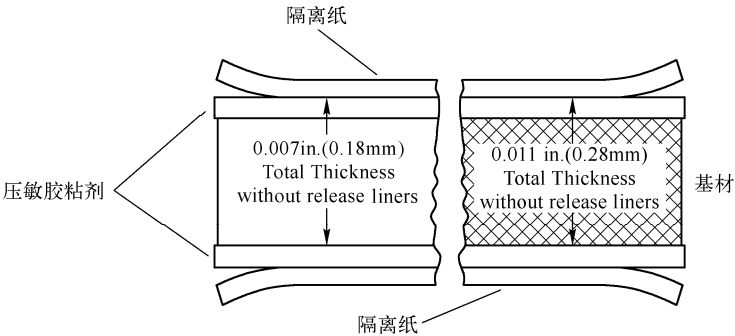


图 2-28 导热双面胶带

对于内置外度传感器的高速 IC，当 PCB 上的器件的温度超过其阈值后，会向外输出温度超过阈值的报警信息，在可行性分析阶段，可以将此类芯片归类，统一由主控制器进行监控。

在进行散热可行性分析时，要考虑温度的可测试性，温度的测试分为接触性测试和非接触性测试。接触性测试一般采用差分温度探头，测试时需要搭建温度测试环境，需要将温度探头固定在待测芯片的周边，如图 2-29 所示，通道 2（LED2）用于测试 LED 灯的底部温度值。非接触性测试一般采用红外探测的方式，较接触性测试方便，但精度不如接触性测试高。

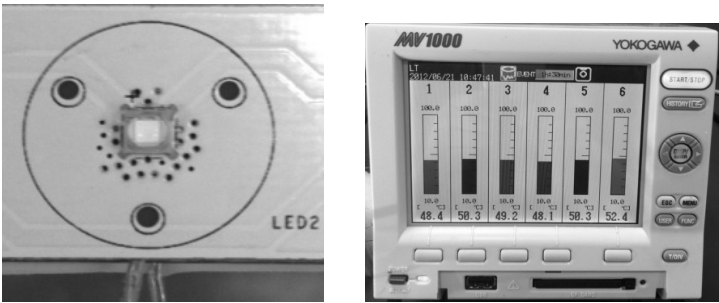


图 2-29 LED 温度测试

2. 评估器件的散热对周边器件的影响

在热设计可行性分析的评估中，需要对热源器件，如 DC/DC 电源模块、LDO 电源模块和

功率消耗大的 IC 等进行归类。在进行 PCB 的布局时，应将此类器件远离对温度敏感的器件，如晶振、时钟芯片、对温度敏感的存储器和 Y5V 电容等。在进行散热可行性分析时，需要根据产品工作的环境进行器件的选型，系统工作在不同的环境下，对器件的性能要求不同，例如，电容根据器件容值随温度的变化可以分为 NPO、X7R、Z5U 和 Y5V，其容值特性随温度的变化如图 2-30 所示。

低温	高温	容量变化
X: -55 ° C	4: +65 ° C	A: ±1.0%
Y: -30 ° C	5: +85 ° C	B: ±1.5%
Z: +10 ° C	6: +105 ° C	C: ±2.2%
	7: +125 ° C	D: ±3.3%
	8: +150 ° C	E: ±4.7%
	9: +200 ° C	F: ±7.5%
		P: ±10%
		R: ±15%
		S: ±22%
		T: +22% -33%
		U: +22% -56%
		V: +22% -82%

图 2-30 电容容值特性随温度的变化

3. 评估 PCB 上的散热通道

在前期的热设计可行性分析中，评估 PCB 上的散热通道主要是为了在 PCB 满足结构装配性的前提下，在利于 PCB 整体散热的情况下，把控整个 PCB 的布局。在明确风道，即 PCB 的进风口时，需要根据风道确定散热片的摆放位置，在安装散热片时，使散热片的齿型凸起与风向平行；在满足结构装配和 PCB 功能的需求下，矮个的器件要布置在上风口；冷却风的方向是从进风口到出风口，在进行器件布局时，需要把热量高的器件即热源布置在下风道，如果布置在上风口，则相对于下风口的器件来说，上风口的热源会分给下风口的器件，这不利于散热的处理。

对于系统的热分析，在前期设计时可以采用 Flotherm 进行建模分析（工作界面如图 2-31 所示），再根据后期的测试对设计进行优化更改。某无线 BTS3812E EBBI 基带单板，器件布局如图 2-32 所示，EBBI 单板尺寸为 233.35mm×460mm，总热耗为 72.2W。使用 1 个电源模块供电，电源模块热耗为 7.23W；单板上的 DSP、FPGA 和 SD6103 加装散热器。系统散热风道是从下到上，器件按垂直风道方式排列，以减小各器件之间相互的热影响。基板的仿真测试结果如图 2-33 所示，仿真测试报告如图 2-34 所示。

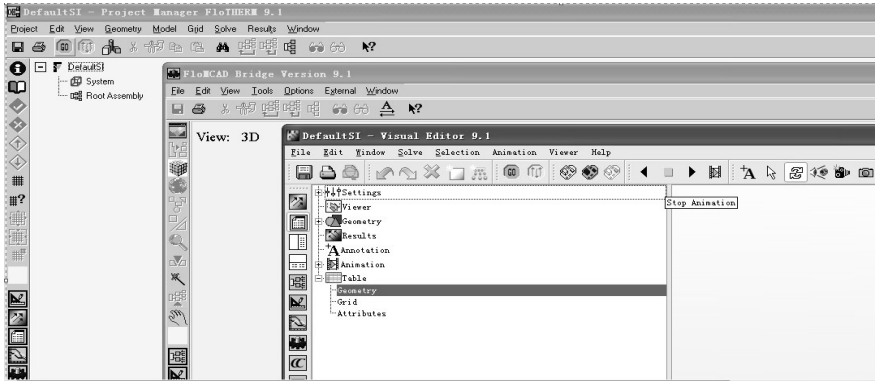
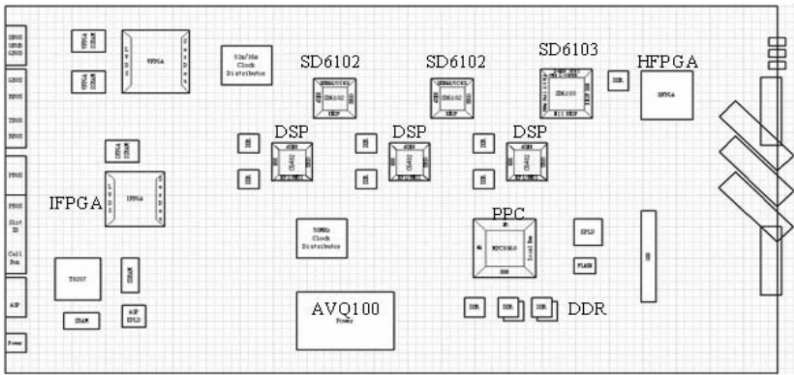


图 2-31 Flotherm 工作界面



域。对于自然对流冷却设备，如果外壳密封，要把热敏感器件置于底部，其他元器件置于上部；如果外壳不密封，要把热敏感器件置于冷空气的入口处。对于强迫对流冷却设备，可以把热敏感元器件置于气流入口处。布局思路如图 2-35 所示。

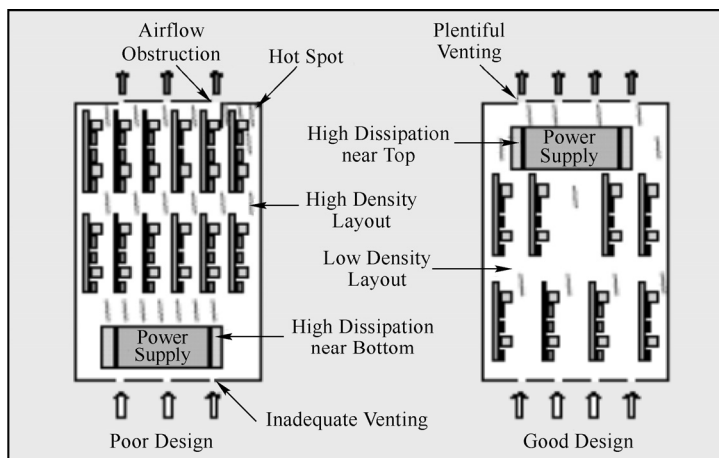


图 2-35 热设计好的布局思路与不好的布局对比

(2) 强迫风冷的器件布局原则：参考板内流速分布特点进行器件布局设计，在特定风道内面积较大的单板表面流速不可避免存在不均匀问题，流速大的区域有利于散热，充分考虑这一因素进行布局设计将会使单板获得较优良的散热设计；对于通过 PWB 散热的器件，由于依靠的是 PWB 的整体面积来散热，因此即使器件处于局部风速低的区域内，也并不一定会有散热问题，在进行充分热分析验证的基础上，没有必要片面要求单板表面风速均匀；当沿着气流来流方向布置的一系列器件都需要加散热器时，器件应尽量沿着气流方向错列布置，这样可以降低上下游器件相互间的影响，如果无法交错排列，也需要避免将高大的元器件（结构件等）放在高发热元器件的上方，高发热器件布局优化前后对比如图 2-36 和图 2-37 所示；对于安装散热器的器件，空气流经该器件时会产生绕流，对该器件两侧的器件会起到换热系数强化作用；对该器件下游的器件，换热系数可能会加强，也可能会减弱，因此对于被散热器遮挡的器件需要进行特别关注；注意单板风阻均匀化的问题，单板上的器件应尽量分散均匀布置，避免沿风道方向留有较大的空域，从而影响单板元器件的整体散热效果。不良的布局与改进后的布局如图 2-38 和图 2-39 所示。

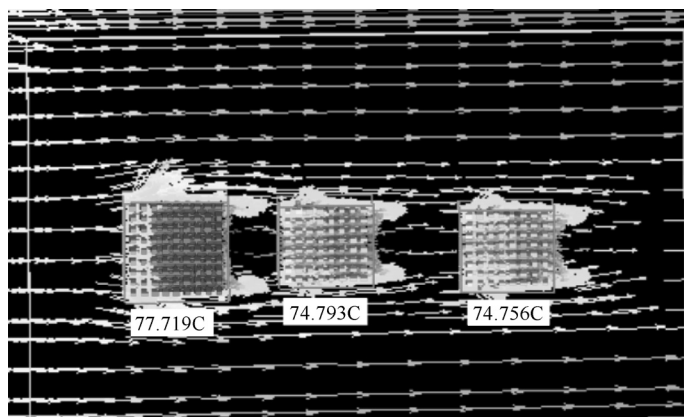


图 2-36 优化布局前

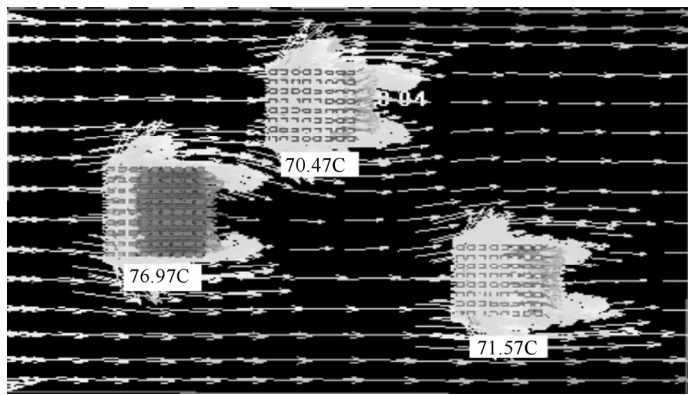


图 2-37 优化布局后

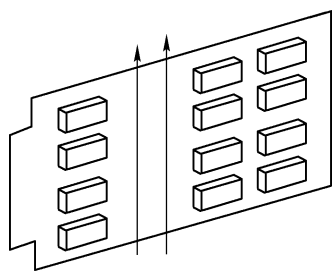


图 2-38 不均匀的不良放置

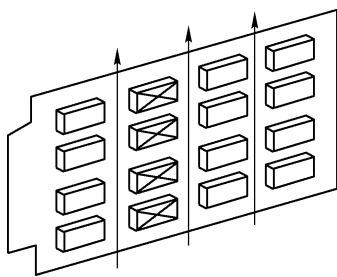


图 2-39 改进后的均匀布局

2.3.5 测试的可行性分析

为了验证设计的产品是否达到所设计的指标，满足各项功能和性能的要求，需要对设计做可测试性分析，从产品研发的阶段可以分为设计的可测试性验证和量产的可测试性验证。无论是设计的可测试性还是量产的可测试性，都有一个核心的问题，即测试点的问题，如何在设计中放置测试点是测试的可行性分析的基础，如果没有测试点，将给设计的可测试性与量产的可测试性带来很大困难。对测试点需要明确测试点的大小，测试点的间距，测试点的数量等。常用的测试点有独立的测试焊盘、过孔、封装的引脚、走线裸露的小铜皮（加 soldermask 的走线）等，理论上通孔和焊盘都可以作为测试点，但是专用的测试点优于过孔，过孔优于焊盘。PCB 贴装后常用的测试方法有^[10]自动光学检查（Automated Optical Inspection, AOI）、自动 X 光检查（Automated X-ray Inspection, AXI）、飞针测试（Fly Probe）、ICT（In Circuit Test）、FCT（Function Circuit Test）和边界扫描（Boundary Scan）等。需要做的单板内的测试项目有信号完整性测试、信号的时序测试、电源纹波和噪声的测试、强度测试和其他的测试（如高低温测试、老化测试等）。

自动光学检查（Automated Optical Inspection, AOI）与自动 X 射线检查（Automated X-ray Inspection, AXI）都是光学检测，只是利用的光的频谱特性不同，其原理都是用光学仪器拍摄 PCB 的图像，然后将其转换成电信号，利用其内置的软件将拍摄的图片与标准产品的图像进行对比分析，判断检测的 PCB 是否合格。像 PCB 贴片经常出现的如缺件、空焊、错件、偏移、架桥和墓碑等贴装的不良现象都可以通过 AOI 和 AXI 来检测。像高密度的 BGA 或 QFN 芯片，无法拍摄到其引脚的具体图像，只能采用 X 射线照射的方式及 AXI 的检测方式进

行检查。这两种光学检测都不是 PCB 电气特性的检查，都有误报产生的可能，它们可以用到量产的可测试性验证中。

FCT (Function Circuit Test) 是通过对 PCB 上电，对 PCB 的整体或局部进行的功能测试，可以加载一些简单的激励，用 LabVIEW 等软件可以测试局部电路模块的功能。

边界扫描 (Boundary Scan) 是基于 IEEE1149 标准的 JTAG (Joint Test Action Group) 接口，将具有 JTAG 接口的芯片连接成一条链路，通过对串联起来的 JTAG 信号线 TCK (时钟输入信号)、TMS (模式选择信号)、TRST (复位输入信号)、TDO (数据输出信号) 和 TDI (数据输入信号) 进行测试。测试链路的输入端接 TDI，经器件内部的移位寄存器后从 TDO 输出，通过 JTAG 测试，可以测试出电路中可能存在的短路和断路等电气连接特性，对器件简单的功能和性能也可以进行测试。JTAG Boundary Scan 不需要额外的测试针床和夹具等，但是只有支持 JTAG 接口的 IC 才可以进行该测试，对可测试的 IC 范围有一定的局限性，而且不支持信号完整性等一系列电气参数的测试。

飞针测试 (Fly Probe) 通过移动的测针测试 PCBA 表面上的测试点，一般可以通过 2 个、4 个或 8 个测试头进行自由组合，来测试 PCBA 的焊接情况。飞针测试不需要夹具，但是由于其测试速度慢，所以不合适大批量的量产测试。

ICT 指在线测试，是生产中最常用的测试方法。ICT 测试通过固定在针床上的探针来探测 PCB 上的测试点，它不仅可以进行开路、短路和虚焊等故障的测试，还可以测试电阻、电容、电感、二极管、三极管、场效应管和 IC 等器件的参数。ICT 测试需要额外的测试夹具，并编写相应的控制程序，测试准备的时间长、成本高。如果需要快速测试大批量的产品，ICT 是最佳的选择。

自动光学检查 (Automated Optical Inspection, AOI)、自动 X 射线检查 (Automated X-ray Inspection, AXI)、飞针测试 (Fly Probe)、ICT (In Circuit Test)、FCT (Function Circuit Test) 和边界扫描 (Boundary Scan) 适合于量产的可测试性分析，在系统的测试可行性分析中，需要根据产品的不同特性，选定合适的测试方法；对于设计的测试，主要是在实验室中利用特定的测试仪器来完成特定测试的。

1. 设计的可测试性验证

为了验证所设计的产品是否满足设计的指标，需要做一系列的测试工作，在设计阶段，生产产品 (工程样机) 之前，设计的可测试性问题是主要考虑的问题。

为了便于进行设计的可测试性验证，在设计时需要注意：①对所有的关键信号都要添加测试点，并能够被探头有效的探测；②在待测的信号测试点附近都要合理添加测试用的地孔；③为便于进行强度测试，要在合适的位置适当增加强度测试的输入点。

对于多层 PCB，线宽和过孔的孔径都很小，随着技术的发展，器件尺寸越来越小，BGA 封装正逐渐成为主流，引脚间距、器件间距越来越小，信号的速率越来越高。BGA 引脚无法直接探测，通常把过孔、端接电阻或耦合电容焊盘当作测试点，如图 2-40 所示。

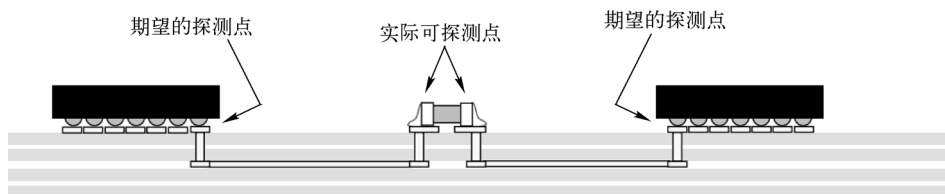


图 2-40 BGA 类 IC 探测点

如果在高速走线上添加额外的测试点，会对信号的完整性造成很大影响，某 PCB 的测试焊盘如图 2-41 所示。由于测试焊盘引入了额外的寄生参数，所以会引起走线阻抗的不连续，如图 2-42 所示，从而带来走线的信号完整性问题，进而产生 PCB 对外界的辐射，产生 EMC 问题。

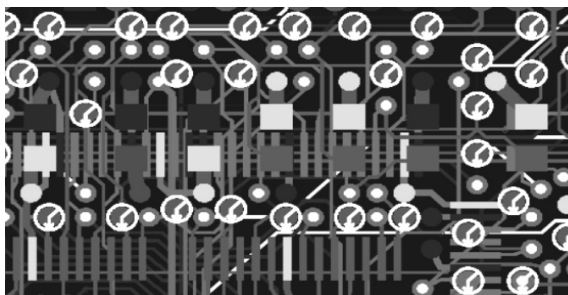


图 2-41 PCB 的测试焊盘

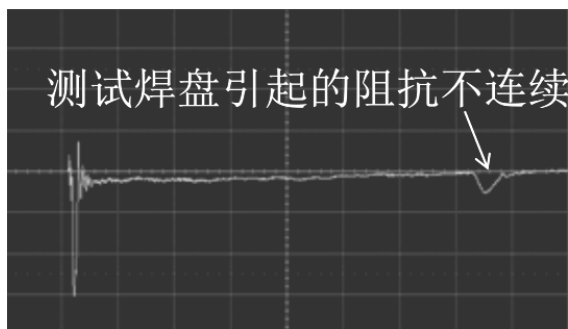


图 2-42 加入测试焊盘引起的阻抗不连续

为了测试 BGA 类的信号，需要额外的测试夹具，BGA 焊盘夹具如图 2-43 所示。

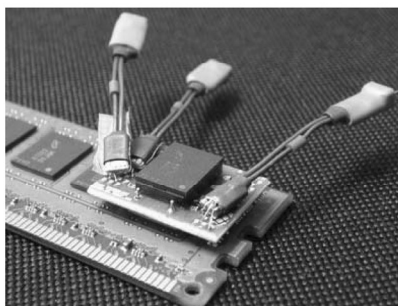
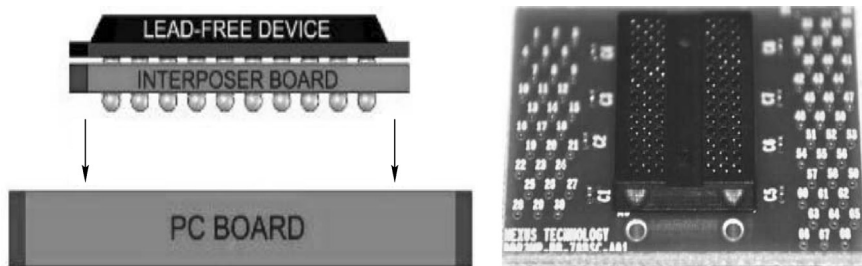


图 2-43 BGA 焊盘夹具

2. 量产的可测试性验证

自动光学检查 (Automated Optical Inspection, AOI)、自动 X 射线检查 (Automated X-ray Inspection, AXI)、飞针测试 (Fly Probe)、ICT (In Circuit Test)、FCT (Function Circuit Test) 和边界扫描 (Boundary Scan) 适合于量产的可测试性分析, 需要根据不同的量产情况选择合适的测试方案。

有时 PCB 上有需要额外单独编程的 IC, 如 EEPROM, 为了方便, 会采用免焊接的方式, 免焊接的方式可以使用测试座, 如图 2-44 所示, 或“棺材盒”, 如图 2-45 所示。

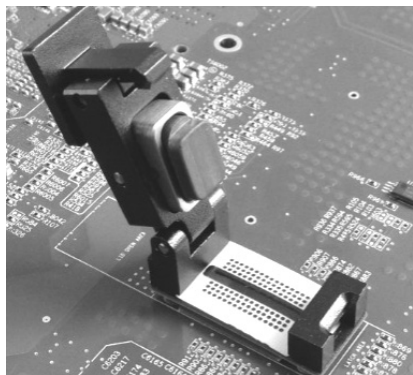


图 2-44 测试座



图 2-45 棺材盒

在分析设计的可测试性时, 需要根据信号的类型及 IC 封装的类别进行分类。针对不同的封装形式和要测试的指标, 要进行设计的可测试性归类, 分别在设计的可测试性阶段和量产的可测试性阶段提出可行的测试方案。

2.3.6 工艺的可行性分析

我们设计的图纸必须符合生产工艺的要求, 在前期工艺的可行性分析中, 需要分析如下内容。

- (1) 设计的 PCB 的叠层结构是否符合 PCB 生产的工艺要求。
- (2) PCB 上的走线宽度和敷铜的厚度是否符合 PCB 厂生产的工艺要求。
- (3) 走线单端阻抗及差分阻抗有特定要求的走线, 所设计的走线参数是否符合厂家生产阻抗控制板的要求。

(4) 确定 PCB 上所采用的孔的类别: 机械钻孔或激光孔是否符合厂家的要求。机械钻孔的常规推荐值是 8mil 以上, 因为 6mil 钻孔的加工与难度不适合量产的需求; 同时对孔径还要考虑厚度与孔径的比值, 常规是 8 : 1, 为了满足量产的需求, 不要超过 10 : 1; 机械钻孔的焊环常规要求单边在 5mil 以上, 阻焊层大于焊盘的单边也要求在 3mil 以上; 在机械钻孔中不是任何孔径都可以实现的, 1mm 以下的钻头从常规 0.2mm 开始, 以 0.05mm 递增, 大一些的钻头会以 0.1mm 递增。机械钻孔根据叠层的不同连接关系可以分为通孔、盲孔和埋孔, 如图 2-46 所示。激光孔在 HDI 工艺中的应用, 可以按照激光孔深度的不同分为一阶 HDI、二阶 HDI、三阶 HDI 和任意阶 HDI。

(5) 为满足量产的需求, 对于面积较小的 PCB, 在加工时, 一般需要做拼版处理, 在拼版前需要与 PCB 厂确认拼版工艺, 并根据厂家要求合理添加拼版的 MARK 光学定位点。

(6) 根据设计需求, 确定 PCB 表面的处理工艺。常见的 PCB 表面处理工艺有热风整平

(HASL)、化学沉镍金 (ENIG)、有机涂覆 (OSP)、选择行沉金 (ENIG+OSP) 和电镀金等，需要根据 PCB 设计的需求来选择表面处理工艺。

(7) 厂家加工生产所需要的图纸格式一般为 Gerber 文件，符合 RS-274X 格式的加工文件是现今最常用的资料格式，加工图纸光绘文件的检查可以借助 CAM350 和 Valor 进行确认。

(8) PCB SMT 所需资料的确认。PCB 加工后需要进行贴片，需要与 SMT 车间确认贴片所需要的数据文件，如器件的 placement 坐标和用于制作刷锡膏钢网的数据等。

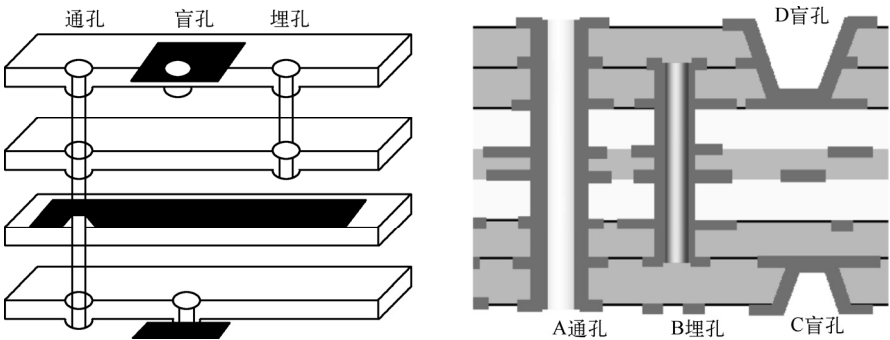


图 2-46 过孔的分类

一般 PCB 厂的加工能力都可以在其官网上得到，如表 2-2 所示是一家 PCB 厂的技术能力表格，在进行 PCB 的生产工艺可行性分析时可以参考，进行初步确认后，再与 PCB 厂进行进一步的确认。

表 2-2 某 PCB 厂的 PCB 工艺参数加工能力

技术能力及发展趋势				
项 目		2011 年	2012 年	2013 年
最大层数		20	24	36
内层最小线宽		3.5mil	3mil	3mil
内层最小间距		3.5mil	3mil	3mil
外层最小线宽		4mil	3mil	3mil
外层最小间距		4mil	3mil	3mil
内层最大完成铜厚		4 OZ	6 OZ	6 OZ
外层最大完成铜厚		6 OZ	12 OZ	14OZ
最小机械钻孔孔径		0.25mm	0.15mm	0.2mm
最小激光钻孔孔径		0.1mm	0.08mm	0.1mm
最大机械通孔纵横比		8 : 1	16 : 1	20 : 1
最大激光盲孔纵横比		0.8 : 1	0.9 : 1	1 : 1
层间对准度	<10L	±4mil	±4mil	±3mil
	≥10L	±5mil	±5mil	±5mil
最大完成板厚		3.8mm	5.0mm	8mm
最小完成板厚		0.4mm	0.35mm	0.3mm
最小芯板介质厚度		0.1mm	0.07mm	0.051mm

续表

技术能力及发展趋势				
项 目		2011 年	2012 年	2013 年
最小单线阻抗公差		±10%	±8%	±5%
最小差分阻抗公差		±10%	±8%	±5%
HDI 板制作能力		1+N+1	2+N+2	3+N+3
控深机械钻孔公差		±4mil	±4mil	±4mil
最大加工尺寸		24.5"*33.5"	24.5"*43"	24.5"*43"
Via In PAD		YES	YES	YES
BGA Pitch（带线）		0.5mm	0.5mm	0.4mm
阻焊对位精度		±1.5mil	±1.2mil	±1.2mil
最小阻焊桥宽度		3.5mil	3mil	2.5mil
表面处理	沉金，有机保护膜	YES	YES	YES
	沉金+有机保护膜	YES	YES	YES
	沉锡	YES	YES	YES
	沉银	YES	YES	YES
	有铅喷锡、无铅喷锡	YES	YES	YES
板材	普通 TG、中 TG、高 TG	YES	YES	YES
	无铅，无卤素	YES	YES	YES
	低 DK	YES	YES	YES
	高频	YES	YES	YES
	BT 材料	N/A	YES	YES
	铁氟龙	N/A	YES	YES
特殊产品	埋容	N/A	YES	YES
	埋阻	N/A	YES	YES
	嵌金属块	N/A	YES	YES
	软硬结合板	YES	YES	YES
	软硬结合板+HDI	N/A	YES	YES
	软硬结合板+金属基	N/A	YES	YES

2.3.7 设计系统框图及接口关键链路

在进行系统设计时，有时系统会比较复杂，理解系统的工作流程后，直接进行电路设计有一定的难度，如果可以将系统的各个功能进行模块化分类，关注各个模块彼此之间的连接接口，并深入每个功能模块进行电路的设计会起到事半功倍的效果。

在系统设计或读别人设计的系统时，系统框图都要放在首位。基于 P2020 的系统设计框图如图 2-47 所示，设计供电部分需要提供一系列的电源；缓存 SDRAM 采用 X64 的 DIMM 条；存储部分需要提供 SD Card、EEPROM、NOR FLASH、NAND FLASH 和 ATA 硬盘；具备 PCIE 插槽；具备 RGMII 和 SGMII 接口的千兆以太网网卡；具备 USB 接口；具备 UART 接口；具备 AC97 音频接口等。从该图中可以读出一系列的内容，从系统的层面把控整个电路

的基本功能。

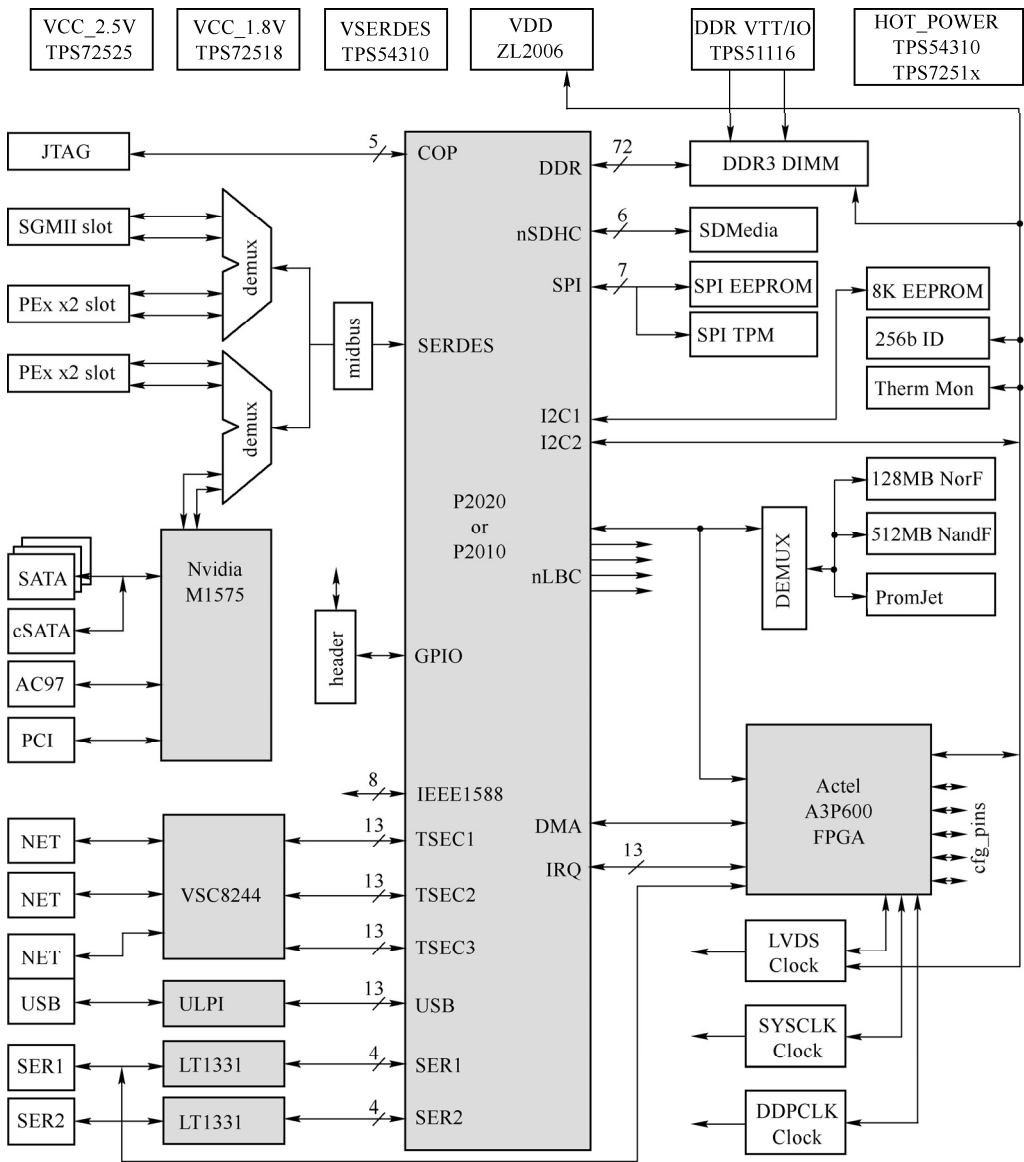


图 2-47 基于 P2020 的系统设计框图

为了便于在设计时更方便准确地设计出系统的框图，在此将系统框图中各个模块之间具备连接关系的接口总结如下：

- (1) JTAG 调试接口；
- (2) 常用 DC 电源值的供电 IC；
- (3) DDR* SDRAM 内存接口；
- (4) SDRAM 存储接口；
- (5) SPI 总线接口；
- (6) I2C 总线接口；
- (7) UART 串行通信接口；
- (8) SGMII 通信接口；

- (9) RGMII 通信接口;
- (10) GMII 接口;
- (11) RJ45 以太网口;
- (12) AC97 音频接口;
- (13) DMA 接口;
- (14) LVDS 接口;
- (15) PCI 接口;
- (16) PCIE 接口。

2.3.8 电源设计总体方案

电源系统根据变换方式,可以分为^[11]AC/DC 电源、DC/DC 电源、DC/AC 电源和 AC/AC 电源。目前只将 AC/DC 电源和 DC/DC 电源称为开关电源,而将 DC/AC 电源和 AC/AC 称为逆变器变频器。除专业的电源系统设计外,一般的硬件系统设计中最常见的电源变换类型是直流转直流(也叫电源的斩波),LDO 和 DC/DC 是常用的两种电源电路,在做电源设计的总体方案时,以这两类电源电路进行论述。LDO 具有输出电源纹波和噪声小、应用简单、成本低、电压输入与输出无延时的优点,但 LDO 的工作效率低,能耗消耗大,受自身散热条件的限制只支持相对较小的电流输出;因 LDO 只能实现降压,其内部的晶体管(或场效应管)工作在线性区,所以无法实现电源输入端与输出端的有效隔离。DC/DC 采用 MOSFET 控制电源的输入与输出,通过控制 MOSFET 开关的时间来控制输入回路和输出回路的连通和断开的时间,进而输出不同的电压值。DC/DC 自身消耗的能耗低,输入与输出电源的转换效率高;与 LDO 只支持降压操作相比,DC/DC 支持升压、降压、反相等变换;DC/DC 输入的电流大,支持输入与输出的有效隔离,但 DC/DC 电路设计复杂,相应的成本也高,这是因为 MOSFET 不停地导通和关闭,电源的输入和输出有一定的延时,且输入电源的纹波和噪声较大。

通过系统框图的分析,就可以明确系统所具有的功能模块;根据各个关键功能模块的电源电压与电流值,计算能耗情况,就可以对应给出各个功能模块所需要的 VRM。将各个功能模块用到的 LDO 或 DC/DC 依据电流流动的方向组成电源的拓扑结构图,如图 2-48 所示是根据电流流向及各个功能模块所需要的供电模块组成的某个系统的电源总体架构。通过系统电源的拓扑结构,不仅可以清楚地看出电流的流向,还可以实时核查出每一部分的功耗及系统总的功耗。

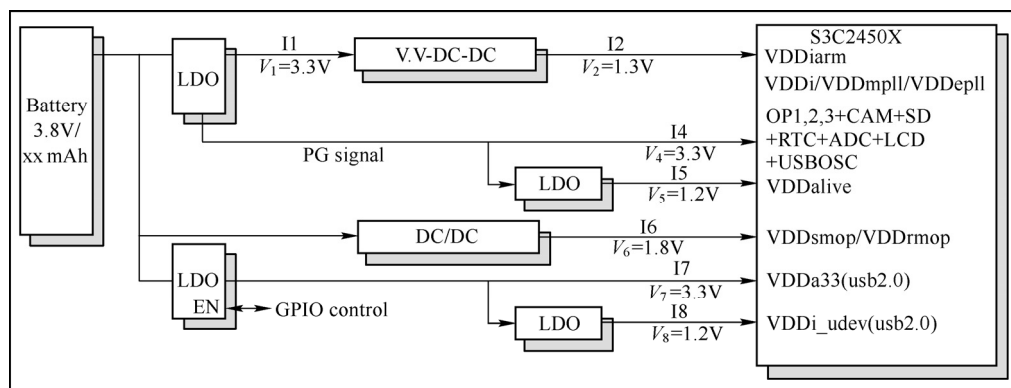


图 2-48 某个系统的电源总体架构

在电源系统架构总体设计方案的设计过程中,除了要明确每个 DC/DC、LDO 供电的电压

与电流外,还要明确各个电压出现的先后顺序,即电源的上电时序。当系统较复杂时,各个功能模块的电路对上电的时序有一定的要求,例如,对主控制芯片来说,一般要求内核部分先上电,外围的 SDRAM 或其他的一些外围电路后上电。围绕主控制平台,各个芯片的上电时序在主 IC 的 Datasheet 中都会有说明,需要根据数据手册中时序的要求来控制上电的顺序。对于时序的控制,在主芯片工作稳定之前的时序控制一般是由独立的 CPLD 或 FPGA 芯片来统筹管理的;当主芯片工作稳定后,可以通过主芯片的 GPIO 引脚来控制 DC/DC 的转换使能模块或通过控制 BJT (或 MOSFET) 来使能各个电源的转换和连通,如图 2-49 所示是根据上电时序的要求排列的上电时序框图,图中用阿拉伯数字及字母标注了上电的启动顺序。如图 2-50 所示是其对应的详细上电时序流程。

对于上电时序的控制主要有以下几种方式：DC/DC 电源芯片转换的使能控制端（如 ZL6105）、基于专用的电源综合管理 IC（如 TPS51116）、基于延时的缓启动电路对 MOSFET 栅极的驱动使能（如 LTC1442）和基于 CPU 的 GPIO 口对 MOSFET 栅极的控制等。在进行电源总体方案设计时，需要根据各个功能电路功耗的大小及需要的上电时序合理选择特定的电路方式，进行合理的控制。

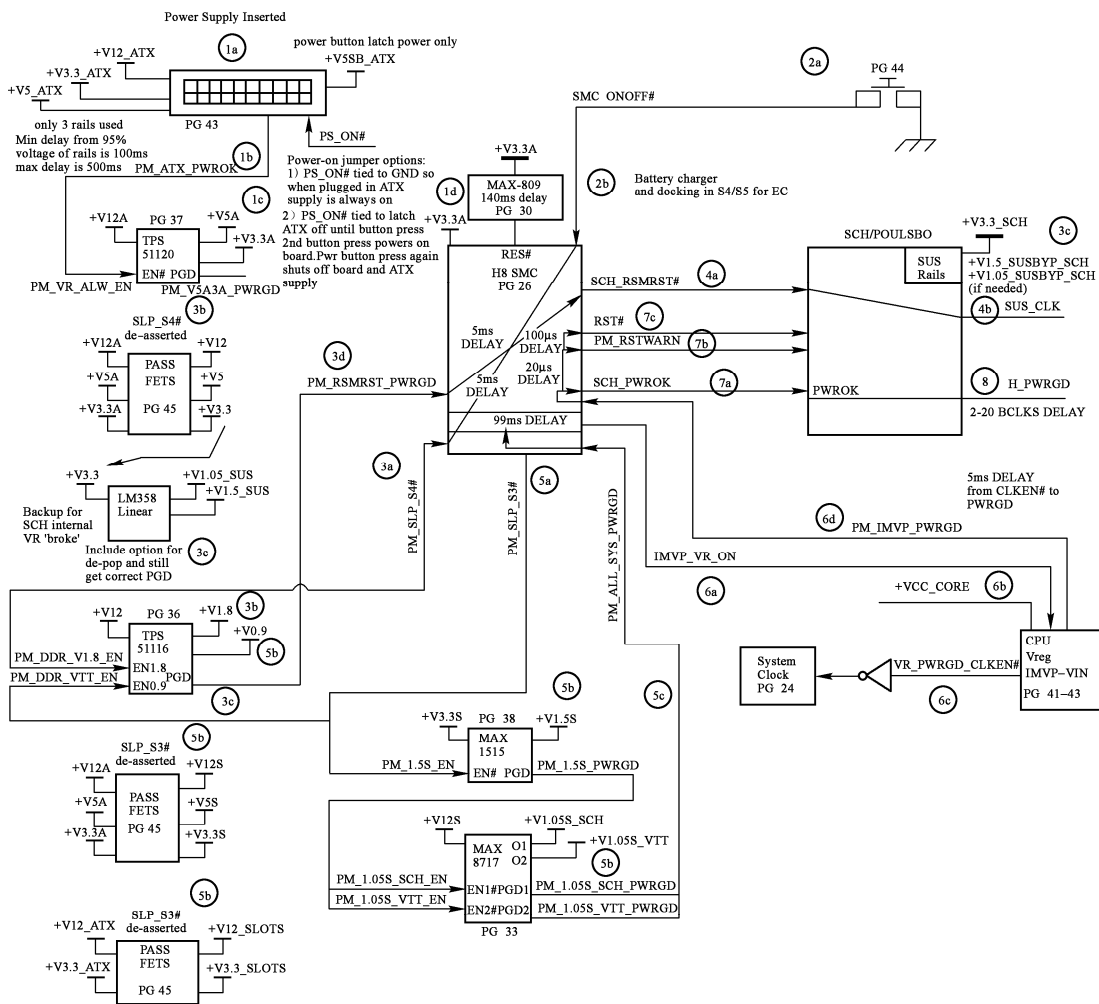


图 2-49 系统上电时序框图

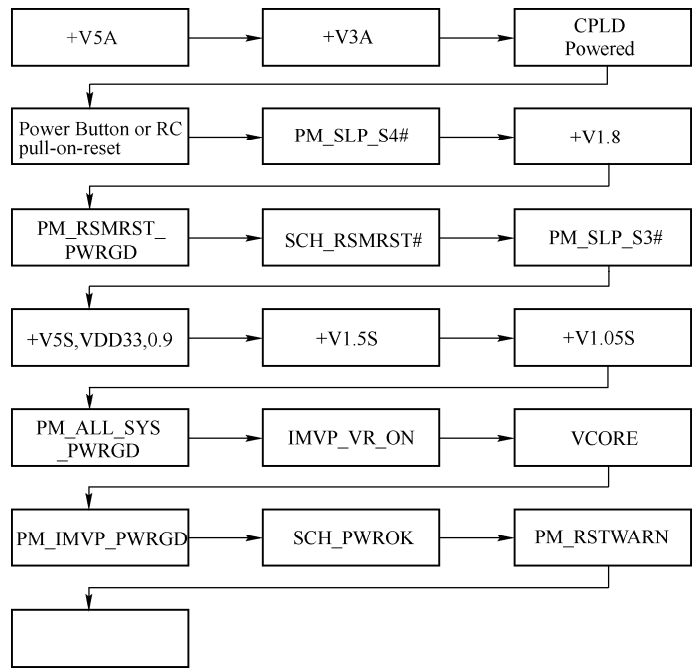


图 2-50 详细上电时序流程

对于行业有特定电源接口的系统设计，需要区别对待，如 LED 背光液晶电视机 LED Driver 的电气接口技术规范^[12]，如表 2-3 所示；液晶电视机芯板电源接口信号描述如表 2-4 所示。

表 2-3 32 英寸 LED 背光液晶电视机 LED Driver 的电气接口技术规范

PIN	Symbol	Description
1	VDDDB	Operating Voltage Supply,+24V DC regulated
2	VDDDB	Operating Voltage Supply,+24V DC regulated
3	VDDDB	Operating Voltage Supply,+24V DC regulated
4	VDDDB	Operating Voltage Supply,+24V DC regulated
5	VDDDB	Operating Voltage Supply,+24V DC regulated
6	BLGND	Ground and Current Return
7	BLGND	Ground and Current Return
8	BLGND	Ground and Current Return
9	BLGND	Ground and Current Return
10	BLGND	Ground and Current Return
11	DET	BLU status detection:Normal:0~0.8V;Abnormal:Open collector
12	VBLON	BLU On-Off control:High/Open (3.3V) :BL On; Low (-0.3~0.8V/GND) :BL Off
13	VDIM	Internal PWM (0~3.3V for 20~100% Duty,open for 100%) <NC; at External PWM mode>
14	PDIM	External PWM (10%~100% Duty,open for 100%) <NC;at Internal PWM mode>

表 2-4 液晶电视机芯板电源接口信号描述

PIN	Symbol	Description
1	STANDBY	待机控制信号
2	+5V_Standby	5V 待机电源
3	+5V_Standby	5V 待机电源
4	GND	地和信号回流路径
5	GND	地和信号回流路径
6	+5V_Normal	5V 供电电源
7	+5V_Normal	5V 供电电源
8	GND	地和信号回流路径
9	+12V_Normal	12V 供电电源
10	+12V_Normal	12V 供电电源
11	GND	地和信号回流路径
12	GND	地和信号回流路径

2.3.9 时钟分配图

时钟电路就如同汽车的发动机给汽车提供前行的动力一样，是驱动各个接口之间通信，进行数据采样所必需的。在现代电子系统的设计中，用到的时钟频率越来越多（如 IC 内核工作的时钟、各个通信进口通信采样的时钟等），需要在电路设计的初期理清楚电路的时钟分配，选定合适的时钟电路。

在电路设计中可以提供时钟信号的器件可以分为两大类：晶体（无源）和晶振（有源）。晶体必须借助于外部的有源激励和振荡电路才能起振工作；晶振是将振荡电路和晶体集成在一个封装内，只需要提供外部电源就可以工作。根据不同的温度特性及起振控制特性可以细分为晶体谐振器、晶体振荡器、恒温振荡器、陶瓷谐振器、温补振荡器和压控振荡器。在进行时钟分配时，需要根据所需要的时钟特性，合理选择所需的晶体或晶振。某设计中的时钟分配如图 2-51 所示。

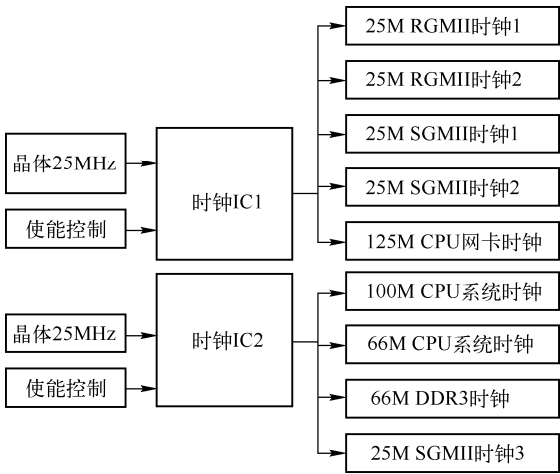


图 2-51 时钟分配图

在时钟分配的控制电路中，除了要关注时钟的频率外，时钟输出有时也有特定的时序要求。与控制 DC/DC 电源输出一样，时钟 IC 的时钟信号输出时序控制也可以通过 IC 芯片的使能端来进行控制，同样对时钟芯片时序的控制可以采用 CPLD、FPGA 或 CPU 的 GPIO 引脚。

2.4 PCB 开发工具介绍

在项目中 EDA 工具是每个工程师必不可少的好帮手，大大加快了设计进程，使用 EDA 工具不仅可以实现物理设计，而且还可以在此基础上进行仿真验证，从而提高了一半成功的概率。

目前来说，从市场占有率来看，主要有如下公司的 PCB EDA 设计工具：Cadence 公司的 Cadence Allegro 系列、Mentor 公司的 MentorEE 系列和 PADS 系列、Altium 公司的 Altium Designer 系列、Zuken 公司的 CR 系列和 CADSTAR 系列。

无论是哪家公司的 EDA 工具，所遵循的基本原理都是模型的建模，即将设计拆分成无数个小元素，然后再统一整合。硬件系统的设计可以分为两个大部分：原理图设计和 PCB 设计。

1. 原理图设计

原理图的设计是将各个 IC 及外围电路以满足一定逻辑关系进行连接。原理图的设计需要各个器件的逻辑符号 Symbol（如图 2-52 所示），器件的逻辑符号又由引脚和符号框体组成。为进行原理图的设计，需要：①画出逻辑符号 Symbol 的框体（一般是长方体形状）；②根据 Datasheet 上器件引脚的属性在 Symbol 的框体上添加各个引脚，并配置引脚的属性，如电源引脚、地引脚、输入引脚、输出引脚、输入/输出引脚和时钟引脚等；③为了便于区分不同的器件，需要给器件添加参考编号和名称（参考编号是唯一的，名称是对逻辑符号的进一步说明）；④将建好的逻辑符号 Symbol 存库，并调入原理图编辑界面，进行电路设计。原理逻辑符号 Symbol 的组成如图 2-53 所示。

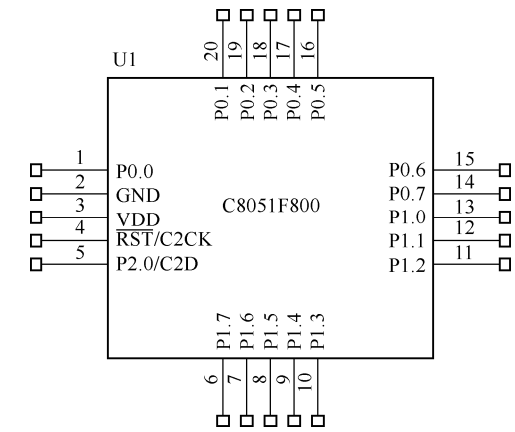


图 2-52 逻辑符号 Symbol

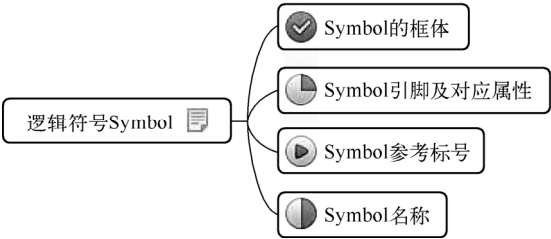


图 2-53 原理逻辑符号 Symbol 的组成

2. PCB 设计

PCB 设计所采用的素材是与实际器件尺寸一一对应的符号。通过原理图的设计，已完成各个器件之间的逻辑关系，PCB 的设计需要将各个部件摆放在合适的位置，并用真实的走线完成原理图设计时彼此连接的逻辑关系。

组成 PCB 的元素有元器件的真实物理封装、过孔、走线、大面积铜皮、板材（分为 PP

和 Core)、丝印及符号、绿油等。

元器件真实物理封装的主要构成分为焊盘引脚（引脚编号与原理图逻辑符号的引脚编号一一对应）、封装的编号（与原理图的编号是对应的）、封装的框体丝印信息（一般与 IC 的外壳大小一致）、封装的装配信息。焊盘引脚是物理封装中最复杂的部分，SMD 贴片类的焊盘引脚由 TOP 阻焊层（Soldermask_TOP）、TOP 层焊盘和 TOP 加焊层（Pastemask_TOP）组成，SMD 焊盘的结构如图 2-54 所示；PTH 通孔类的焊盘引脚由 TOP 阻焊层（Soldermask_TOP）、TOP 层焊盘、TOP 加焊层（Pastemask_TOP）、BOTTOM 阻焊层（Soldermask_BOTTOM）、BOTTOM 层焊盘、BOTTOM 加焊层（Pastemask_BOTTOM）及对应的钻孔数据构成（在出 Gerber 图纸时，如果 PCB 的各个层面为负片特性，则在通孔类焊盘建模时还需要添加 Thermal Relief 散热焊盘和 Anti Pad 隔离焊盘），PTH 通孔类焊盘的叠层结构如图 2-55 所示。

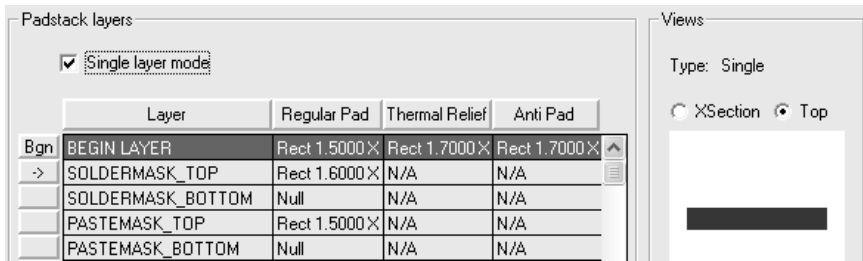


图 2-54 SMD 焊盘的结构

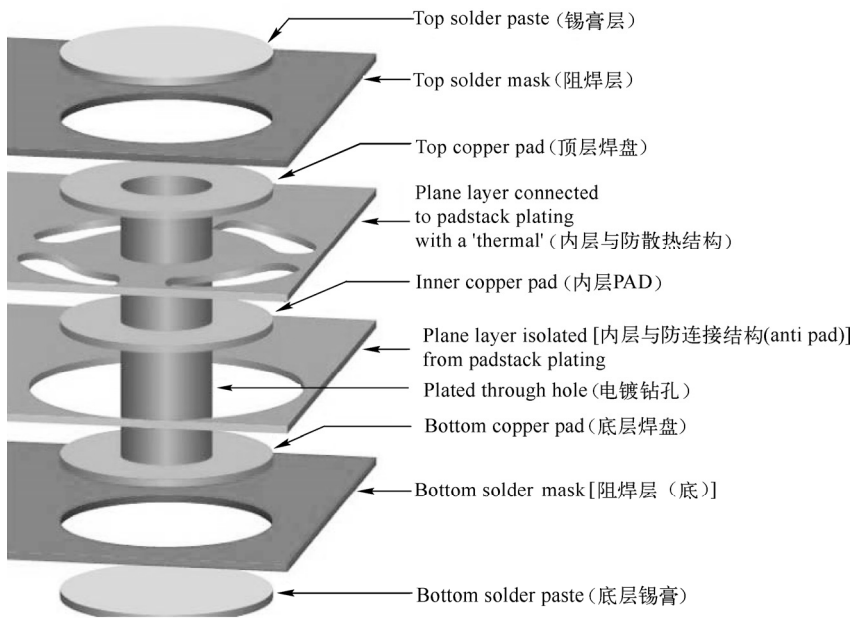


图 2-55 PTH 通孔类焊盘的叠层结构

具备了原理图设计与 PCB 设计的素材，就可以分别进行原理图的设计和 PCB 的设计了，对 PCB 中各个元素的拆分虽然相对麻烦些，但是可以加深对 PCB 设计的理解，使 PCB 设计更具灵活性，真正做到设计的随心所欲。

2.4.1 Cadence Allegro

Cadence 在板级设计领域常用的版本有 Cadence Allegro15.5、Cadence Allegro15.7、Cadence Allegro16.0、Cadence Allegro16.2、Cadence Allegro16.3、Cadence Allegro16.5 和 Cadence Allegro16.6，本书中以 Cadence Allegro16.5 进行相关说明。Cadence 公司的板级 EDA 设计软件的电路系统设计流程，包括原理图设计，数字、模拟及混合电路仿真，FPGA 可编程逻辑器件设计，布局、布线，PCB 图及生产数据输出。Cadence Allegro 集成信号完整性和电源完整性分析工具，从前到后提供了完整的输入、分析、板图编辑和工程图纸输出的全套流程。为了提升 Cadence 软件在信号完整性、电源完整性及 EMC 方面的分析能力，2012 年 7 月 2 日，Cadence 设计系统公司收购了 Sigriy 公司（Sigriy 在业界领先的信号与功率完整性解决方案上保持着领先地位，提供了全面的分析与验证能力），为高性能、数千兆赫兹系统的高级和精确的信号功耗与热能的分析提供了可靠的解决方案，让高性能 PCB 系统的设计和验证更有保证，加快了产品的推出。

在进行 PCB 设计中，主要用到的功能模块如下。

(1) OrCAD Capture CIS: OrCAD Capture（其界面如图 2-56 所示）是 Cadence Allegro 的原理图设计工具。OrCAD Capture 作为行业标准的 PCB 原理图输入方式，是当今世界最流行的原理图输入工具之一，其具有简单直观的用户设计界面。OrCAD Capture 提供了完整的、可调整的原理图设计方法，能够有效应用于 PCB 的设计创建、管理和重用。不管是用于设计模拟电路、复杂的 PCB、FPGA 和 CPLD、PCB 改版的原理图修改，还是用于设计层次模块，OrCAD Capture 都能为设计师提供快速的设计输入工具。

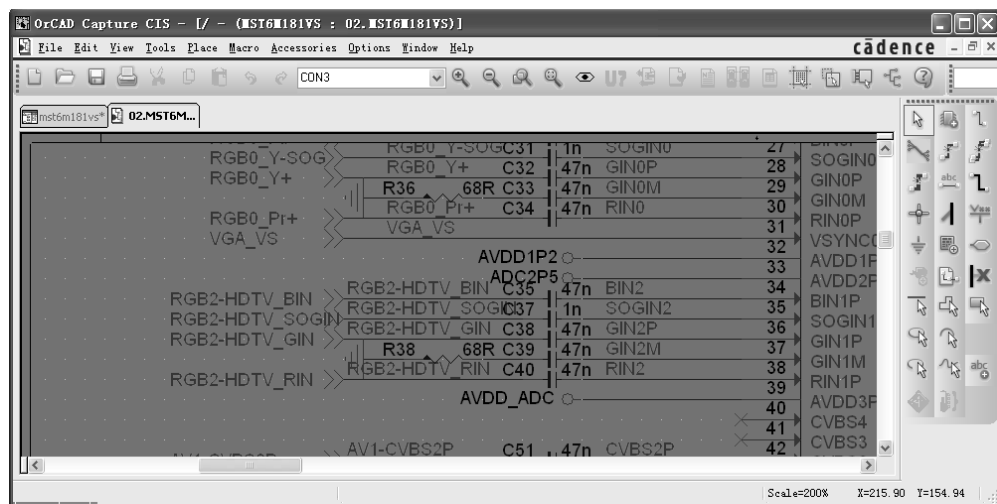


图 2-56 OrCAD Capture 工作界面

(2) PCB Editor: PCB Editor 是一个完整的 PCB 设计软件（其界面如图 2-57 所示）。PCB Editor 为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。

(3) PCB Router: CCT 布线器。

(4) PCB Editor Utilities: 主要包括 Allegro 封装库的开发、PCB 设计数据库的修复和不同工具间数据格式的转换。

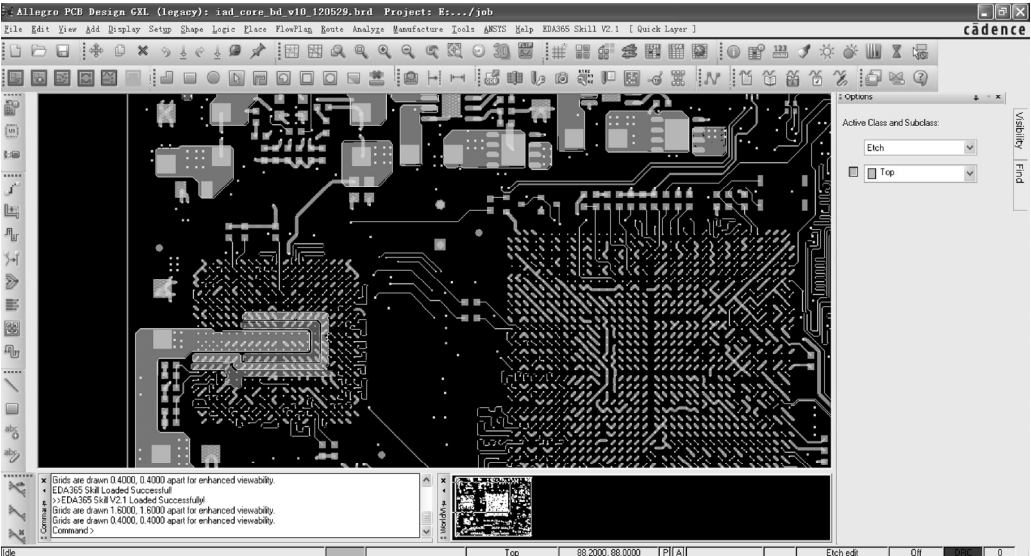


图 2-57 PCB Editor 工作界面

(5) Model Integrity: IBIS 模型编辑与验证工具，其界面如图 2-58 所示。

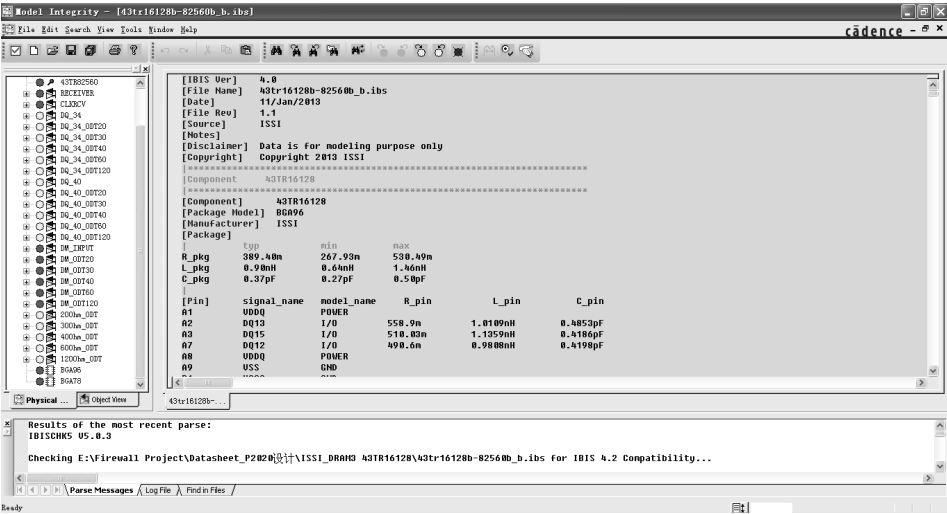


图 2-58 Model Integrity 工作界面

(6) PSpice AD: 基于 Spice 模型的电路原理仿真环境，工业标准的模拟、数字及模拟/数字混合信号仿真系统，具有仿真速度快、精度高、功能强大的特点。仿真库包含元器件种类丰富，数量众多，其目录下对应的仿真库如附录 A 所示。

(7) PCB SI: 提供了一个高速集成的高速设计与分析环境，可提取信号网络的拓扑结构，并根据仿真信号的结果优化分析拓扑结构；可分析信号完整性分析中信号的反射和串扰等，找出信号走线上的阻抗不连续点；可分析相邻网络信号的 crosstalk，从而避免因串扰引起的干扰（信号的干扰会包含多次谐波）；结合 Cadence 自身的 PI 工具可以进行电源平面目标阻抗的分析，进行去耦电容的位置、数量、种类的合理搭配。基于 Cadence 的 PCB SI 分析工具，可以进行约束驱动布局、约束驱动布线及布线后的物理检查与电气仿真的检查，其拓扑提

取分析界面如图 2-59 所示。

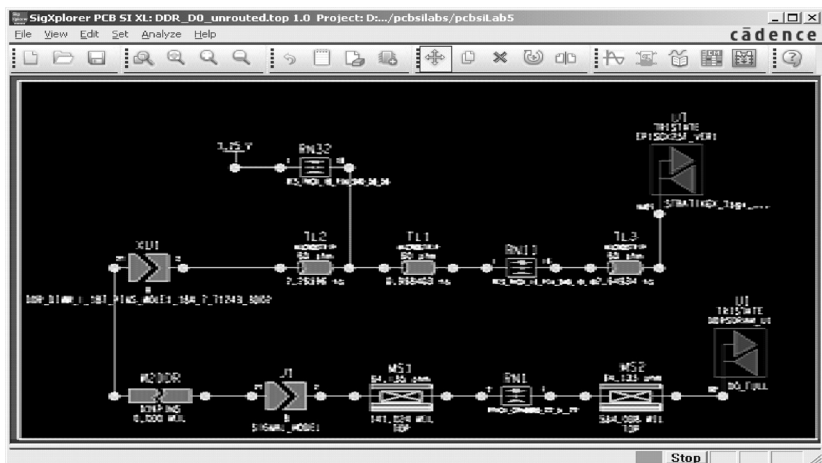


图 2-59 PCB SI 拓扑提取分析界面

Sigrity 是一家领先的信号与电源完整性技术供应商。Sigrity 提供了丰富的千兆比特信号与电源网络分析技术，包括面向系统、印制电路板（PCB）和 IC 封装设计的独特的考虑电源影响的信号完整性分析功能。Sigrity 分析技术与 Cadence Allegro 和 OrCAD 设计工具的组合将会提供全面的前端到后端的综合流程，帮助系统和半导体公司提供高性能设备，应用千兆比特接口协议，如 DDR 和 PCI Express。这种综合的解决方案将会让移动多媒体设备和云计算基础架构等新兴市场上的电子系统供应商客户受益。目前 Cadence Allegro16.6 还没有完美的集成 Sigrity，现在只完成了初步的集成，在 Cadence Allegro16.6 中可以直接调用 Allegro Sigrity16.6。

Sigrity 安装包包含 Speed2000、PowerSI、PowerDC、SystemSI、Broadband SPICE、T2B 和 OptimizePI 等。其几个主要模块介绍如下。

(1) Speed2000 是通用时域工具，是第一个也是现今唯一一个可以进行 IC 封装或 PCB 整板时域电磁仿真的时域分析工具，可以进行 SI、PI 和 EMC 等分析，其界面如图 2-60 所示。

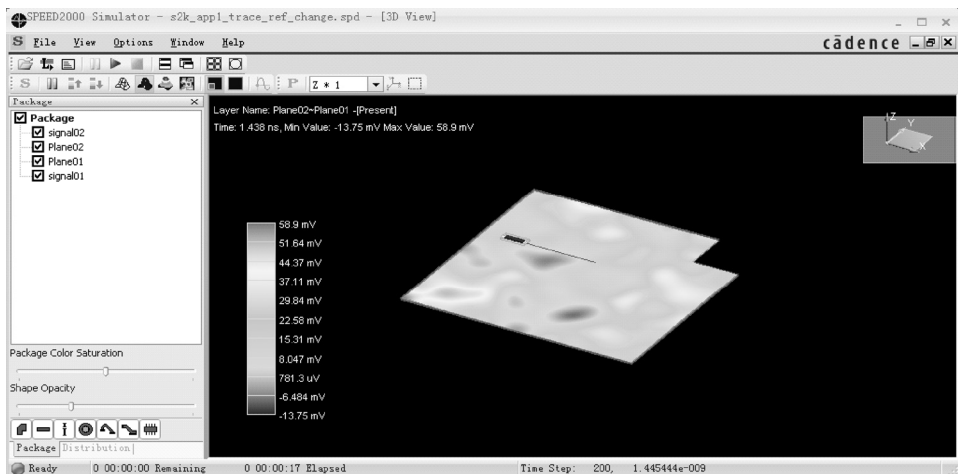


图 2-60 Speed2000 工作界面

(2) PowerSI 是先进的频域分析工具，可用于提取 IC 封装或 PCB 整板信号、电源的频域阻抗参数和 S 参数，还可以提取随频域变化的空间噪声的分布，其界面如图 2-61 所示。

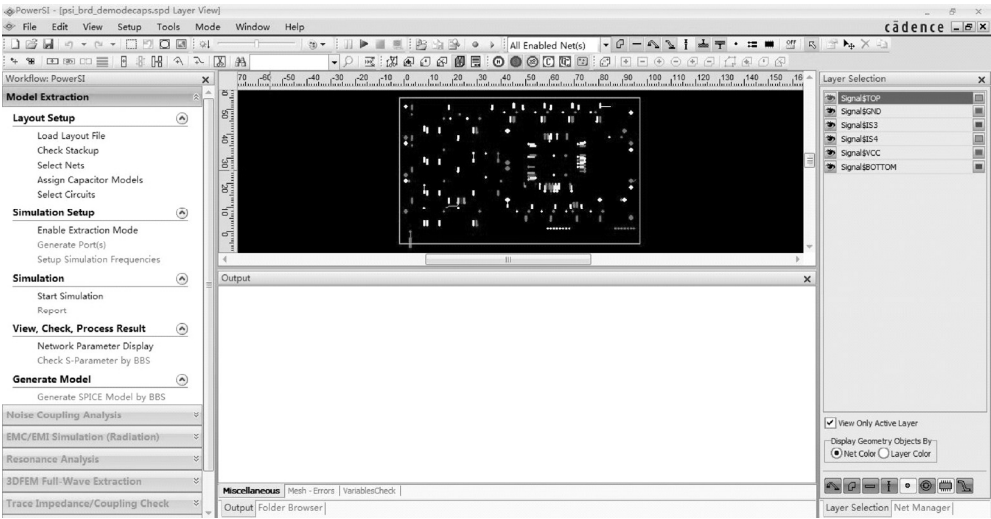


图 2-61 PowerSI 工作界面

(3) PowerDC 是高效准确的直流分析工具，可用于 IC 封装或 PCB 整板的直流压降分析、电流密度分析和过孔电流的分析，还可以进行电热协同分析，当 VRM 模块有 Sense 感应线时，还可以进行感应线位置的优化，在设计完成后，可以进行直流 DRC 检查，其图形工作界面如图 2-62 所示。

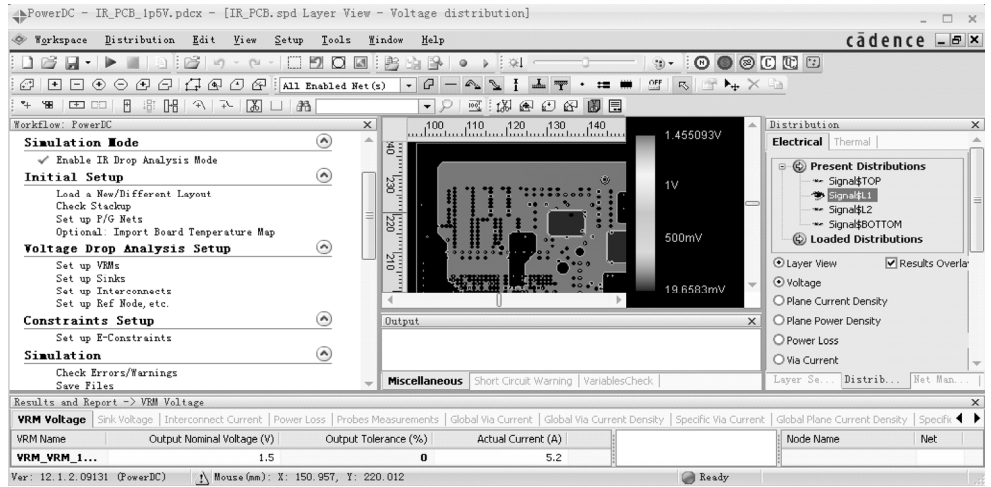


图 2-62 PowerDC 图形工作界面

(4) SystemSI 是高速串并行信道通信的专业仿真分析工具，支持芯片的 AMI 模型和互连网络的 S 参数模型，能够仿真 10Gbps 以上系统的误码率 (BER) 指标。

(5) Broadband SPICE 是宽频带、高精度的模型转换工具，可以方便地将 N 端口的网络参数综合成 SPICE 等效电路模型。

(6) T2B 可以将 SPICE 模型转换成 IBIS 模型。

(7) OptimizePI 是封装和 PCB 电源完整性分析及去耦电容优化设计工具，可用于给定目标阻抗情况下的最优成本优化，以及给定电容类型情况下的最佳性能优化，其图形工作界面如图 2-63 所示。

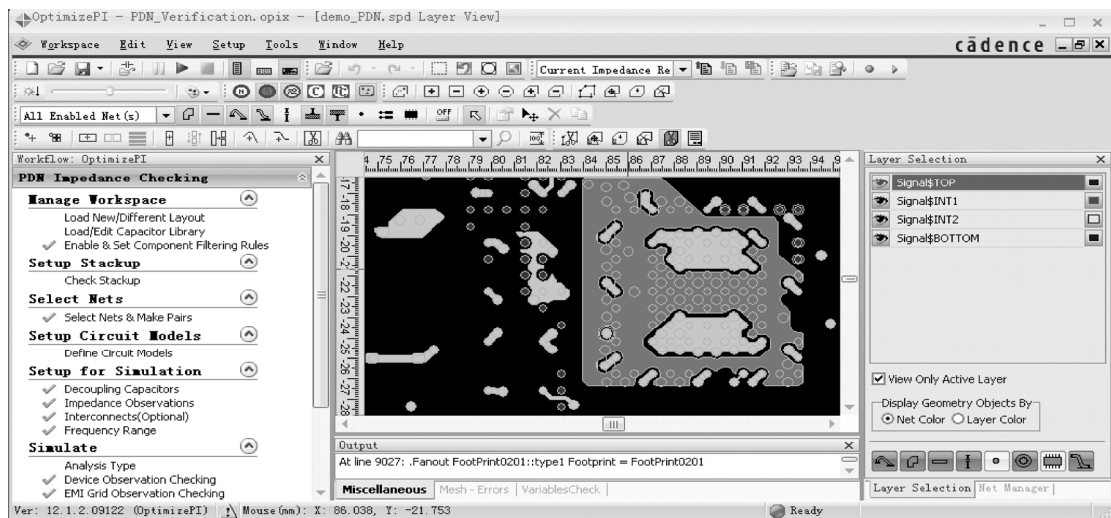


图 2-63 OptimizePI 图形工作界面

2.4.2 Mentor 系列

Mentor Graphics 公司的产品线非常丰富，贯穿了行业的上下游，有 DA、BA、DxDesigner、Design Capture 和 Design View 5 个原理图输入工具；有 Hyperlynx thermal、FloTHERM 和 FloTHERM pcb 3 个热仿真软件；有 ICX、ICXPro、Hyperlynx 3 个信号完整性分析工具。本节仅讨论板级设计方面常用的，定位于高低端的两个产品线：Mentor EE 和 PADS。Mentor EE 目前常用的版本是 MentorEE2005SP3、MentorEE2007、MentorEE7.9.2、MentorEE7.9.3、MentorEE7.9.4 和 MentorEE7.9.5，本节以 Mentor7.9.2 为例进行功能阐述；PADS 目前常用的版本是 PowerPCB5.0、PADS9.0、PADS9.2、PADS9.3 和 PADS9.5，本节以 PADS9.5 为例进行功能阐述。

1. Mentor EE 系列

Mentor EE 系列采用业界最先进的 AutoActive 技术，实现了复杂设计的操作易用性和高级功能的单一环境的集成。AutoActive 技术提供了无可比拟的手工布线性能及完全可定制的自动布线控制，其实时 45° 角无网格布线技术，可大大提高设计的可制造性和设计质量，缩短设计的时间。Expedition 紧密集成的系统设计环境，使之与其他竞争对手区别开来。Expedition 采用统一数据库和统一用户界面和设计规则，从而可消除完成一个设计需管理多种工具的困扰。数据的完整性从设计概念到生产数据的产生在整个设计流程中得到持续的维护，可奇迹般地缩短复杂 ECO 的时间，缩短整个设计时间，避免设计错误造成的昂贵代价。

Mentor EE 主要包含的功能模块有 DxDesigner 原理图输入及集成开发环境、Library Manager 库管理工具、Expedition PCB 设计及自动布线工具、ICX。

1) DxDesigner 原理图输入及集成开发环境

DxDesigner 是原理图设计输入的完整解决方案（其工作界面如图 2-64 所示），包括设计

创建、设计定义和设计复用。它能提供强大的原理图输入功能，实现 PCB 网表的自动转换，支持 LMS (Library Management System) 库管理系统，确保快速而方便地选择最理想、最便宜同时也是最容易采购的器件；DxDesigner 支持层次化分页式模块化设计，方便实现设计复用，缩短设计周期；集成的仿真和高速电路分析环境确保概念设计阶段的电路功能和性能满足设计指标，从而减少失误导致的设计反复；设计数据集中管理确保企业内部从采购到生产各部门之间数据信息的高度一致性，进一步提高效率并降低失误。

DxDesigner 的主要特点包括^[13]:

- 层次化的设计输入管理及设计复用;
- 提供原理图视图功能;
- 设计数据查询与交叉索引功能;
- 支持多属性编辑及设计规则 (包括物理规则和高速电气规则), 高度集成的数字、模拟、数模混合仿真和高速电路分析环境;
- 集成的 LMS 库管理及 BOM 清单生成;
- 集成的数据管理, 支持团队设计, 设计数据的检入、检出、锁定及版本管理简单而便捷。

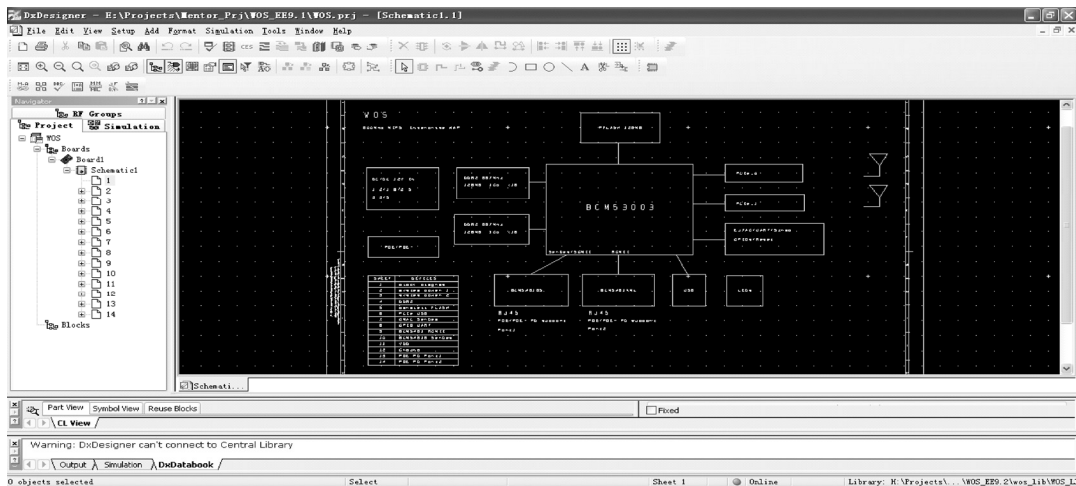


图 2-64 DxDesigner 原理图输入及集成开发环境界面

2) Library Manager 库管理工具

Library Manager 库管理系统（其工作界面如图 2-65 所示）是用来创建满足用户板级设计过程所有阶段要求的器件库。**Library Manager** 模块实现对库的开发、维护、器件描述和建模的全过程并对库结构进行系统的管理，对原理图符号库、PCB 封装库、焊盘库和 IBIS 模型库等都可以在 **Library Manager** 这个单一的集成环境中进行维护。

3) Expedition PCB 设计及自动布线工具

Expedition PCB（其图形工作界面如图 2-66 所示）为设计师提供了一整套用于复杂 PCB 物理设计、分析和加工的可伸缩的工具，它将交互设计和自动布线有机地整合到了一个设计环境中。设计师可以定义所有设计规则，包括高速布线约束、创建板型、布局、交互布线和自动布线，直到加工文件生成。**Expedition PCB** 没有任何设计规模的限制，没有层的限制、器件数量、网线数量和引脚数的限制，提供给设计师最大的设计空间。**Expedition PCB** 的核心——获

业界大奖的 Auto Active 自动布线器是基于形状的无网格布线器，布线速度极快，布线的可加工性首屈一指。它实现了真正的 45° 布线，并完全支持当今的各种复杂封装，如 BGA、CSP、COB 和微过孔、埋孔、盲孔等加工工艺。其器件放置后会推挤走线，走线会自动调整，大面积敷铜处理方法皆独一无二。与前端设计工具 Design Capture、信号完整性分析工具有机结合，以及与标准 DXF、IDF 双向接口，Expedition PCB 为电子设计师提供了复杂 PCB 设计的全线解决方案。

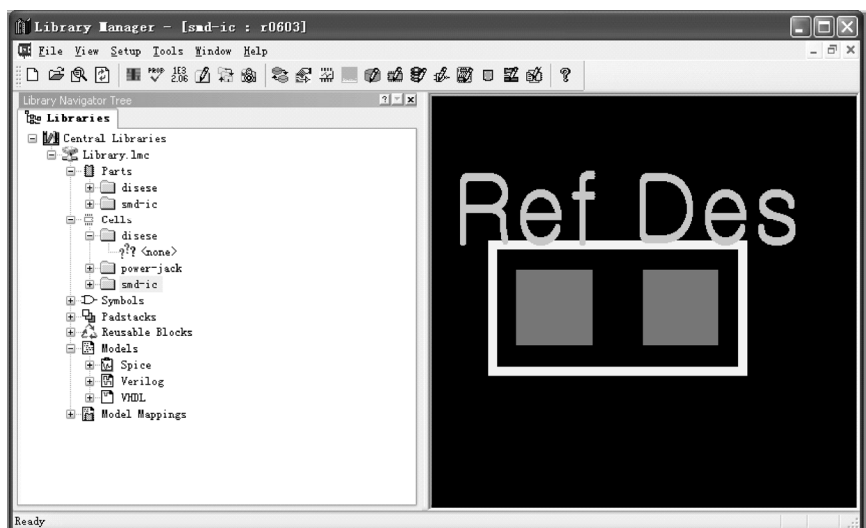


图 2-65 Library Manager 库管理工具界面

其主要特点^[13]有：

- 灵活的、可伸缩的 PCB 设计工具；
- 设计规则驱动的交互、自动设计方法；
- 支持各种复杂器件封装；
- 真正的实时 45° 自动布线和交互布线；
- 支持高速布线规则与布线。

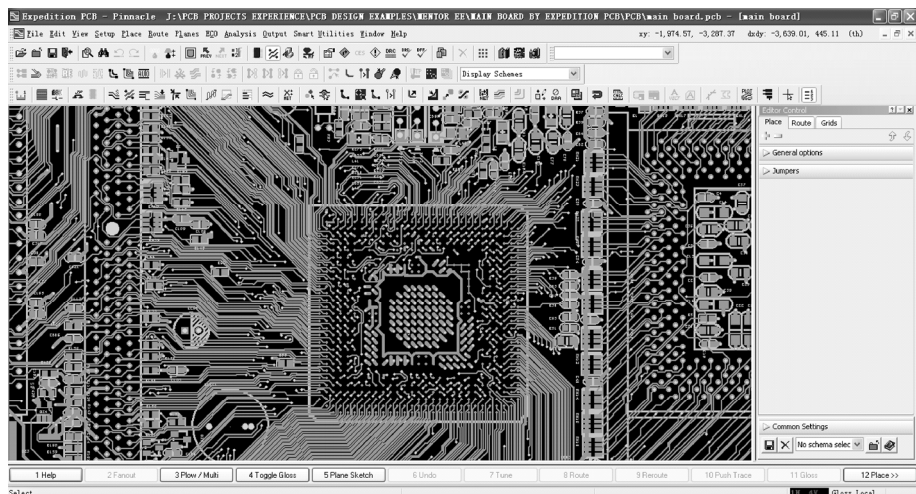


图 2-66 Expedition PCB 图形工作界面

2. PADS 系列

Mentor Graphics 公司的 PADS Layout/Router 环境作为业界主流的 PCB 设计平台，以其强大的交互式布局、布线功能和易学易用等特点，在通信、半导体、消费电子和医疗电子等当前最活跃的工业领域得到了广泛的应用。PADS Layout/Router 支持完整的 PCB 设计流程，涵盖了从原理图网表导入，规则驱动下的交互式布局、布线，DRC/DFT/DFM 校验与分析，直到最后的生产文件（Gerber）、装配文件及物料清单（BOM）输出等全方位的功能需求，确保 PCB 工程师高效率地完成设计任务。

PADS 按照其功能主要有原理图输入工具 PADS Logic、PCB 布局、布线工具 PADS Layout/Router 和仿真分析工具 Hyperlynx^[14]。

1) 原理图输入工具 PADS Logic

PADS Logic（其原理图输入界面如图 2-67 所示）是 PADS 系列软件的原理图输入工具，是一个界面友好、操作简单、功能齐全的原理图设计环境。PADS Logic 提供元器件库的管理、多页/层次式原理图设计、元器件与网络的浏览与检索、BOM 输出和网表输出等一系列常规原理图设计功能。

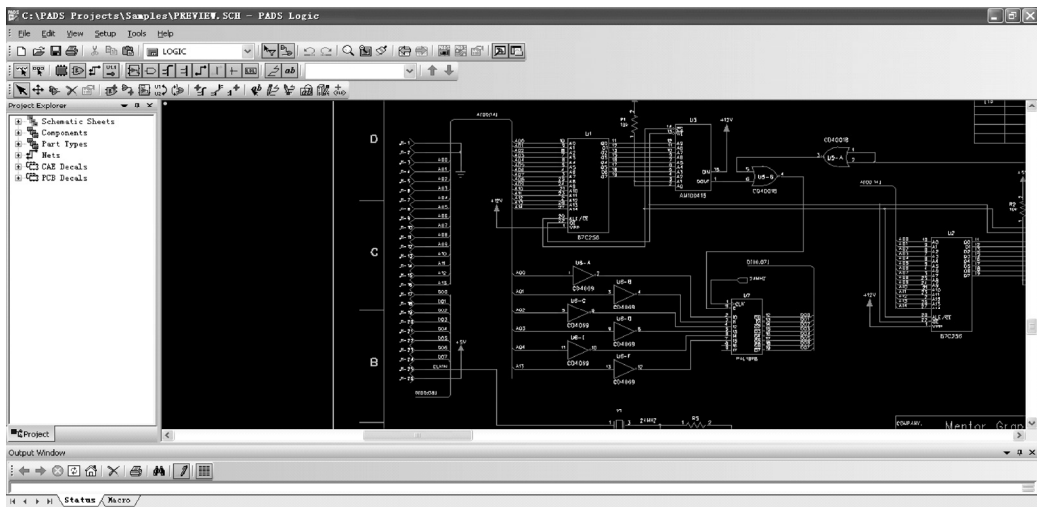


图 2-67 PADS Logic 原理图输入界面

2) PADS Layout/Router

PADS Layout（其工作界面如图 2-68 所示）是一个复杂的高级 PCB 工具，是规则驱动的设计工具。PADS Layout 是一个强有力的基于形状化和规则驱动的布局、布线工具，它采用自动和交互式的布线方法，以及先进的目标连接与嵌入自动化功能，有机地集成了前后端的设计工具，包括最终的测试、准备和生产制造过程。PADS Router 是一个快速的交互式布线编辑器，它使用了功能强大的 PADS Autorouter（BlazeRouter）算法，包括推挤、平滑布线、自动变线宽、焊盘入口质量和 Plowing 分等级的布线规则设置等。

3) 仿真分析工具 Hyperlynx

Hyperlynx（其仿真分析工具界面如图 2-69 所示）分为 LineSim 布线前仿真和 BoardSim 布线后仿真。

用 LineSim 做布线前仿真，可以预测和消除信号完整性问题，如信号的反射、串扰等，根据得到的设计规则，有效地约束布局，根据走线的阻抗特性及供电平面的要求设计 PCB 的

叠层结构。

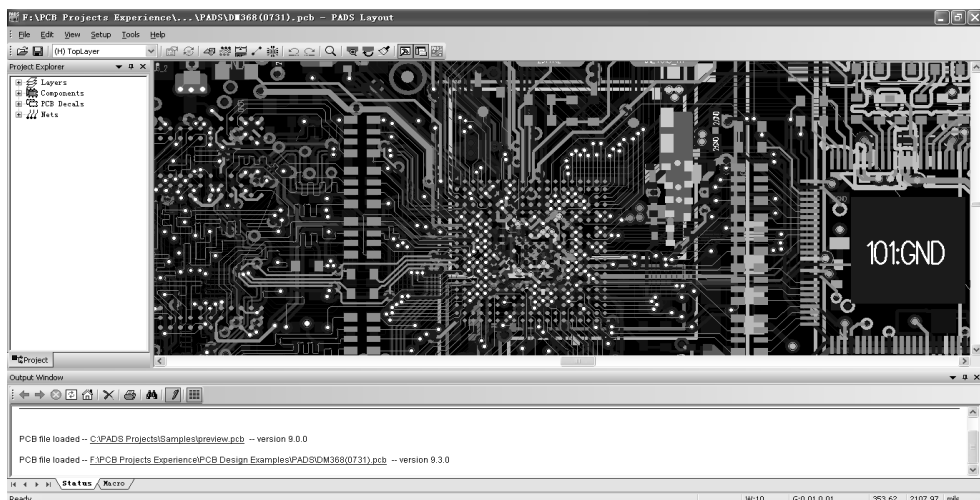


图 2-68 PADS Layout 工作界面

BoardSim 用于 PCB 设计完成后，验证设计中的信号完整性、电源完整性和电磁兼容性，在制板之前提前预知 PCB 设计中可能会出现的问题。

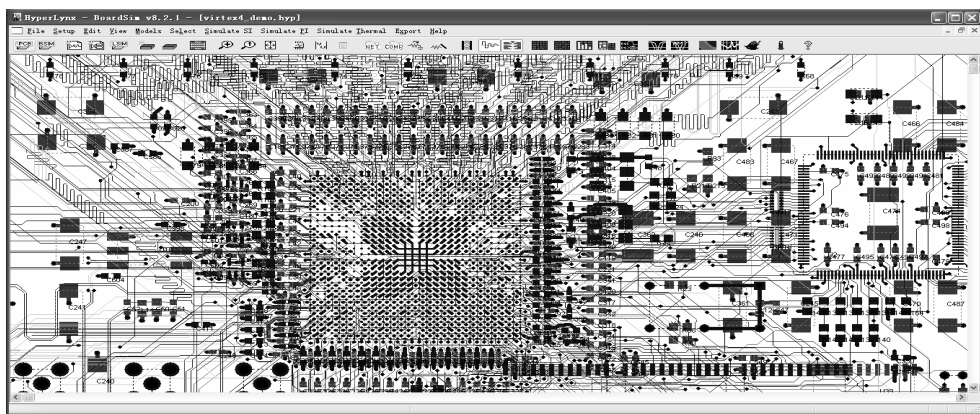


图 2-69 Hyperlynx 仿真分析工具界面

2.4.3 Zuken 系列

Zuken 是另一家日本的 EDA 大鳄，其制造的高端产品是 CR8000 和 CR5000，低端的叫 CADSTAR。除了日资和与日本有业务往来的企业外，还有很多公司用 Zuken 的软件，如国内的一些研究所及一些老的电视机企业在用，LG 在用，Nokia 也在用。在 CR5000 的系统中，CR5000 的原理图工具是 SD (System Design)，PCB 工具是 BD (Board Design)。因某些特殊的原因，该软件的普及率不如其他几款软件高。

2.4.4 Altium 系列

Protel 无疑是电子类专业学生最早接触的 EDA 软件了，在大部分大学里都有 Protel 软件的课程。Protel 是早期的版本，目前在推的版本是 Altium 系列。Altium 公司主推过的软件版

本主要有如下几个：Protel99se、DXP2004、Altium Designer6.9、Altium Designer Summer9（分 winter 版和 summer 版）、Altium Designer10、Altium Designer13 和 Altium Designer14。

Altium Designer 具有较好的软件集成环境，其基本功能包括原理图设计、电路信号的仿真、产生器件逻辑关系的网络表、PCB 的设计和信号完整性的分析（如信号的过冲、下冲、阻抗和信号斜率等）^[15]。

相比 Cadence 与 Mentor 系列的 EDA 软件，Altium 对设计的集成度相对要高，如在 Altium 中，不需要去关注焊盘的 Soldermask 和 Pastemask 层，在设计完成后，一般也不需要输出 Gerber 图纸，可以将设计的 PCB 源文件发给工厂（生成 Gerber 图纸的过程由厂家来完成）。由此，在新入手设计硬件 PCB 时，Altium 是一个不错的选择。在众多 PCB 设计软件中，Altium Designer 的 3D 视图是做得最具美感的，如图 2-70 所示。

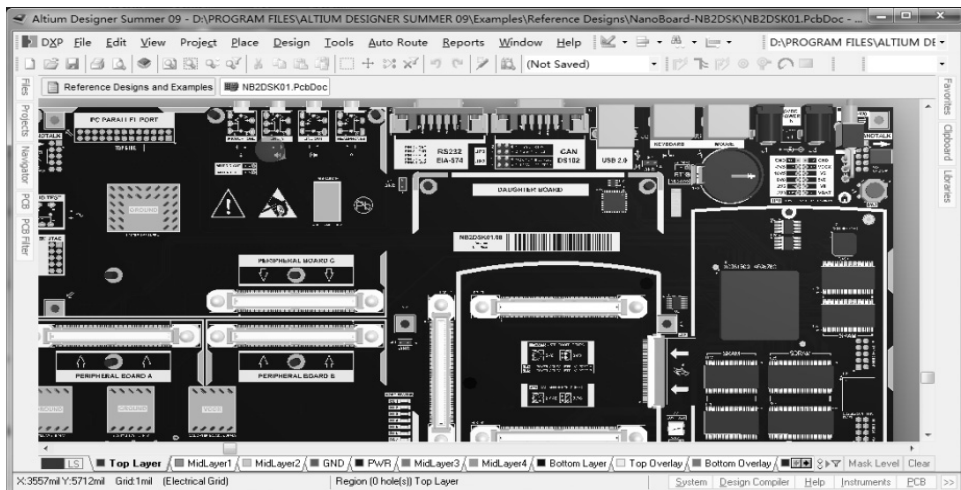


图 2-70 Altium Designer 下 PCB 的 3D 视图

2.4.5 PCB 封装库助手

在 PCB 的设计中，物理封装库建模是一个很费时间的工作，不仅要参照 Datasheet 上的数据来进行建模，像各个封装的引脚、引脚彼此之间的距离、封装的装配信息、封装的独占区域（封装自己占有的一片区域）、封装的参考标号、封装第一引脚的标注、对于有极性的封装的正负极标注、尺寸较大封装的 MARK 光学定位点等，以上诸多的信息也需要一一添加。尽管我们仔细再仔细，但还是会有出错的时候。

在日常 PCB 设计中，除可以利用已经工程验证过的库外，还可以借助封装生成工具，来快速地进行封装建模。常见的封装生成工具有 Ultra Libration、LPWizard 和 FPM。

1. Ultra Libration

Ultra Libration 可以从 TI 的官网 (<http://webench.ti.com/cad/>) 得到。Ultra Libration 是 TI 和 Accelerated Designs 为 TI 的客户提供的原理图逻辑封装和 PCB 封装的快速生成工具。生成的原理图 Symbols 支持的工具有 Altium PCAD（importable by Altium Designer）、Cadence Allegro DE HDL（Concept）、Cadence Orcad Capture、Eagle、Mentor DxDesigner、Mentor Design Capture、Mentor Design Architect、Mentor PowerLogic、Target 3001 和 Zuken Cadstar；生成的物理封装 Footprints 支持的工具有 Altium PCAD（importable by Altium Designer）、

Cadence Orcad Layout、Cadence Orcad PCB Editor、Cadence Allegro、Eagle、Mentor Boardstation、Mentor PowerPCB (PADS)、Mentor Expedition、Target 3001 和 Zuken Cadstar。Ultra Librarian 可以导入 CAD/CAE 格式的文件，生成符合 IPC-7351 标准的原理图 Symbol 封装和 Footprint 封装。

在使用时，只需要在网址输入 IC 的名称 TPS51116，就可以找到对应的文件 TPS51116_PWP_20.bxl，将 TPS51116_PWP_20.bxl 导入 Ultra Libration，如图 2-71 所示，左边是生成的 PCB Footprint，右边是将要生成的原理图 Symbol，单击“Export to Selected Tools”按钮即可生成相应的封装。

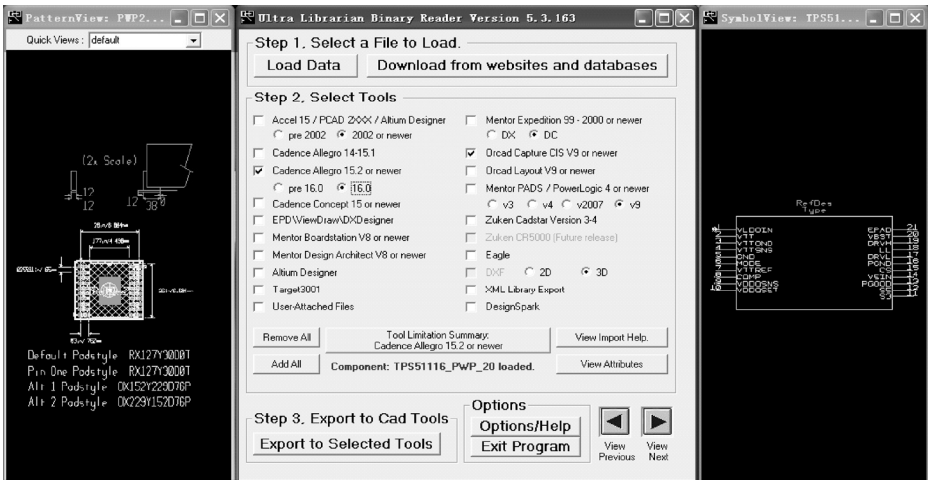


图 2-71 Ultra Libration 导入 bxl 格式的文件生成对应的封装

2. LPWizard

LPWizard 目前在 MentorGraphics PADS9.5 中已经被集成为软件的一部分，它也可以单独安装使用。采用 LPWizard 同样可以生成符合 IPC-7351 标准的原理图 Symbol 封装和 Footprint 封装。LPWizard 支持的封装计算内容包含（如图 2-72 所示）SMD Calculator、PTH Calculator、Connector Calculator、Hole Size Calculator、Hole Pad Stack Calculator、Via Calculator 和 Convert Units。

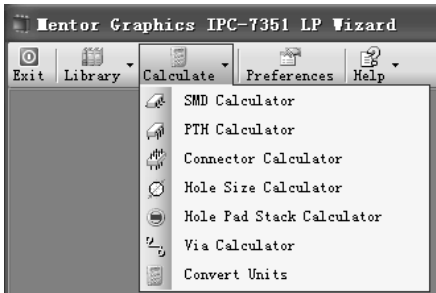
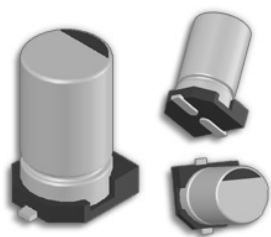


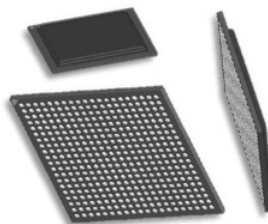
图 2-72 LPWizard 支持的封装计算内容

(1) SMD Calculator 可以计算的封装包括 Aluminum Electrolytic Capacitor、Ball Grid Array (BGA)、Ceramic Flat Pack (CEP)、Column Grid Array (CGA)、Ceramic Quad Flat Pack

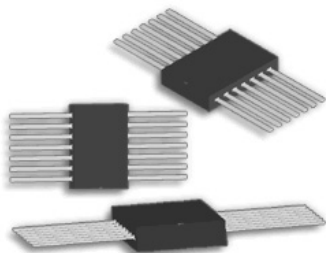
(CQFP)、Chip、Chip Array、Crystal、Dual Flat No-lead (DFN)、Diode, Side Concave、Land Grid Array (LGA)、Leadless Chip Carrier (LCC)、Metal Electrode Face (MELF)、Molded Body、Oscillator、Plastic Leaded Chip Carrier (PLCC)、Quad Flat No-lead (QFN)、Quad Flat Pack (QFP)、Small Outline Package (SOP)、Small Outline Diode (SOD)、Small Outline Diode, Flat Lead (SODFL)、Small Outline J-lead (SOJ)、Small Outline No-lead (SON)、Small Outline Transistor、Flat Lead (SOTFL)、Small Outline Transistor (SOT23 type)、Small Outline Transistor (SOT143 type)、Small Outline Transistor (SOT223) 和 Transistor Outline (TO)。封装样式如图 2-73 所示。



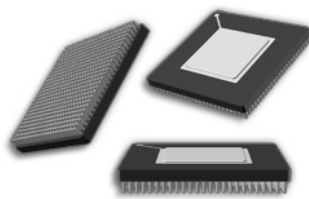
Aluminum Electrolytic Capacitor



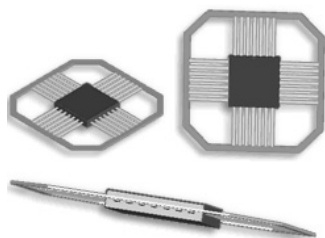
Ball Grid Array (BGA)



Ceramic Flat Pack (CEP)



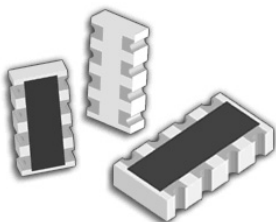
Column Grid Array (CGA)



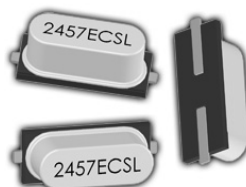
Ceramic Quad Flat Pack (CQFP)



Chip

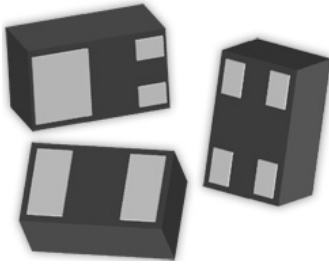


Chip Array

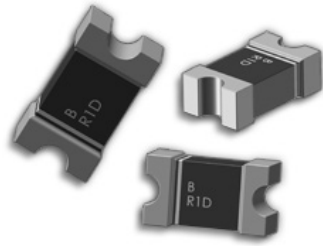


Crystal

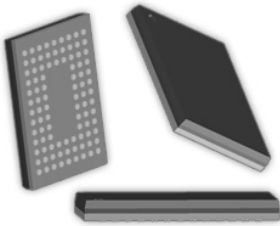
图 2-73 SMD Calculator 可以计算的封装样式



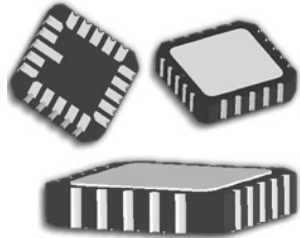
Dual Flat No-lead (DFN)



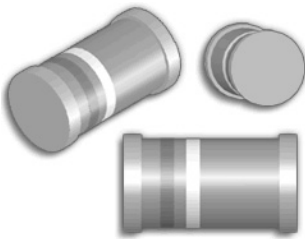
Diode, Side Concave



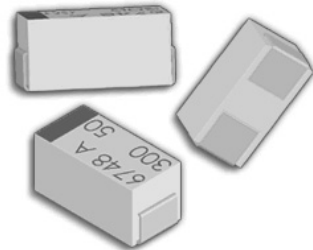
Land Grid Array (LGA)



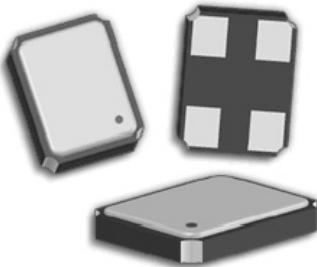
Leadless Chip Carrier (LCC)



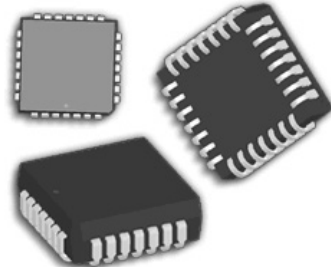
Metal Electrode Face (MELF)



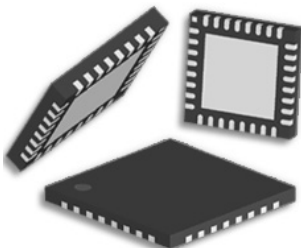
Molded Body



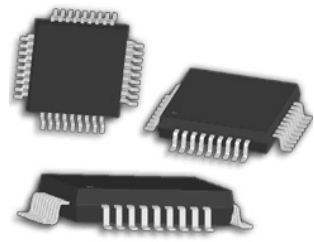
Oscillator



Plastic Leaded Chip Carrier (PLCC)

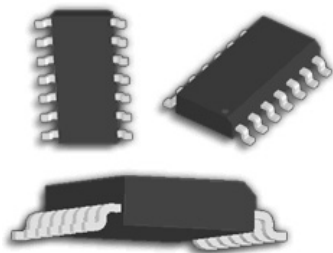


Quad Flat No-lead (QFN)

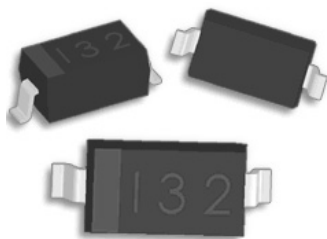


Quad Flat Pack (QFP)

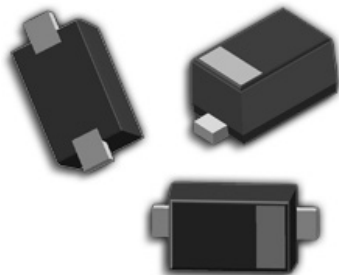
图 2-73 SMD Calculator 可以计算的封装样式 (续)



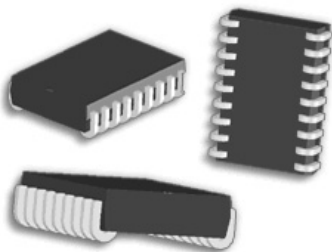
Small Outline Package (SOP)



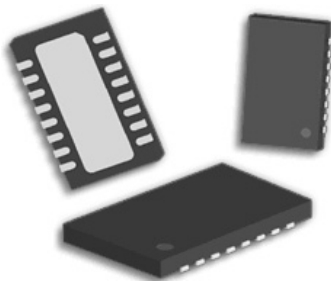
Small Outline Diode (SOD)



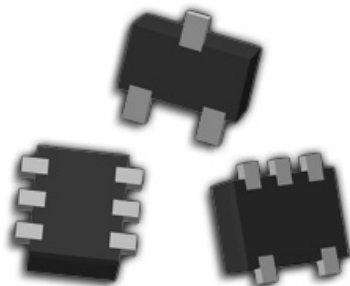
Small Outline Diode, Flat Lead (SODFL)



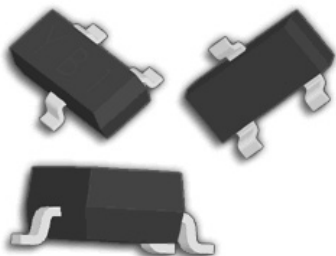
Small Outline J-lead (SOJ)



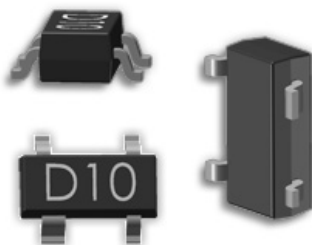
Small Outline No-lead (SON)



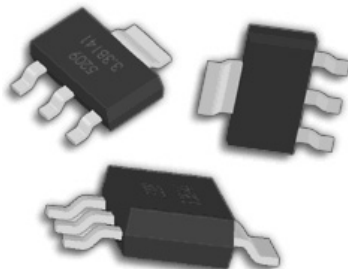
Small Outline Transistor, Flat Lead (SOTFL)



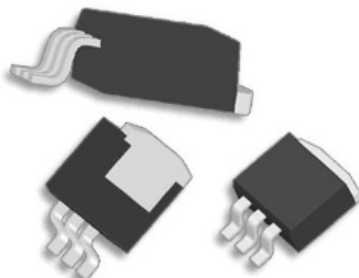
Small Outline Transistor (SOT23 type)



Small Outline Transistor (SOT143 type)



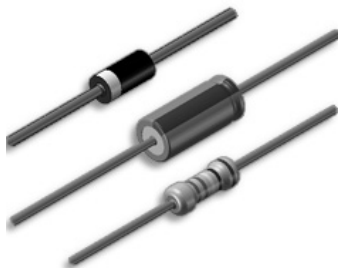
Small Outline Transistor (SOT223)



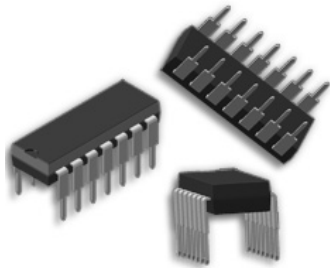
Transistor Outline (TO)

图 2-73 SMD Calculator 可以计算的封装样式 (续)

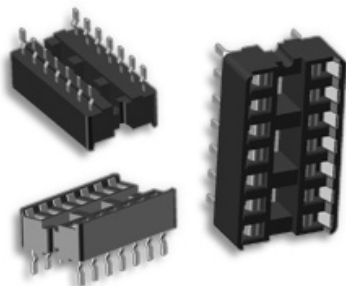
(2) PTH Calculator 可以计算的封装包括 Axial Lead、Dual-in-Line Package (DIP)、Dual-in-Line Socket、Mounting Holes、Oscillator、Pin Grid Array (PGA)、Radial Lead、Single-in-Line Package (SIP)、Test Point、Transistor Outline (Flange Mount)、Transistor Outline (Cylindrical) 和 Wire。封装样式如图 2-74 所示。



Axial Lead



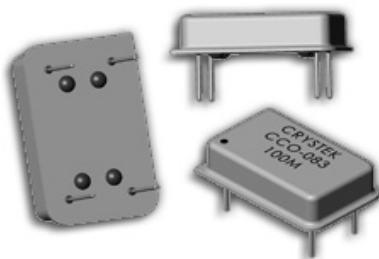
Dual-in-Line Package (DIP)



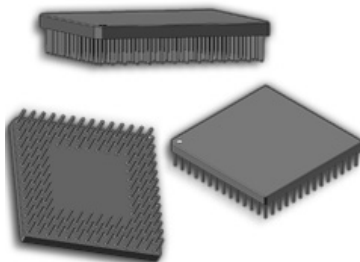
Dual-in-Line Socket



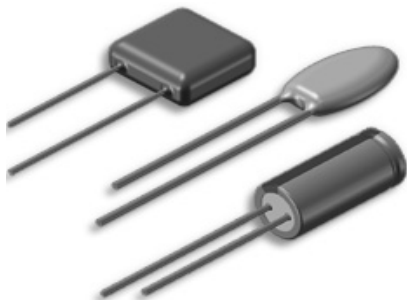
Mounting Holes



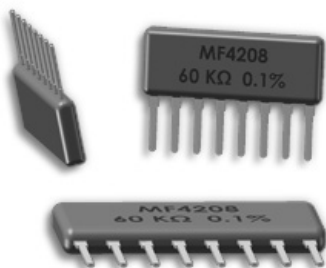
Oscillator



Pin Grid Array (PGA)



Radial Lead

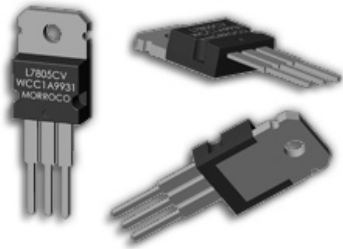


Single-in-Line Package (SIP)

图 2-74 PTH Calculator 可以计算的封装样式



Test Point



Transistor Outline (Flange Mount)



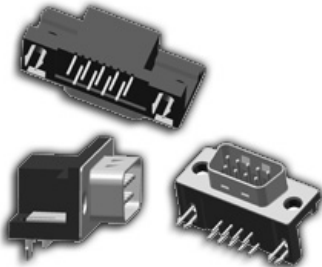
Transistor Outline (Cylindrical)



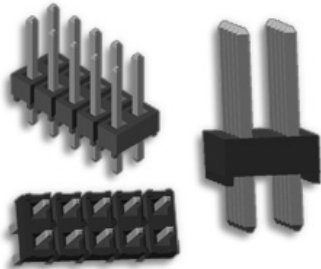
Wire

图 2-74 PTH Calculator 可以计算的封装样式 (续)

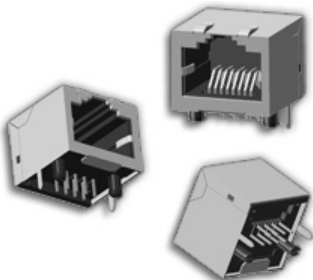
(3) Connector Calculator 可以计算的封装包括 D-Stub Connector (DB)、Header、Modular Jack (RJ)、Shrouded Header 和 USB type A and B Connector。封装样式如图 2-75 所示。



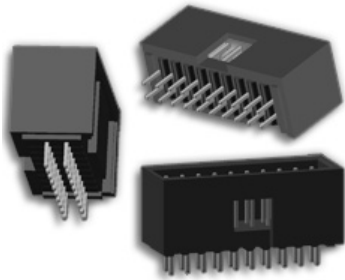
D-Stub Connector (DB)



Header

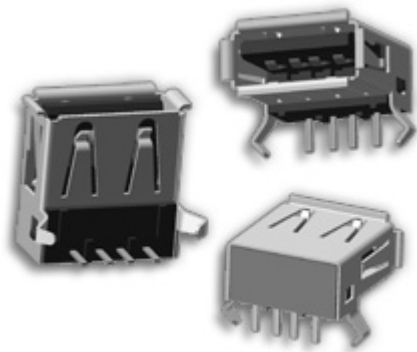


Modular Jack (RJ)



Shrouded Header

图 2-75 Connector Calculator 可以计算的封装样式



USB type A and B Connector

图 2-75 Connector Calculator 可以计算的封装样式（续）

LPWizard 支持的 EDA 工具包含 Allegro、Orcad PCB Editor、Board Station、Expedition、PADS Layout 和 PADS Layout ASCII。采用 LPWizard 时，根据要自动创建的封装类型，选择合适的封装样式，输入 Datasheet 上的对应尺寸，利用 Wizard 的引导创建对应的封装，如图 2-76 所示。

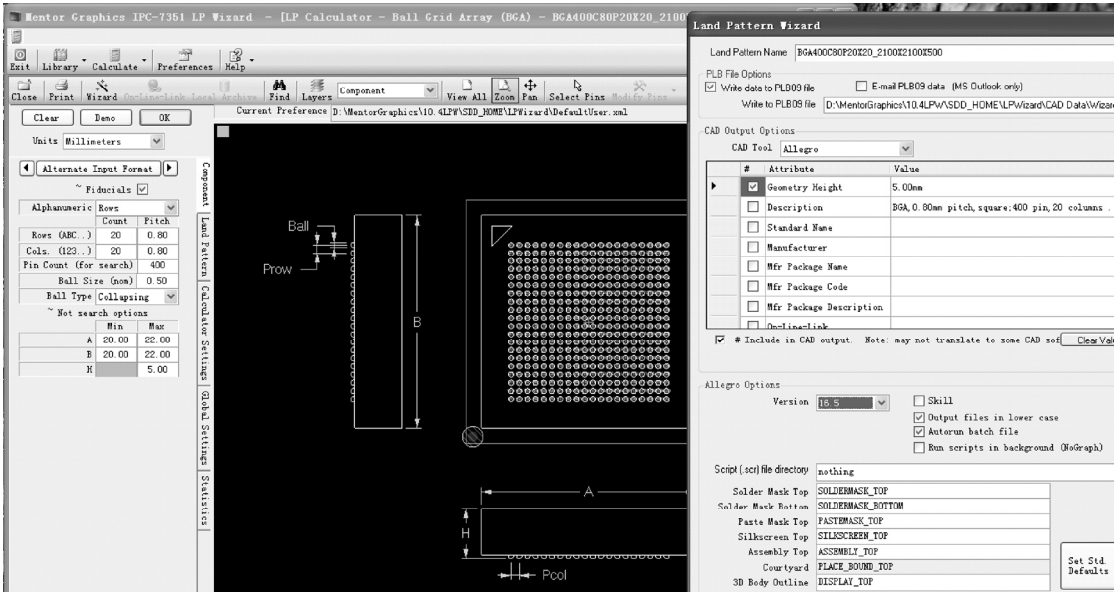


图 2-76 LPWizard 自动生成封装图示

3. FPM

FPM 封装生成器是由一个 fpmontreal 的网友开发的 Allegro 封装生成器，简洁易用，是用 Allegro 进行 PCB 设计的良好帮手。FPM 生成的封装符合 IPC-7351 标准，封装类型超过 3000 多种，包含球栅阵列封装（BGA）、贴片铝电解电容、片状元件（电阻、电感、无极性电容、有极性电容、方形有引线电容、发光管）、片状网络元件（电阻排、电容排）、平面栅格阵列（LGA）、圆柱形表面组装器件（MELF）、Molded Body（MLD）、晶振（OSC）、四侧无引脚扁平封装（QFN）、四侧引脚扁平封装（QFP）、小外形封装 IC（SOIC）、小外形二极管封装

(SOD)、小外形 J 型引脚封装 (SOJ)、小外形无引脚封装 (SON)、小外形封装晶体管 (SOT)、晶体管外壳 (TO)、按键类、通用连接器、安装孔、定位孔、通孔类元件、焊盘类和自定义封装。FPM Allegro 封装生成工具如图 2-77 所示。

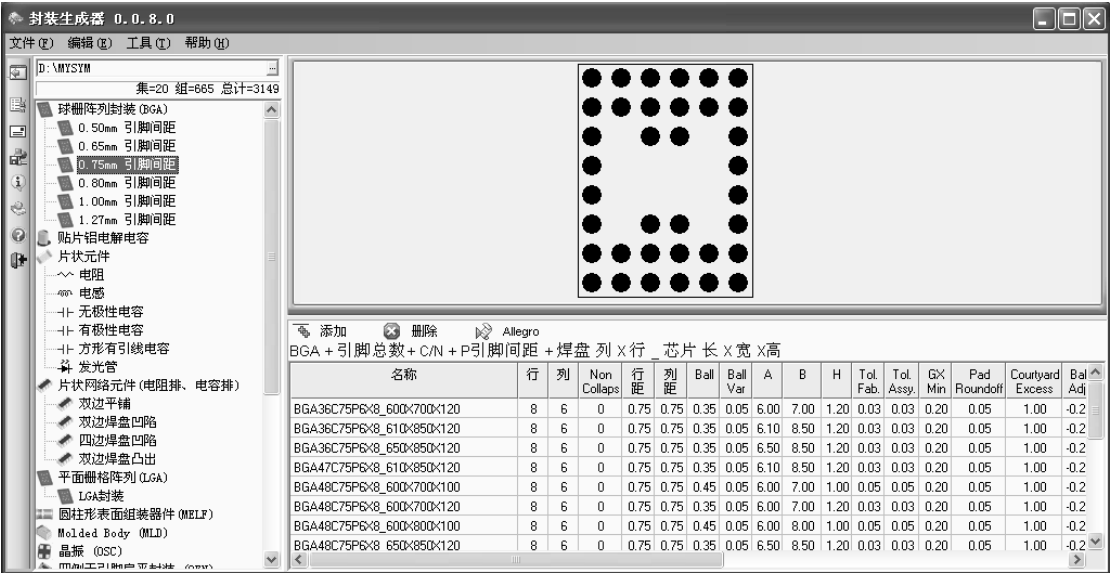


图 2-77 FPM Allegro 封装生成工具

2.4.6 CAM350

CAM350 是可制造型分析工具，提供完整的从设计到生产的 PCB 流程，保证了复杂的设计工程数据能快速有效地转换到可实际生产的 PCB 制作文件中，并保证设计数据的正确性，成功完成数据的流畅转换和检测。

PCB 设计完成，出 Gerber 图纸后，在将图纸发给工厂前，需要在 CAM350 里对图纸做进一步的检查。在工厂里，厂方会根据该厂的生产工艺，对提供的图纸根据自身的生产工艺修正后，为生产的各工序提供某些生产工具（如菲林、钻带等），以便使生产的 PCB 符合设计的要求。

CAM350 的主要功能如下。

- 支持多种输入/输出格式（如 CAD 数据、ODB++、Gerber、IPC-356、Excellon、DXF、Sieb 及 Myers 等）。
- 提供了双向的 AutoCAD 和 DXF 数据支持。
- 设计规则检查，检查包括各类间距、环状线、铜箔面积计算，以及网表对比等。
- 优化设计文件、添加泪滴、网表提取、丝印检查等。
- Basic NC Editor 通孔编辑功能、钻孔工具定义、铣边路径、改变提刀点。
- 快速拼板功能，制作 PCB 的阵列，适应生产要求。
- Quote Agent 生成精确的制造工艺要求清单。
- 交互查看 Cross-probe。
- 在 CAM350 中检查到的错误，同时在 CAD 工具中高亮显示（Allegro 和 PADS），这样就可以方便快速地发现和修改错误。

- 网络表对比图形化。
- 增强了网表比较功能，不仅产生文字报告，并允许用户以图形化方式查看错误。
- 批量规则检查 Streams Rule Check。
- 用户可以定义 DRC、DFF 和网表比较等一系列的校验步骤，单击一个按钮就可以执行所有这些检测，也可以在其他的设计中重复调用这些检测。
- DFF Audit: 在设计进入生产之前，分析 PCB 设计中的蚀刻缺陷、狭长的铜箔条和阻焊条、焊接搭桥、热焊盘阻挡等其他问题。
- Advanced NC-Editor: 允许处理 PCB 设计中的钻孔和铣边数据。添加钻孔采样数和铣刀路径，还有高级的 NC 记录程序，如钻字、铣圆、操作者信息和定位孔等。
- 快速拼板 Panel Editor: 强大的拼板工具，为用户提供调用标准的拼板模板和定制自己的模板的功能。
- Flying Probe Editor: 飞针测试，需要的数据可以通过强大的图形化编辑器和过滤选项快速提取，需要的数据如有网络、测试点，以及相互间距信息。
- Bed-of-Nails Editor: 针床编辑器，用来创建单面的或双面的测试夹具所有必要的文件，图形化的编辑界面和过滤选项使用户可以轻松地交互控制测试点等信息。
- Reverse Engineering: CAM350 独有的反向工程功能，允许用户把 Gerber 图形数据转换为包括 NET、REFDES 和属性的智能 CAD 数据。

CAM350 图形工作界面如图 2-78 所示。一般在完成 PCB 的 Gerber 图纸输出后，需要逐一检查 TOP 层电气走线层、BOTTOM 层电气走线层、内层的电气走线层、内层的电源层、内层的地层、顶层的丝印层（SILKSCREEN_TOP）、底层的丝印层（SILKSCREEN_BOTTOM）、顶层的阻焊层（SOLDERMASK_TOP）、底层的阻焊层（SOLDERMASK_BOTTOM）、顶层的加焊层（PASTEMASK_TOP）、底层的加焊层（PASTEMASK_BOTTOM）、钻孔数据（Drill 和 rou 数据）和钻孔表与钻孔图等。

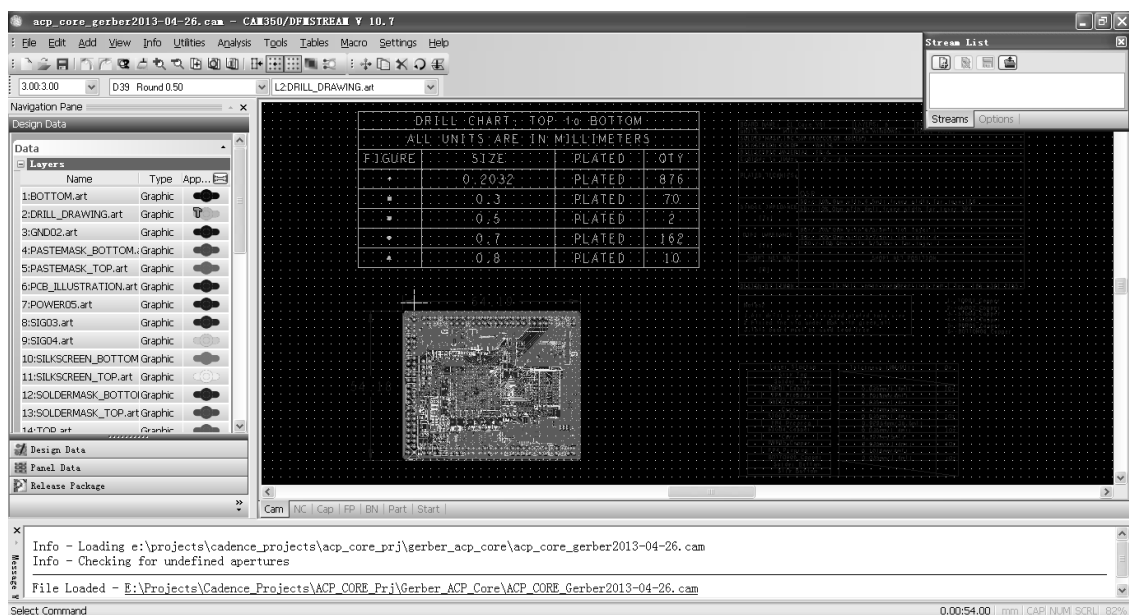


图 2-78 CAM350 图形工作界面

2.4.7 Polar Si9000

高频信号在传输线中传播时所遇到的阻力称为特性阻抗，该阻抗包含容抗、感抗与阻抗，已不是纯粹的欧姆电阻了。为了保证电路的性能，使信号在传输的过程中不发生发射现象，使信号保持完整，阻抗匹配是信号完整性设计中一个非常关键的设计。Polar Si9000 是最常用的阻抗设计软件，该软件总共包含了 93 种阻抗计算模式，设计中常用的模式有 6 种，在设计时常选用无阻焊覆盖的模式。

Polar Si9000 工作界面如图 2-79 所示，设计中常用的 6 种阻抗计算模式分别为 Surface Microstrip1B（外层单端无阻焊模式）、Offset Stripline 1B1A（内层单端模式）、Edge-Coupled Surface Microstrip1B（外层差分无阻焊模式）、Edge-Coupled Offset Stripline 1B1A（内层差分相邻层屏蔽模式）、Surface Coplanar Waveguide 1B（外层单端共面地）和 Diff Surface Coplanar Waveguide 1B（外层差分共面地），如图 2-80 所示。

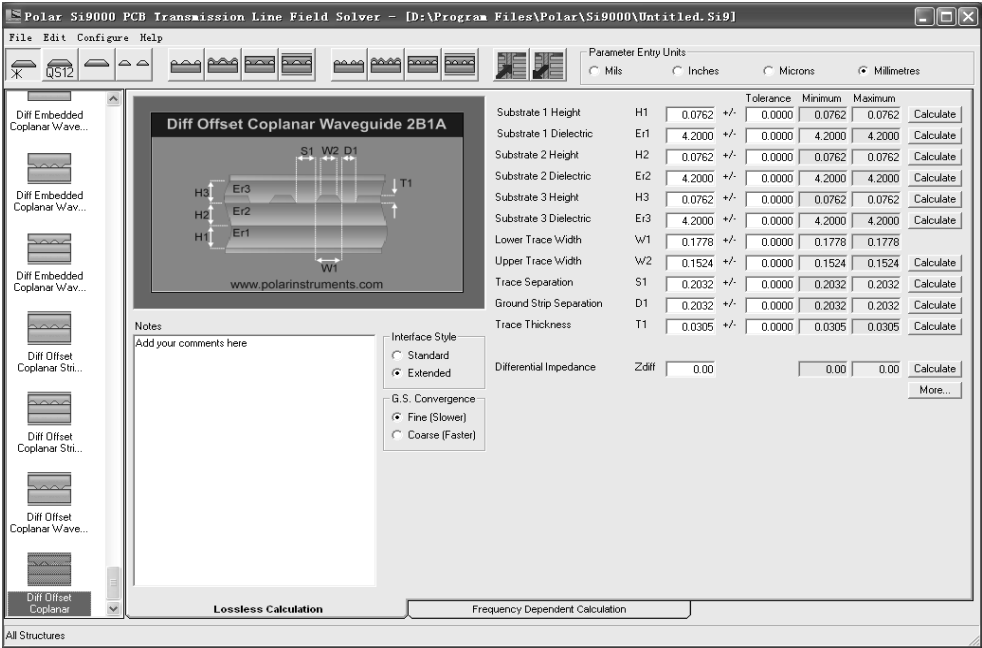
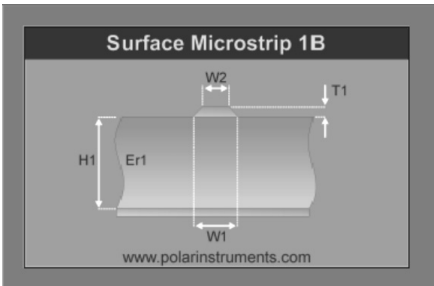
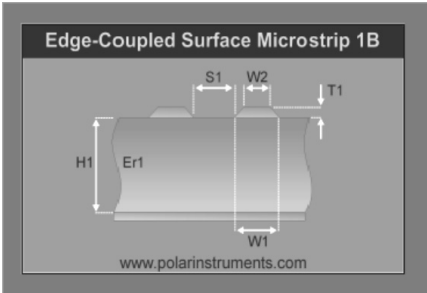


图 2-79 Polar Si9000 工作界面



(a1) 外层单端无阻焊模式



(b1) 外层差分无阻焊模式

图 2-80 常用的 6 种阻抗计算模式

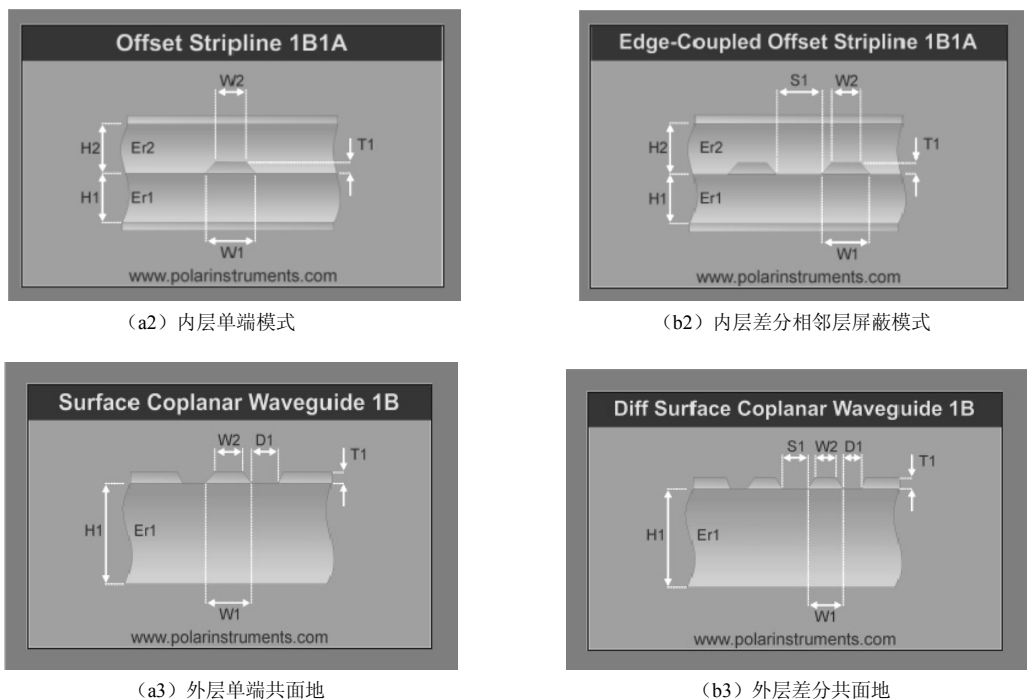


图 2-80 常用的 6 种阻抗计算模式（续）

进行阻抗计算需要的参数有板厚、层数、信号层数、电源层数、基板材料、表面工艺、阻抗值、阻抗公差、铜厚和检验标准等；影响阻抗的因素有介质厚度、介电常数、残铜率、铜厚、线宽、线距和阻焊厚度等。在计算走线阻抗时，要根据走线所在的层合理选择走线的阻抗模型进行计算，如果是单端信号，一般需要从（a1）、（a2）、（a3）中选择相应的模型进行阻抗的计算；如果是差分信号，一般从（b1）、（b2）、（b3）中选择相应的模型进行阻抗的计算。

当采用覆盖绿油的阻抗计算模型时，常用的阻抗模型及对应的参数含义如下。

（1）外层单端：Coated Microstrip 1B，如图 2-81 所示。

Substrate 1 Height	H1	8.5000	+/-	0.0000	8.5000	8.5000
Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000
Lower Trace Width	W1	7.0000	+/-	0.0000	7.0000	7.0000
Upper Trace Width	W2	6.0000	+/-	0.0000	6.0000	6.0000
Trace Thickness	T1	1.2000	+/-	0.0000	1.2000	1.2000
Coating Above Substrate	C1	1.0000	+/-	0.0000	1.0000	1.0000
Coating Above Trace	C2	1.0000	+/-	0.0000	1.0000	1.0000
Coating Dielectric	CEr	4.2000	+/-	0.0000	4.2000	4.2000
Impedance	Zo	0.00 0.00 0.00				

图 2-81 外层单端：Coated Microstrip 1B

- H1：介质厚度（PP 片或板材，不包括铜厚）。
- Er1：PP 片的介电常数（例如，板材为 4.5，P 片为 4.2）。
- W1：阻抗线上线宽（客户要求的线宽）。
- W2：阻抗线下线宽（ $W2=W1-0.5\text{mil}$ ）。

- T1: 成品铜厚（一般取值为 1 盎司=1.4mil= 0.03556）。
- C1: 基材的绿油厚度（一般取 0.8mil）。
- C2: 铜皮或走线上的绿油厚度（0.5mil）。
- Cer: 绿油的介电常数（一般取 3.3mil）。
- Zo: 由上面的参数计算出来的理论阻值。

(2) 外层差分: Edge-Coupled Coated Microstrip 1B, 如图 2-82 所示。

Substrate 1 Height	H1	8.5000	+/-	0.0000	8.5000	8.5000
Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000
Lower Trace Width	W1	7.0000	+/-	0.0000	7.0000	7.0000
Upper Trace Width	W2	6.0000	+/-	0.0000	6.0000	6.0000
Trace Separation	S1	8.0000	+/-	0.0000	8.0000	8.0000
Trace Thickness	T1	1.2000	+/-	0.0000	1.2000	1.2000
Coating Above Substrate	C1	1.0000	+/-	0.0000	1.0000	1.0000
Coating Above Trace	C2	1.0000	+/-	0.0000	1.0000	1.0000
Coating Between Traces	C3	1.0000	+/-	0.0000	1.0000	1.0000
Coating Dielectric	Cer	4.2000	+/-	0.0000	4.2000	4.2000
Differential Impedance	Zdiff	0.00			0.00	0.00

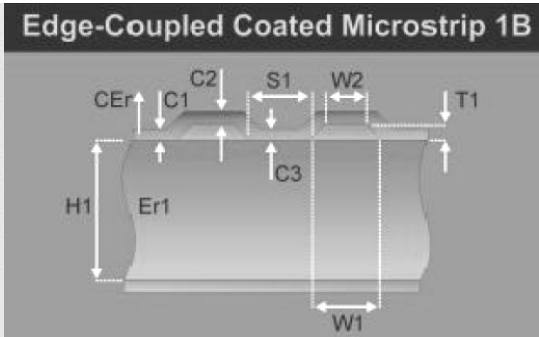


图 2-82 外层差分: Edge-Coupled Coated Microstrip 1B

- H1: 介质厚度（PP 片或板材，不包括铜厚）。
- Er1: PP 片的介电常数（例如，板材为 4.5，P 片为 4.2）。
- W1: 阻抗线上线宽（要求的线宽）。
- W2: 阻抗线下线宽（W2=W1-0.5mil）。
- S1: 阻抗线间距（图纸原稿）。
- T1: 成品铜厚（一般取值为 1 盎司=1.4mil= 0.03556）。
- C1: 基材的绿油厚度（一般取 0.8mil）。
- C2: 铜皮或走线上的绿油厚度（0.5mil）。
- C3: 基材上面的绿油厚度（0.50mil）。
- Cer: 绿油的介电常数（取 3.3mil）。

(3) 内层单端: Offset Stripline 1B1A, 如图 2-83 所示。

Substrate 1 Height	H1	4.2500	+/-	0.0000	4.2500	4.2500
Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000
Substrate 2 Height	H2	4.2500	+/-	0.0000	4.2500	4.2500
Substrate 2 Dielectric	Er2	4.2000	+/-	0.0000	4.2000	4.2000
Lower Trace Width	W1	7.0000	+/-	0.0000	7.0000	7.0000
Upper Trace Width	W2	6.0000	+/-	0.0000	6.0000	6.0000
Trace Thickness	T1	1.2000	+/-	0.0000	1.2000	1.2000
Impedance	Zo	0.0000			0.0000	0.0000

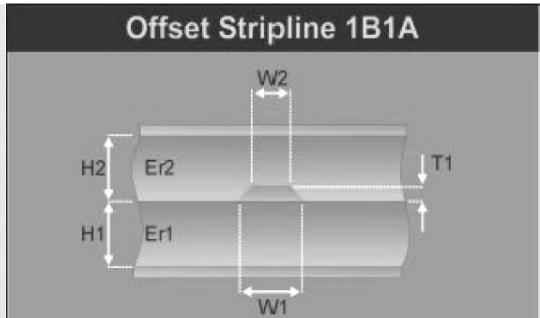


图 2-83 内层单端: Offset Stripline 1B1A

- H1: 介质厚度（PP 片或光板，不包括铜厚）。
- Er1: H1 厚度 PP 片的介电常数（例如，P 片为 4.2）。
- H2: 介质厚度（PP 片或光板，不包括铜厚）。

- Er2: H2 厚度 PP 片的介电常数（例如，P 片为 4.2）。
- W1: 阻抗线上线宽（设计要求的线宽）。
- W2: 阻抗线下线宽（ $W2=W1-0.5\text{mil}$ ）。
- T1: 成品铜厚（一般取值为 1 盎司= $1.4\text{mil}=0.03556$ ）。
- Zo: 由上面的参数计算出来的理论阻值。
- (4) 内层差分: Edge-Couled Offset Stripline 1B1A, 如图 2-84 所示。

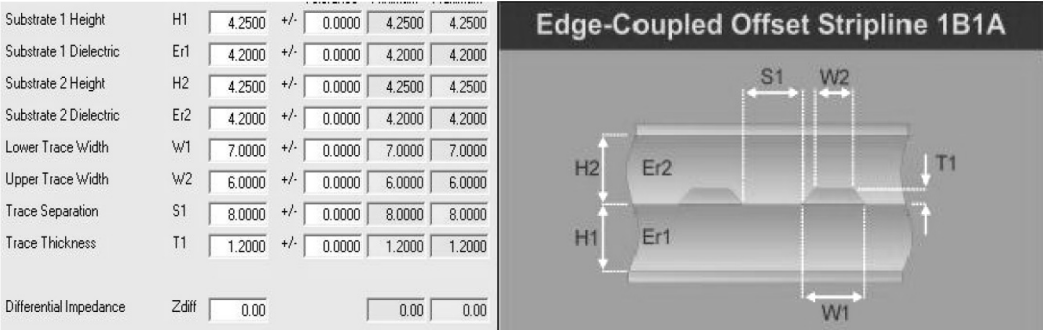


图 2-84 内层差分: Edge-Couled Offset Stripline 1B1A

- H1: 介质厚度（PP 片或光板，不包括铜厚）。
- Er1: H1 厚度 PP 片的介电常数（例如，P 片为 4.2）。
- H2: 介质厚度（PP 片或光板，不包括铜厚）。
- Er2: H2 厚度 PP 片的介电常数（例如，P 片为 4.2）。
- W1: 阻抗线上线宽（设计要求的线宽）。
- W2: 阻抗线下线宽（ $W2=W1-0.5\text{mil}$ ）。
- S1: 设计要求的线距。
- T1: 成品铜厚（一般取值为 1 盎司= $1.4\text{mil}=0.03556$ ）。
- Zo: 由上面的参数计算出来的理论阻值。
- (5) 外层单端共面地: Coated Coplanar Waveguide With Ground 1B, 如图 2-85 所示。

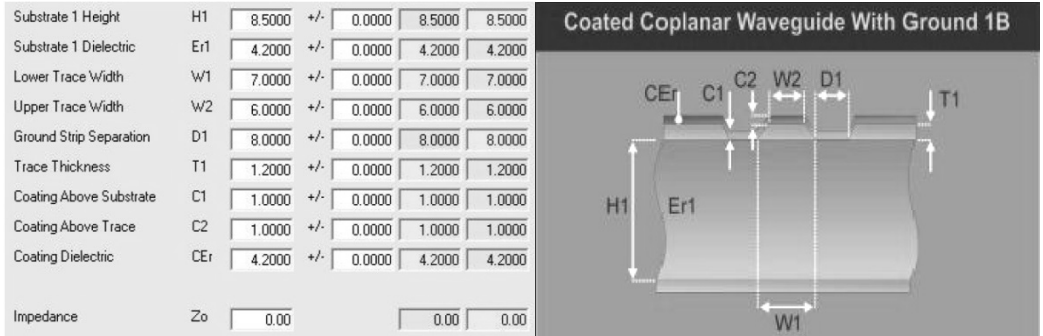


图 2-85 外层单端共面地: Coated Coplanar Waveguide With Ground 1B

- H1: 介质厚度（PP 片或板材，不包括铜厚）。
- Er1: PP 片的介电常数（例如，板材为 4.5，P 片为 4.2）。
- W1: 阻抗线上线宽（客户要求的线宽）。

某项目采用 6 层 PCB 叠层结构，要求各走线层单端阻抗控制在 $50\Omega\pm10\%$ ，差分阻抗控制在 $100\Omega\pm10\%$ 和 $90\Omega\pm10\%$ （USB 信号）。

PCB 的叠层结构如图 2-87 所示。

Layer Stackup	Thickness(mm/mil)	OZ
Silkscreen Top		
Soldermask Top	0.02032mm/0.8mil	
Top01_sig_Copper	0.035mm	1
FR4_Prepreg	0.1016mm/4mil	
GND02_Copper	0.035mm	1
Core	0.127mm/5mil	
Sig03_Copper	0.035mm	1
FR4_Prepreg	0.92964mm/36.6mil	
Sig04_Copper	0.035mm	1
Core	0.127mm/5mil	
PWR05_Copper	0.035mm	1
FR4_Prepreg	0.1016mm/4mil	
Bottom06_Copper	0.035mm	1
Soldermask Bottom	0.02032mm/0.8mil	
Silkscreen Bottom		

图 2-87 某项目 6 层 PCB 的叠层结构

单端信号走线阻抗计算如下。

1. TOP01 层

TOP01 层阻抗控制计算如图 2-88 所示。

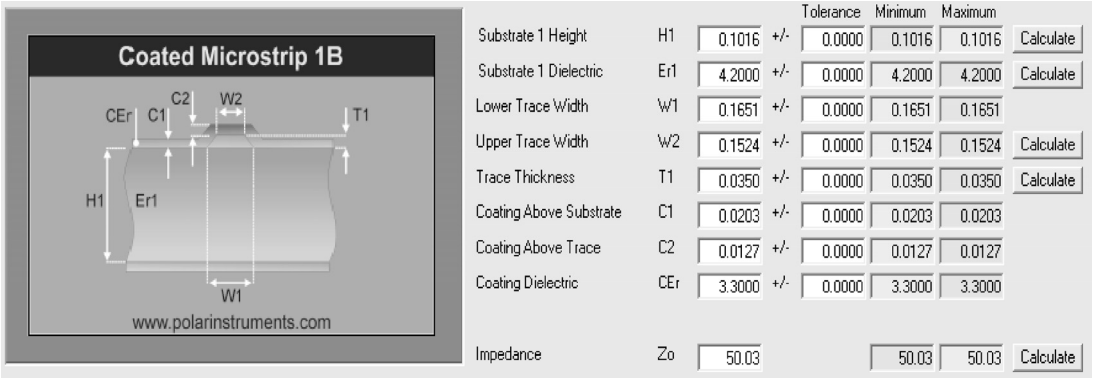


图 2-88 TOP01 层阻抗控制计算

TOP 层的走 Microstrip 线线宽为 0.1651mm（6.5mil），参考层为 GND02 层，单端阻抗控制在 $50\Omega\pm10\%$ 。

2. L3_Sig 层

L3_Sig 层阻抗控制计算如图 2-89 所示。

L3_Sig 层的走 Stripline 线线宽为 0.1524mm（6mil），参考层为 GND02 和 PWR05，主要参考层为 GND02，单端阻抗控制在 $50\Omega\pm10\%$ 。

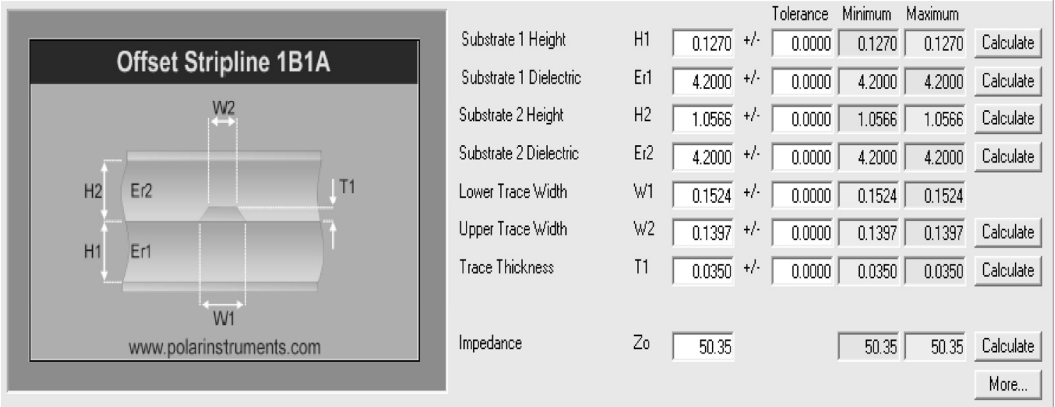


图 2-89 L3_Sig 层阻抗控制计算

3. L4_Sig 层

L4_Sig 层阻抗控制计算如图 2-90 所示。

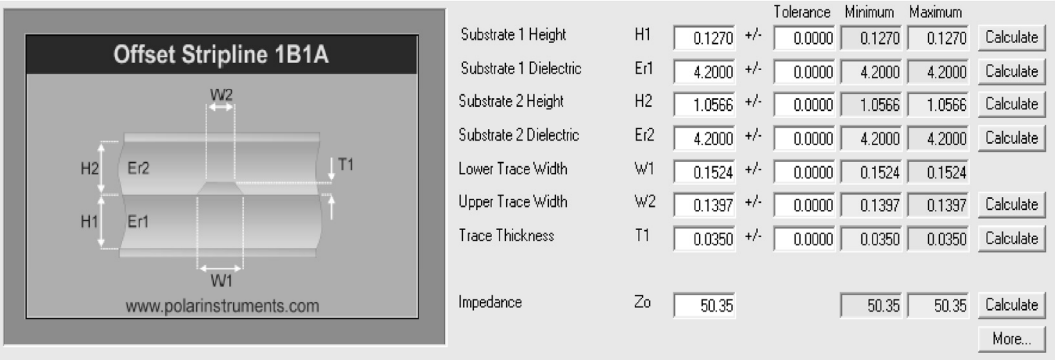


图 2-90 L4_Sig 层阻抗控制计算

L4_Sig 层的走 Stripline 线线宽为 0.1524mm (6mil)，参考层为 PWR05 和 GND02，主要参考层为 PWR05，单端阻抗控制在 $50\Omega \pm 10\%$ 。

4. BOTTOM06 层

BOTTOM06 层阻抗控制计算如图 2-91 所示。

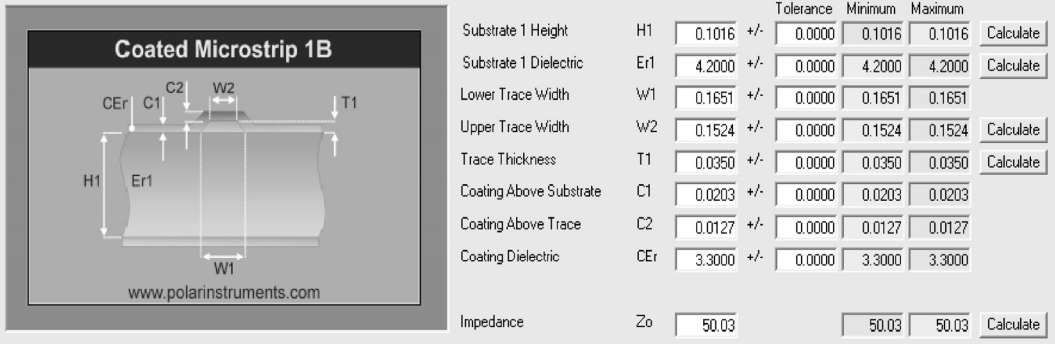


图 2-91 BOTTOM06 层阻抗控制计算

BOTTOM06 层的走 Microstrip 线线宽为 0.1651mm (6.5mm)，参考层为 PWR05，单端阻抗控制在 $50\Omega\pm 10\%$ 。

100Ω差分走线阻抗计算如下。

1. TOP01 层

TOP01 层差分阻抗控制计算如图 2-92 所示。

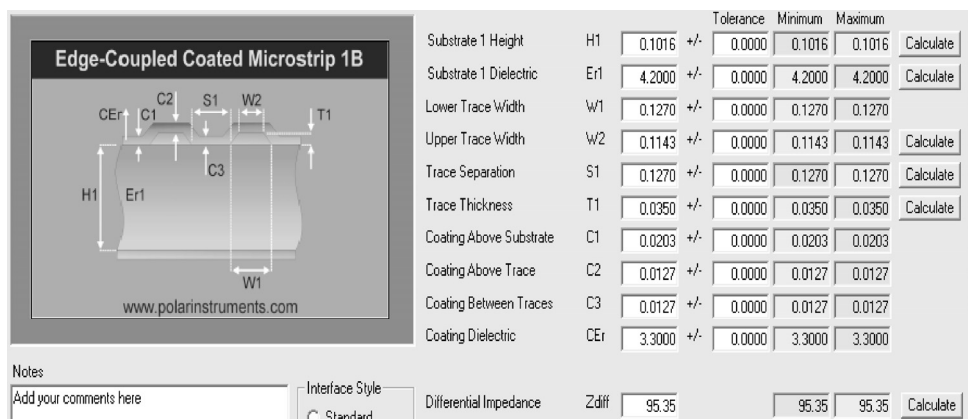


图 2-92 TOP01 层差分阻抗控制计算

TOP01 层的差分走线线宽为 0.127mm (5mil)，差分走线间距为 0.127mm (5mil)，参考层为 GND02，差分阻抗控制在 $100\Omega\pm 10\%$ 。

2. L3_Sig 层

L3_Sig 层差分阻抗控制计算如图 2-93 所示。

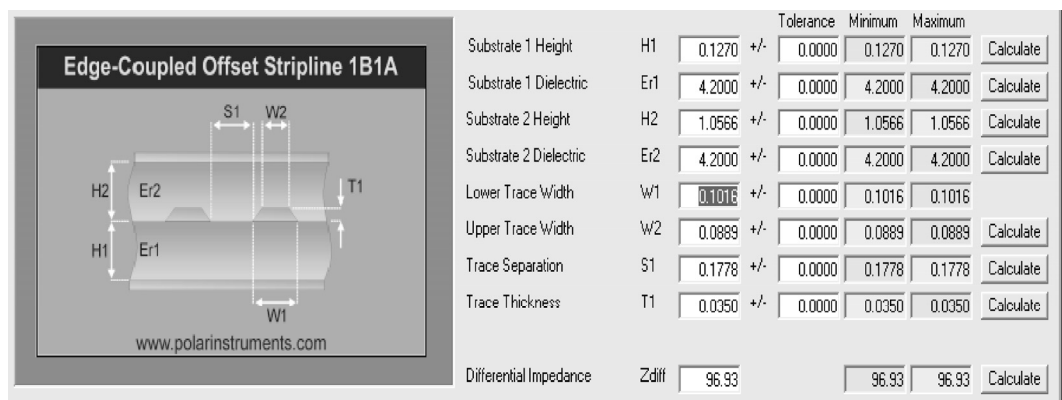


图 2-93 L3_Sig 层差分阻抗控制计算

L3_Sig 层的差分走线线宽为 0.1016mm (4mil)，差分走线间距为 0.1778mm (7mil)，参考层为 GND02&PWR05，主要参考层为 GND02，差分阻抗控制在 $100\Omega\pm 10\%$ 。

3. L4_Sig 层

L4_Sig 层差分阻抗控制计算如图 2-94 所示。

L4_Sig 层的差分走线线宽为 0.1016mm (4mil)，差分走线间距为 0.1778mm (7mil)，参

考层为 GND02&PWR05，主要参考层为 PWR05，差分阻抗控制在 $100\Omega\pm10\%$ 。

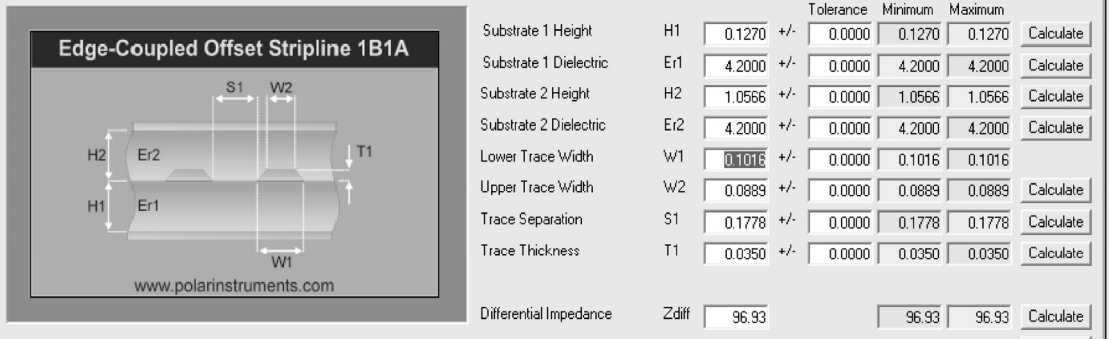


图 2-94 L4_Sig 层差分阻抗控制计算

4. BOTTOM06 层

BOTTOM06 层差分阻抗控制计算如图 2-95 所示。

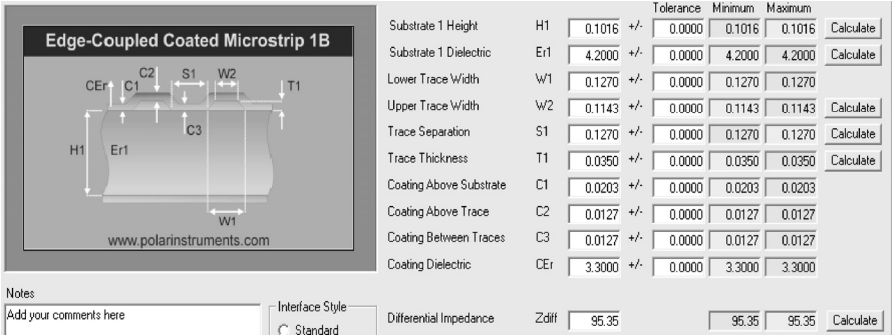


图 2-95 BOTTOM06 层差分阻抗控制计算

BOTTOM06 层的差分走线线宽为 0.127mm（5mil），差分走线间距为 0.127mm（5mil），参考层为 PWR05，差分阻抗控制在 $100\Omega\pm10\%$ 。

90Ω差分走线阻抗计算如下（USB 走线布在 L3_Sig 和 L1_Sig 层）。

1. L3_Sig 层

L3_Sig 层 USB 差分走线阻抗控制计算如图 2-96 所示。

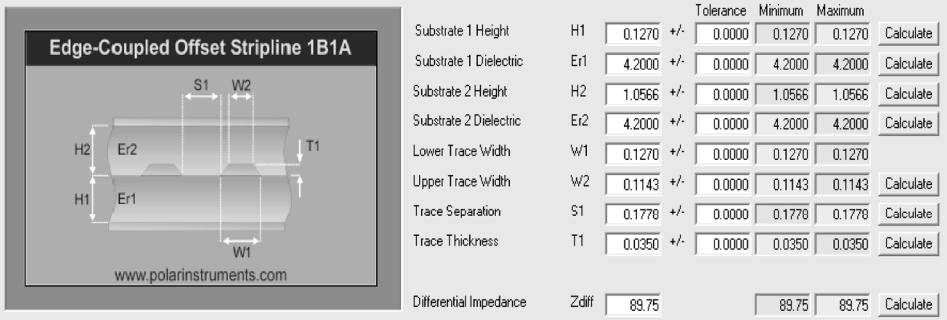


图 2-96 L3_Sig 层 USB 差分走线阻抗控制计算

USB 差分走线在 L3_Sig, 参考 GND02, 走线宽度为 0.127mm (5mil), 差分走线间距为 0.1778mm (7mil), 差分走线阻抗控制在 $90\Omega\pm10\%$ 。

2. L1_Sig 层

L1_Sig 层 USB 差分走线阻抗控制计算如图 2-97 所示。

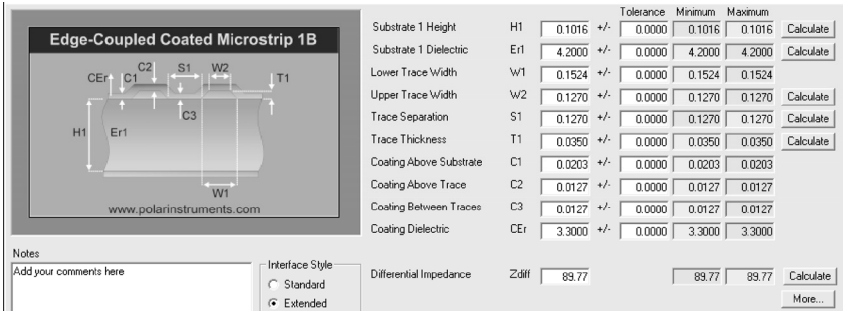


图 2-97 L1_Sig 层 USB 差分走线阻抗控制计算

USB DEV 差分走线在 L1_Sig, 参考 GND02, 走线宽度为 0.1524mm (6mil), 差分走线间距为 0.127mm (5mil), 差分走线阻抗控制在 $90\Omega\pm10\%$ 。

2.5 RF 及三维电磁场求解器工具

在信号完整性的仿真分析中，期间模型建模的准确性至关重要。在做信号分析时，需要将整个通信链路的拓扑走线在软件里进行模拟。仿真首先需要对电路中的各个部分进行建模，包括有源 IC、无源元件（电阻 R、电感 L、电容 C 等）、PCB 走线、过孔、接插件和电缆等，模型的准确性决定了仿真的准确性。在仿真中，有源 IC 采用 IBIS 行为级模型；阻容器件采用 Spice 电气模型；传输线、过孔和接插件等采用 S 参数模型。这就构建了发送端芯片模型→传输线→接收端芯片模型的拓扑结构（此链路上可能会有相应的过孔、阻容器件等，用相应的模型对应）。对于射频、微波电路的设计，需要对相应的 3D 高频结构进行麦克斯韦方程组的求解。

基于此类设计的需求，各类 EDA 软件不断涌现，常用的 RF 及三维电磁场求解器工具有 ADS（Advance Design System）、ANSYS Electromagnetics Suite、CST 和 AWR Design Environment。

2.5.1 ADS

ADS 是 Agilent 公司推出的应用于芯片、电路及系统级设计的先进仿真设计软件，该软件是在 HP EESOF 系列 EDA 软件基础上发展完善起来的大型综合设计软件，是美国安捷伦公司开发的大型综合设计软件，是为系统和电路工程师提供的可开发各种形式的射频电路设计的，对于通信和航天 / 防御的应用，它可提供从最简单到最复杂，从离散射频/微波模块到集成 MMIC 的设计。对电路元件的仿真、模式识别的提取和新的仿真技术提供了高性能的仿真特性。该软件可以在微机上运行，其前身是工作站运行的版本 MDS（Microwave Design System）。该软件还提供了一种新的滤波器的设计引导，可以使用智能化设计规范的用户界面来分析和综合射频/微波回路集总元件滤波器，并可提供对平面电路进行场分析和优化的功能。它允许工程师定义频率范围、材料特性、参数的数量和根据用户的需要自动产生关键的无源器件模式。该软件范围涵盖了小至元器件，大到系统级的设计和分析。尤其是其强大的仿真

设计手段可在时域或频域内实现对数字或模拟、线性或非线性电路的综合仿真分析与优化,并可对设计结果进行成品率分析与优化,从而大大提高了复杂电路的设计效率,使之成为设计人员的有效工具。

ADS Momentum 基于矩量法实现对电磁场的求解,ADS EMDS 基于有限元算法实现对电磁场的求解。ADS 非常适合计算第三维度上均匀变化的结构,如多层 PCB 的设计、无源电路的设计和 RFIC/MMIC 等^[6]。目前最新的版本是 ADS2013.06,ADS 可以与 Cadence、Matlab、MentorGraphics 和 CST 等软件进行协同仿真分析,基于 ADS 可以进行时域仿真分析、频域仿真分析、模拟电路仿真分析、数字电路仿真分析和非线性电路仿真分析,根据仿真的项目不同,具体可以分为直流(DC)仿真控制器、交流(AC)仿真控制器、S 参数仿真控制器、谐波平衡(HB)仿真控制器、大信号 S 参数(LSSP)仿真控制器、增益压缩(XDB)仿真控制器、包络(ENVELOPE)仿真控制器和瞬态(TRANSIENT)仿真控制器。根据时域分析、频域分析、线性领域分析和非线性领域的角度,对各类分析进行拓扑归类,如图 2-98 所示。

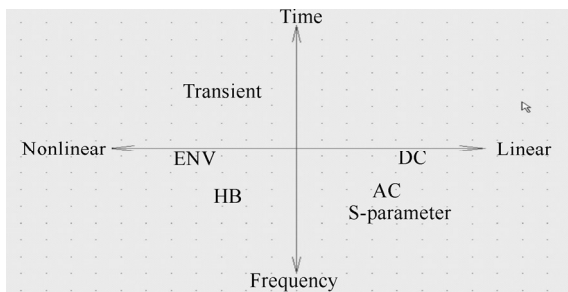


图 2-98 ADS 各类分析所属领域归类

直流(DC)仿真用于测试电路的直流工作点特性,是其他各类仿真的基础,在执行交流仿真和 S 参数仿真时,直流仿真用于确定非线性元件的线性模型;对于谐波平衡仿真、电路包络仿真和瞬态仿真,直流仿真用于对非线性参数做初步的估算。交流(AC)仿真可以用于分析电路的小信号特性和电路的噪声特性。S 参数仿真广泛应用于高速电路互连通道和微波网络的分析,通过 S 参数仿真分析,可以计算出入射波与反射波的关系,从而计算出 Return Loss (回波损耗)、Insert Loss (插入损耗)。谐波平衡(HB)仿真分析是研究非线性电路的非线性特性和系统失真的频域仿真分析法,一般适合模拟射频微波电路的仿真。电路包络(ENVELOPE)仿真技术结合了时域和频域方法的特点,将谐波平衡法和时域仿真技术结合在一起,类似谐波平衡法,描述了电路的非线性行为和信号包含的谐波成分,同时在时域中得到扩展,不被局限在仅描述稳态行为的范围内。瞬态(TRANSIENT)仿真分析类似于示波器的探测分析,可以测量电路在一段时间内运行时各个节点处的电压和电流等参数。ADS 的工作界面如图 2-99 所示。

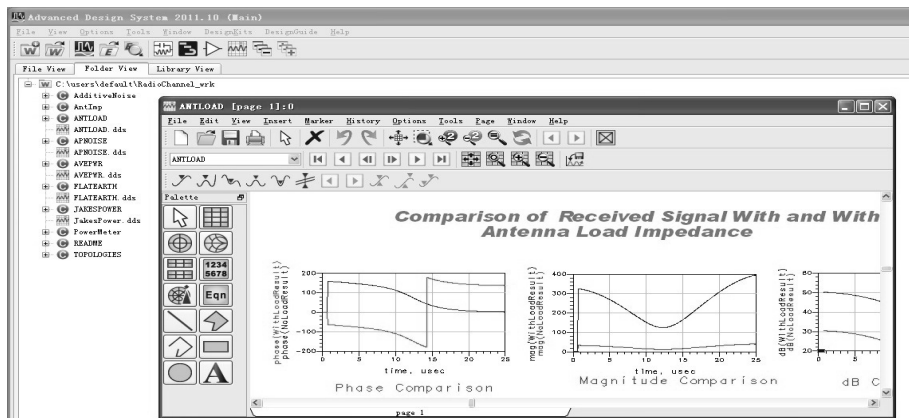
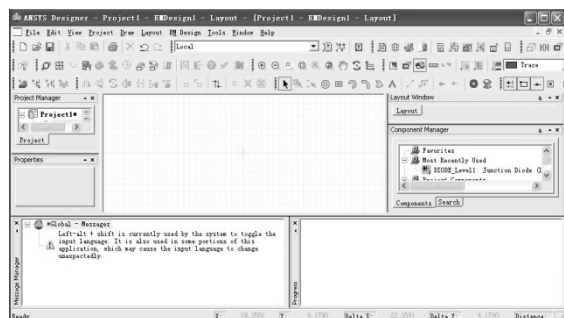


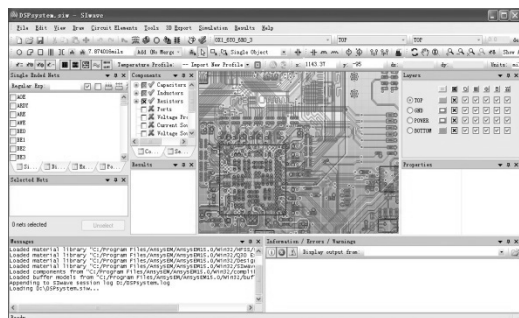
图 2-99 ADS 的工作界面

2.5.2 ANSYS Electromagnetics Suite

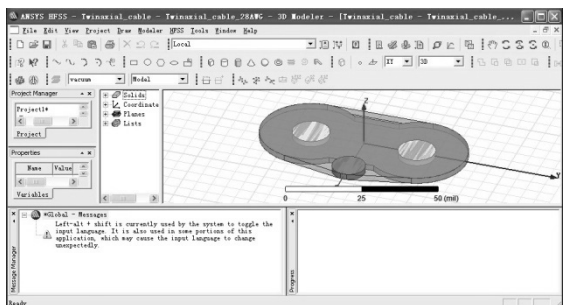
ANSYS Electromagnetics Suite15 是 ANSYS 最新推出的电路、电磁开发设计套件, 包含 ANSYS Designer、ANSYS SIwave、ANSYS HFSS、ANSYS Q3D Extractor、ANSYS Maxwell 和 ANSYS Simplorer 组件。对于电路设计与电磁设计来说, 常用的是 ANSYS Designer、ANSYS SIwave、ANSYS HFSS 和 ANSYS Q3D Extractor, 其相应的工作界面如图 2-100 所示。



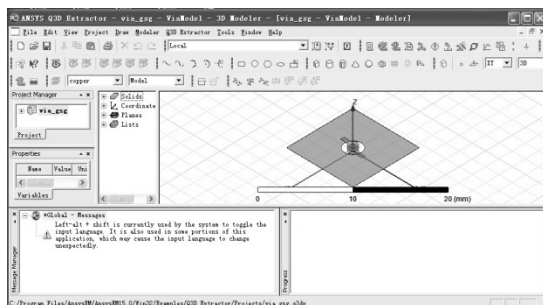
ANSYS Designer



ANSYS SIwave



ANSYS HFSS



ANSYS Q3D Extractor

图 2-100 ANSYS Designer、SIwave、HFSS 和 Q3D Extractor 的工作界面

ANSYS Designer 是功能相当强大的时域仿真软件, 可以进行直流分析、线性网络分析、瞬态分析、眼图分析 (如 USB、HDMI 的差分走线特性) 和 AMI 分析, 与频域分析工具 (如 SIwave、HFSS 等) 结合能够有效地仿真包括串扰、反射、SSN/SSO 等。

SIwave 是全波 2.5D 的场求解器, 对走线 (Trace) 的求解采用矩量法 (Method of Moments, MOM), 对平面 (Plane) 的求解采用有限元法 (Finite Element Method, FEM), 官方数据显示可以仿真的频率上限是 50GHz。它在频域分析领域非常有名, 可以用来进行 IR Drop 分析、平面谐振分析、SYZ 参数的提取、PCB 远场 (far-field) 与近场 (near-field) 的 EMI 辐射分析等。当走线通过谐振较强的区域时, 其信号相当于走在一个浮动的参考平面 (Reference Plane) 上, 走线的 SI 性能会很差; 如果该区域走线与对应的过孔所形成的长度正好是该点出谐振频点的 1/4 波长, 则容易形成天线, 在该点的近场辐射。对于 PI 电源完整性的分析, 需要借助于 Z 参数的计算分析 Power to GND 的目标阻抗 (Target Impedance), 目标阻抗 (Target Impedance) 是进行 PI 分析时的关键参数, 尽管最终要在时域中测量和验证电源噪声, 但是首先要设计和优化 PDN 的阻抗特性, 然后再做时域上的测量和验证 (如果有必要, 以及瞬态时域电流已知), 这样更简单、直接。对于走线特性的分析, 一般要借助于提取

走线的 S 参数进行分析,常用的指标是 S11 (Return Loss, 回波损耗, 也称反射系数) 和 S21 (Insert Loss, 插入损耗, 也称顺向穿透系数)。在 SIwave 中还可以根据 TDR (时域反射计) 分析走线阻抗不连续的地方。

ANSYS HFSS 是一个被广泛应用的 3D 全波电磁仿真软件,采用有限元素分析法 (Finite Element Method, FEM) [17], 是目前业界在模拟精度上最被广泛认可的 3D EM Tool, 对高速信号通道中的 PCB、过孔、封装和连接器等进行精确的建模、仿真与设计,能够有效分析 3D 结构的谐振特性和辐射特性。

ANSYS Q3D Extracotr 的功能和 HFSS 类似,但功能没 HFSS 那么强,在低频时比较实用,主要应用于二维和三维结构的准静态电磁场 RLGC 参数的提取,并计算得到电流分布、电压分布、CG 和 RL 参数矩阵。

2.5.3 CST

CST 是基于 FDTD (时域有限差分法) 电磁场求解算法的高频结构电磁仿真器,它能对 3D 复杂结构进行高精度的仿真,在超宽带的计算上有时间优势,在电大尺寸的仿真分析时精度较高。CST 是为快速、精确仿真电磁场高频问题而专门开发的 EDA 工具,是基于 PC 及 Windows 环境下的仿真软件。它主要应用在复杂设计和更高的谐振结构中。CST 通过散射参数使电磁场元件结合在一起。它把复杂的系统分离成更小的子单元,通过对系统每一个单元行为的 S 参数的描述,可以快速分析和降低系统所需的内存。CST 考虑了在子单元之间高阶模式的耦合,结构分成小部分而没有影响系统的准确性。传统的电路仿真软件仿真是快速的,但是当考虑集肤效应损耗和材料的复杂性时,结果的准确性将受到大幅度的影响。CST 的 3D 仿真软件克服了这种限制,可以解决任意几何形状下所建立的麦克斯韦方程,包括复杂的材料模式。CST MICROWAVE STUDIO 可以应用在仿真电磁场领域,包括应用在大多数的高频电磁场问题上,如移动通信、无线设计、信号完整性和电磁兼容 (EMC) 等。其具体应用范围包括耦合器、滤波器、平面结构电路、连接器、IC 封装、各种类型天线、微波元器件、蓝牙技术和电磁兼容/干扰等。其分析的指标范围包含 TDR、Signal Integrity、Thermal analysis、Packaging、Power Integrity、EMC/EMI、Cross Talk、IR Drop、Filter Analysis、Antenna directivity、Antenna Performance、SAR、RFID 和 Sensors。

CST2013 是目前最新版本,包含的工作室有 CST MICROWAVE、CST EM STUDIO、CST PARTICLE STUDIO、CST MPMATHS STUDIO、CST DESIGN STUDIO、CST PCB STUDIO、CST CABLE STUDIO 和 CST MICROSTRIPES。其图形工作界面如图 2-101 所示。

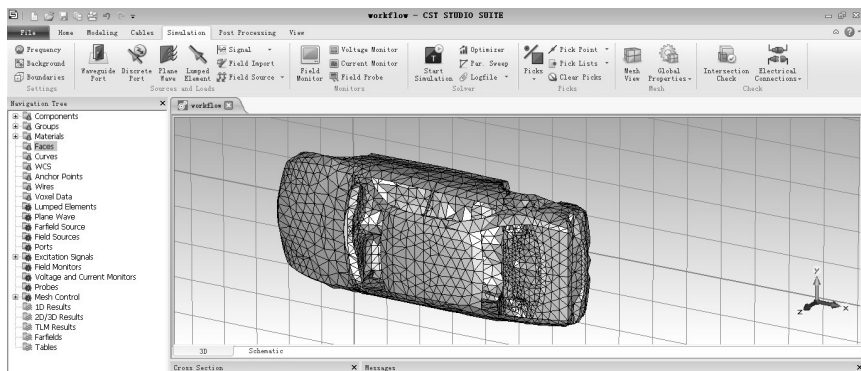


图 2-101 CST2013 图形工作界面

2.5.4 AWR Design Environment

AWR Design Environment 中的 Microwave Office 软件（10.04 版本的图形界面如图 2-102 所示）是一款与 ADS 类似的仿真软件，采用矩量法（Method of Momentum, MoM）。该软件是通过两个模拟器来对微波平面电路进行模拟和仿真的。对于由集总元件构成的电路，用电路的方法来处理较为简便。该软件设有 VoltaireXL 模拟器来处理集总元件构成的微波平面电路问题。而对于由具体的微带几何图形构成的分布参数微波平面电路则采用场的方法较为有效，该软件采用 EMSight 的模拟器来处理任何多层平面结构的三维电磁场问题。

VoltaireXL 模拟器内设一个元件库，在建立电路模型时，可以调出微波电路所用的元件，其中无源器件有电感、电阻、电容、谐振电路、微带线、带状线和同轴线等，非线性器件有双极晶体管、场效应晶体管和二极管等。

EMSight 模拟器是一个三维电磁场模拟程序包，可用于平面高频电路和天线结构的分析。其特点是把修正谱域矩量法与直观的视窗图形用户界面（GUI）技术结合起来，使得计算速度加快许多。它可以分析射频集成电路（RFIC）、微波单片集成电路（MMIC）、微带贴片天线和高速印制电路（PCB）等的电气特性。

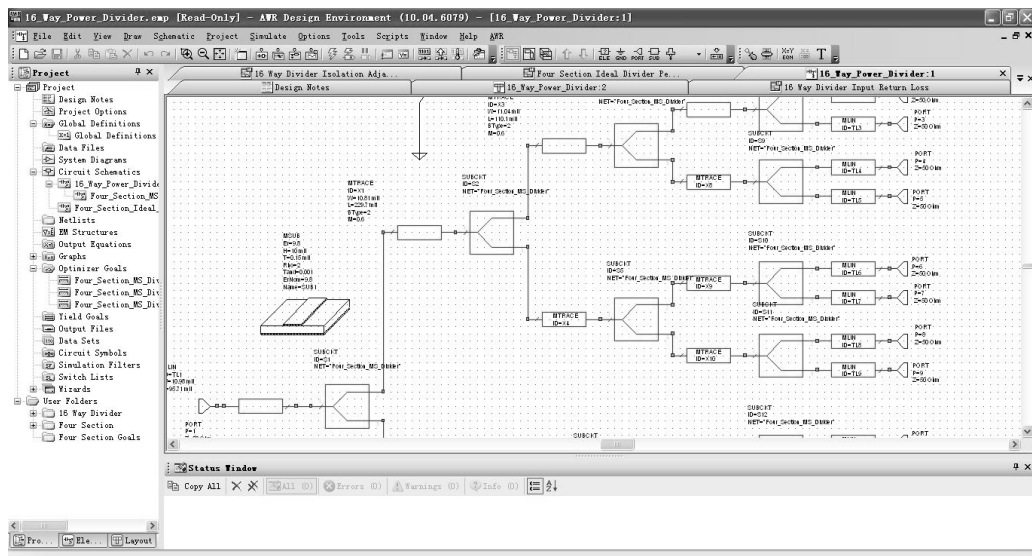


图 2-102 AWR Design Environment 2012 10.04 界面

2.6 本章小结

本章对硬件电路的概要设计及开发平台进行了论述。对与硬件开发相关的 ID 及结构设计、软件系统的开发做了简洁的相关论述；对硬件开发概要设计中的信号完整性的可行性、电源完整性的可行性、EMC 的可行性、结构与散热的可行性、测试的可行性、工艺的可行性、硬件系统的框图设计、关键链路的设计、硬件系统的电源设计方案和系统工作的时钟分配图进行了框架性的论述；对于目前电路设计中常用的 PCB 开发工具、PCB 开发辅助工具、RF 及 3D 电磁场求解工具进行了说明和对比。

信号完整性（SI）分析方法

3.1 信号完整性分析概述

从广义上讲，信号完整性指的是在高速电路设计中由互连线所引起的所有问题。研究信号完整性，可以根据信号的时域特性和频域特性，从时域和频域两个角度去研究。信号具备信号完整性，是指接收端能够接收到符合逻辑电平要求、时序要求和相位要求的信号。在系统互连的设计中，需要研究互连线、输送的信号、过孔及器件之间的相互影响。

对信号完整性的研究，可以归结为以下四类^[7]：

- （1）单一网络的信号完整性问题；
- （2）两个或多个网络间的串扰；
- （3）电源和地分配中的轨道塌陷；
- （4）来自整个系统的电磁干扰和辐射。

从产生信号完整性的根源上考虑，可以将产生信号完整性的原因分为以下几个。

（1）信号上升时间变短。信号的上升时间变短，从频域的角度来看，信号所对应的频带宽度变大，信号所对应的最高截止频率变高。过高频率的信号在信号传输时，会从发送端经过器件的互连发送到接收端，过高频率的信号在传输的过程中会出现反射、串扰和色散等因素。从能量的角度考虑，高频部分的能量会过多消耗在传输路径上，从而导致接收端接收到的能量达不到阈值，不能达到进行正确逻辑判断的需求，从而导致了逻辑电平的传输错误。

（2）芯片的工作电压变低，噪声容限变小。随着芯片技术的发展，芯片的供电电压越来越低，相应芯片的噪声容限越来越小，噪声容限变小，导致信号在受到外部噪声干扰时，容易出现电平值的错误翻转。

（3）PCB 器件布局及布线密度越来越高，寄生效应增强，串扰加大。随着现在对系统功能的要求越来越多，体积的越来越小，PCB 布局和布线的密度不断加大，因为互连和器件的封装所带来的容性和感性的寄生效应越来越严重，加大了信号彼此之间的干扰，不仅同平面的信号和器件之间相互影响，相邻层面的信号之间的影响也越来越严重。

（4）电源与地噪声所带来的信号高低电平阈值范围的缩小。电源与地平面的噪声来源主要有 VRM、CoreIO 跳变带来的噪声、平面谐振噪声、临近电源耦合的噪声和其他耦合的噪声等。信号的传输需要有一个参考平面，当参考平面上有波动的噪声时，走线所参考的电势也相应会发生变化，即信号所呈现出的电平值是一个波动的范围。因为参考平面上噪声的存在，所以高低电平的阈值范围就会减小，甚至发生错误的翻转。又因为电源噪声的影响，使信号的噪声容限变小、时序容限变小，并带来一定的 EMI 干扰。因为噪声的影响带来的电源电压波动如图 3-1 所示，噪声引起的电源辐射如图 3-2 所示。

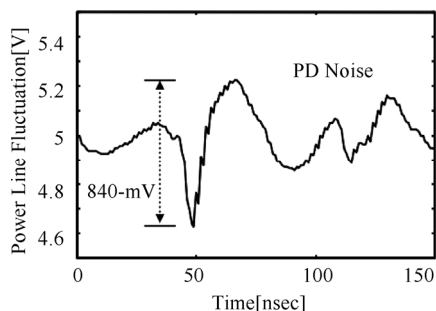


图 3-1 噪声引起的电压波动

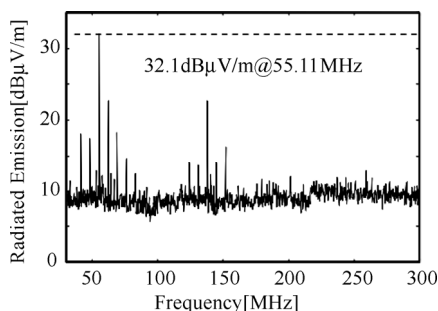


图 3-2 噪声引起的电源辐射

因此，在兼顾其他因素影响的情况下（PI 问题）对信号的完整性问题进行研究，为实现信号的有效传输，需要保证信号波形的完整和信号时序的完整。我们所做的所有工作都是围绕这一根本性目标展开的。

信号完整性的问题，都可以用电压或电流的变化速度来衡量，即 dV/dt 或 dI/dt ，信号上升沿的时间越短， dV/dt 或 dI/dt 的值就越大。对于 dV/dt 或 dI/dt 的有效理解，需要借助于对互连线阻抗的理解。如果能够对阻抗有深入的理解，把器件之间互连线的物理设计与互连线的阻抗联系起来，就可以在设计的过程中消除很多的信号完整性问题。在 PCB 设计的过程中，阻抗特性可以用来对信号完整性问题进行量化分析，能够从根本上对信号的完整性问题进行分析 and 处理。

对于四类信号完整性问题，为了保证信号的质量，在设计 PCB 走线时需要使信号在经过整个互连线时所感受的阻抗相同；为减小网络之间的串扰，应尽量加大走线之间的间距并使走线与其非理想的返回路径之间的互感最小；为了减小轨道塌陷的幅度，需要使电源/地路径的阻抗尽量减少，当阻抗较高不符合设计要求时，可以充分利用电源与地平面之间的耦合及添加相应的符合谐振特性的去耦电容，同时减小 ΔI 噪声；为减小电磁干扰，应尽量减小传输信号的带宽，并尽量使地阻抗达到最小；对于 EMI，可以采取一定的屏蔽措施。

在进行高速 PCB 设计时，考虑到 PCB 设计的实际操作，在操作中需要考虑的主要因素有 PCB 叠层结构（PCB Layer Stackup）、阻抗（Impedance）、器件互连的拓扑结构（Interconnect Topologies）、延迟（Delay Matching）、串扰（Cross Talk）、时序（Timing）、电源完整性（Power Integrity）、电磁兼容和电磁干扰分析（EMC and EMI）。

3.2 信号的时域与频域

正弦波是频域中唯一存在的波形，对于正弦波的数学描述，需要三个参量：频率、幅度和初相位。频率通常用 f 来表示，是指每秒包含的完整正弦波的周期数，单位是 Hz；幅度是中间值之上的波峰高度的最大值；初相位以圆周、弧度或度为单位，它给出的是在时间轴起点处波的起始位置。一般为了简化分析，在频域中一般以频率和幅度为坐标轴画出两个值，即不同的频率对应不同的幅度。时域中的正弦波及其对应的频域分布如图 3-3 所示。一个方波信号可以由多个不同频率的正弦波叠加而成，其叠加过程如图 3-4 所示。

傅里叶变换可以将信号从时域变换到频域，傅里叶逆变换可以将信号从频域还原为时域。常用的傅里叶变换有傅里叶积分（FI）和离散傅里叶变换（DFT）。这两种算法在日常中都会得到应用，虽然两者之间的算法有区别，但是它们的共性是将时域波形变换

成频域频谱。

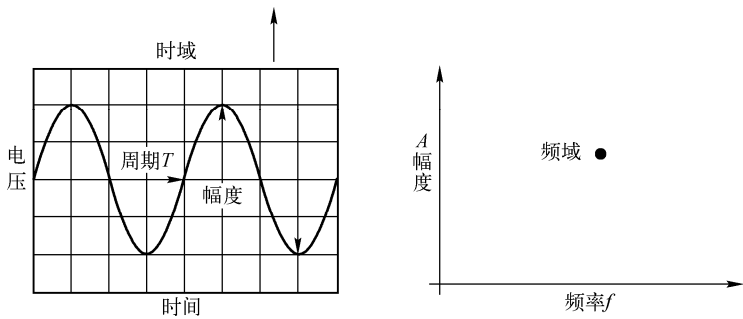


图 3-3 时域中的正弦波及其对应的频域分布

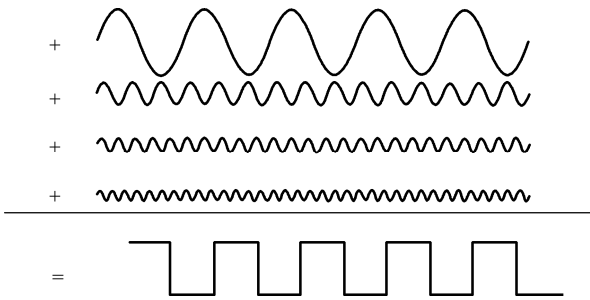


图 3-4 正弦波叠加为方波信号

信号是反映信息变化的物理表现，信号的特性可以从时域和频域两个方面来描述。时域比较直观，能够从时间和信号的波形来观察结果，但是不容易发现和解决问题；频域分析会采用不同的频率对应不同的阻抗特性，比较容易定位问题点，从而解决问题，但频域分析没有明确的指标可以参考。时域是随时间变化的，是实实在在的信号波形，是唯一客观存在的域，傅里叶变换可以将时域波形变换成由其正弦波频率分量组成的频谱；而频域是一个数学构造，是一个遵循特定规则的数学范畴，傅里叶逆变换可以将每个频率分量变换成其对应的正弦波。正弦波是频域唯一的波形，即在频域中正弦波是对频域的描述。频域中的频谱表示的是时域波形包含的所有正弦波的幅度，当知道了信号的频谱分析后，如果想得到其对应的时域波形，只需要将每个频率分量变换成它对应的正弦波，再将其全部叠加即可。从图 3-5 中可以清楚地看出时域与频域的关系^[18]。

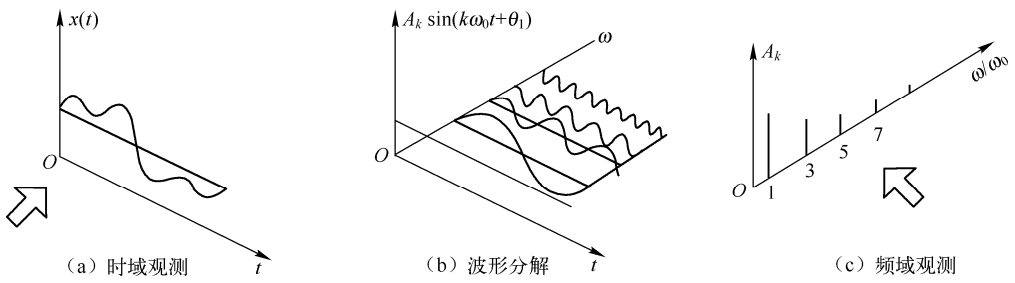


图 3-5 时域与频域的关系

波形上升时间越短，信号带宽越大，包含的高频成分越多。对信号带宽的定义最常用的

有以下两种：

$$BW=0.3/T_r$$
$$BW=0.5/T_r$$

这两种方式在分析信号的带宽时都可以采用，使用 $BW=0.5/T_r$ 时，对设计的要求更高。

在实际的电路系统设计中，因为器件之间互连所存在的寄生电容和寄生电感的影响，各种频率的信号相互作用，从而产生了各类信号完整性问题，做信号完整性分析的目的就是确保这一带宽内各个频率成分的正弦波都能够有效地从发送端传到接收端，在这个频率范围内的信号对系统的设计都不会产生太大的影响。定义的这个带宽是一个相对比较模糊的概念，只是给大家做信号分析时有一个参考的标准，在该频段内的信号最需要做特别的分析，它对设计造成的影响可能最大；高于这个频段一定范围内的频点可能会对系统有一定的影响，也可能没有影响；远高于这个带宽内的频点不会对设计的信号造成影响，在分析时可以忽略。

我们所要分析的信号都是由不同频率点的正弦波信号组成的，当正弦波信号到某个频点后，在 PCB 路径上进行传播时，会衰减得特别快。研究信号完整性的目的就是为了使设计的系统具有较强的鲁棒特性，具有较大的设计余量，当系统设计中出现问题时能够准确地定位问题所在。为了对信号进行分析，需要确定这个频点。通过 IC Datasheet 或对信号的实际测量可以得到信号的上升时间 T_r （一般指 10%~90%信号上升时间），从而得到信号的 BW，明确了 BW，就明确了要分析的信号的分析范围，在频域内就对应一个个的频点。在 PCB 设计之前，可以通过软件仿真进行 S 参数仿真分析，分析其中可能存在的问题。当确定了 BW 后，在该 BW 频带内进行 S 参数仿真频段设定如图 3-6 所示，S 参数回波损耗如图 3-7 所示，从仿真结果可以看出，随着频率的增加，信号的衰减越来越严重。

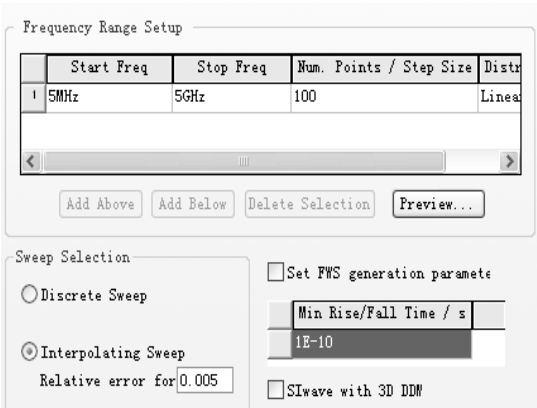


图 3-6 S 参数仿真频段设定

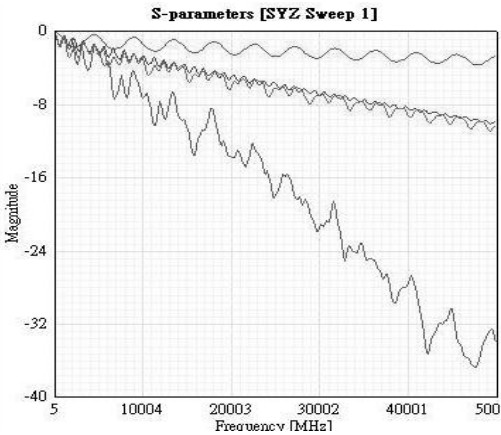


图 3-7 S 参数回波损耗（Return Loss）

3.3 传输线理论

在低速通信的 PCB 设计中，通信速率都不快，信号的上升时间相对比较长，信号边沿变换比较缓慢，带宽较小，在进行器件的互连设计时，各个器件之间彼此都是透明传输的，只要发送端与接收端能够正确互连，就可以完美地实现系统的功能。在低速设计中，信号从发送端发送，都会完美地被接收端接受，信号在传输过程中不会出现幅度、相位及时序的问题，可以认为电源模块能够满足负载的实时供电，信号完美传送，因此可以将低速设计认为是静态的设

计。在高速设计中，信号通信的频率都比较快，信号的边沿上升时间逐渐变短，信号的带宽增大，包含的频率成分越来越丰富，在进行器件的互连时，由于走线、PCB 之间填充的电介质、器件与器件之间、过孔等 PCB 各类组成部件各种寄生参数的影响，所以信号会出现信号完整性问题，在接收端接收到的信号幅度会出现衰减，相位和时序会发生变化；供电模块与去耦电容无法实时响应负载对供电的需求，电源与地平面充斥着噪声，信号的传递不再是独立的传输而是与寄生的参数相互作用着传输。为了能够对高速信号的传输过程进行精确描述，使信号在接收端能够在其逻辑阈值内对发送信号进行解析，传输线理论在这一类分析中得到了广泛应用。

何为传输线呢？传输线就如同高速公路一样，高速公路需要双向的车道满足不同方向的行车需求，同样的对高速信号而言，需要两个通道来满足信号的传输和回流，这就是通常所说的信号路径与信号回流路径（也称信号参考路径）。传输线是一种简单的电气结构，由两个金属层及夹在两个金属层之间的电介质绝缘层组成。针对 PCB 来说，传输线中常用的金属是铜，常用的电介质是 FR4（一种玻璃纤维聚酯的混合物）。在高速电路设计中常用的两种传输线是微带线和带状线，微带线的模型如图 3-8 所示，带状线的模型如图 3-9 所示，微带线分布在 PCB 的最外层，一般只有一边有参考平面，带状线分布在层内，有两个参考平面。

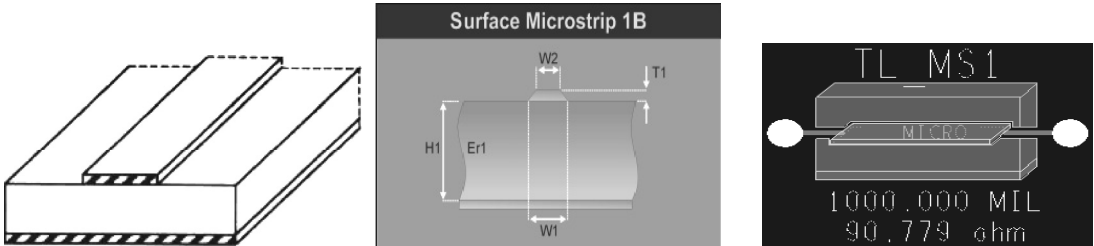


图 3-8 微带线的模型

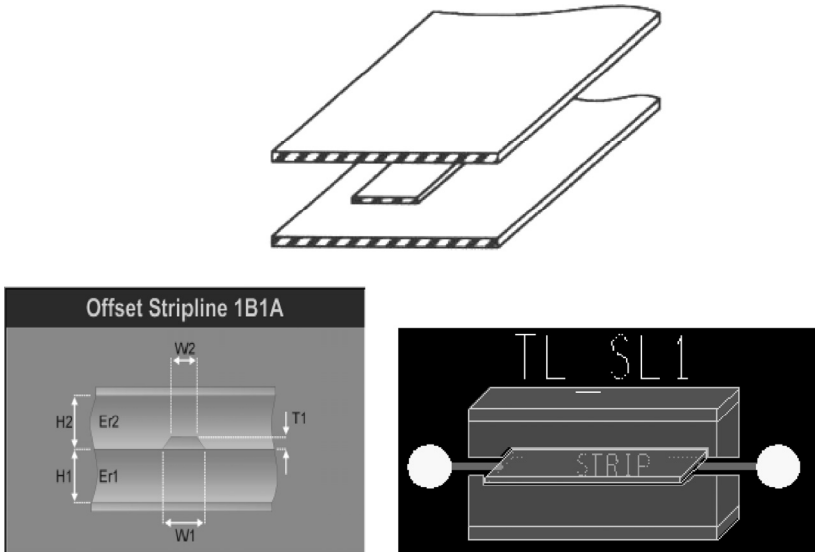


图 3-9 带状线的模型

从传输线的结构中可以看出，利用传输线进行信号传输时，需要同时使用两根信号线进

行数据的传输，如图 3-10 所示。在使用传输线理论进行分析时，是将传输线等效为一个参数模型的网络结构的，如图 3-11 所示。传输线的两根信号线一个用作信号传输的路径，即信号路径，另一个用作信号回流的路径，即返回路径或参考路径。在信号传输的过程中，信号是以电磁波的形式进行传播的，对于高速电路的理解，已经不能再用电路的“路”的思想去理解，而要用电磁场的“电”与“场”的理论去理解。高频信号在线路板上不是用电子的移动速度去传递的，而是用电磁场交替转换来传递的。在均匀介质中，电磁场会交替建立，一直沿着传输方向传播下去，在传播的过程中电磁场的强度会按照一定的衰减系数衰减，但不会改变电磁场的交替建立方式及传播方向。但当传输介质的物理特性发生变化时，电磁场的交替建立过程就不能顺利延续下去，电磁波就会改变其传输方式，对外的表现就是出现信号的反射和串扰，也就出现了信号完整性问题。电磁场在空间的传播及电磁空间分布如图 3-12 所示。

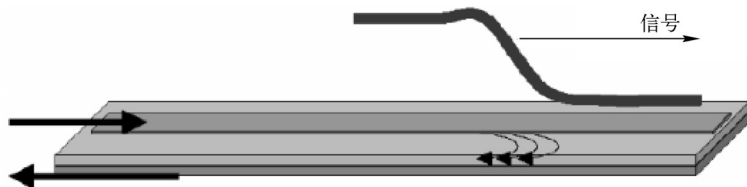


图 3-10 信号的传输路径与返回路径

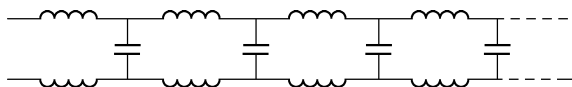


图 3-11 传输线的参数模型网络结构

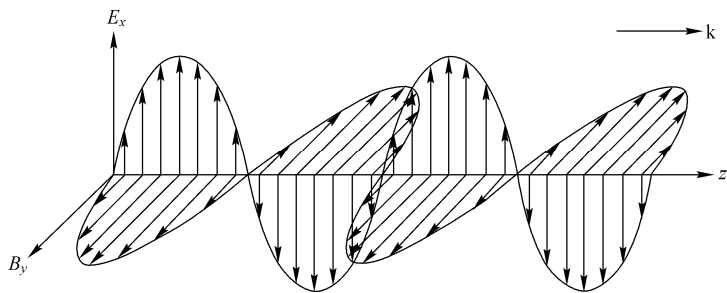


图 3-12 电磁场在空间的传播及电磁空间分布

在进行电路设计时，我们应该有一个认识，即电流永远都是一个回路，电流总是趋向于流向阻抗低的路径，返回电流最终必须回到其驱动 IC 的接地参考脚。信号的传输过程不是从发送端经过传输线的信号发送路径到达接收端，再从接收端经过返回路径返回到发送端的，而是信号在传输线周围空间形成交变的电磁场。在传输线上进行信号传输时，信号在发送路径和返回路径之间建立电磁场，从而使得两导线之间会产生电压，这个电压是沿着传输线逐步向前推进的。下面以一个形象的例子来理解何为传输线的特性阻抗^[6]。

当信号沿着一条具有同样横截面的传输线移动时，假定把 1V 的阶梯波（Step Function）加到这条传输线中（把 1V 的电池连接到传输线的发送端，电压跨在发送线和回路之间），如图 3-13 所示，将 1V 电池和传输线连接后，这个电压阶梯波沿着该传输线以光速传播，传播

的速度约为 6 英寸/ns, 这个信号是发送线路和返回路径之间的电压差, 可以通过发送线路的任何一点回路的相邻点来衡量。

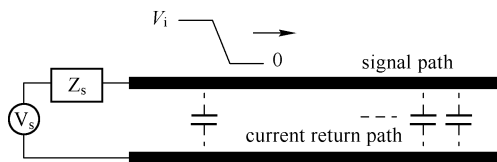


图 3-13 发送梯形波信号到传输线

信号的能量在第一个 0.01ns 前进了 0.06 英寸, 这时发送线路上有由电池提供的多余的正电荷, 而回路有多余的负电荷。因为这两个电荷差维持传输线发送路径和返回路径之间的 1V 电压差, 所以这两个导体之间也形成了一个电容器。在下一个 0.01ns 中, 又要将下一段 0.06 英寸传输线两侧的电压从 0V 调整为 1V, 这就需要发送端再加一些正电荷到发送线路上, 加一些负电荷到接收线路上。信号每向前移动 0.06 英寸, 必须把更多的正电荷加到发送线路, 而把更多的负电荷加到接收线路中。每隔 0.01ns, 必须对传输线路的另外一段进行充电, 然后信号开始沿着这一段传播。电荷来自传输线前端的电池, 当信号沿着传输线移动时, 就给传输线连续部分充电, 因而在发送线路和回路之间形成 1V 的电压差。每前进 0.01ns, 就从电池中获得一些电荷 ($\pm Q$), 恒定的时间间隔 ($\pm t$) 内从电池中流出的恒定的电量 ($\pm Q$) 就是一种恒定的电流。流入回路的负载电流实际上与流出的正电流相等, 而且正好在信号波的前端, 交流电流经由上、下线路组成的电容, 最后结束整个循环过程, 信号的推进过程如图 3-14 所示。

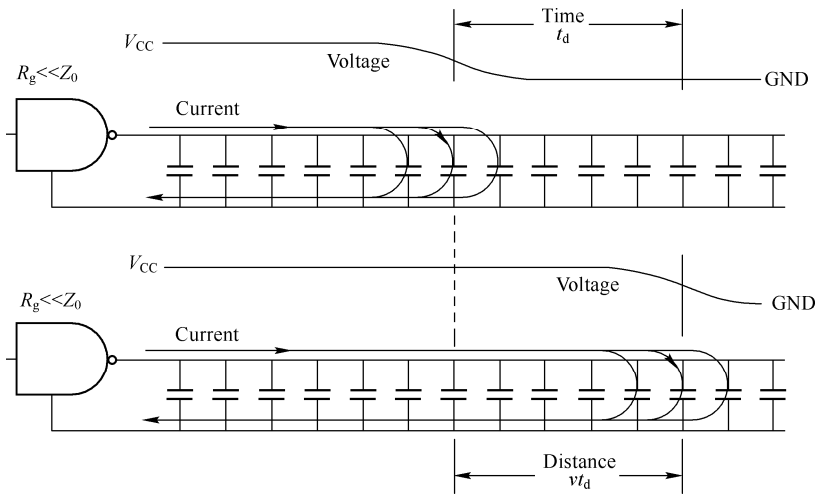


图 3-14 信号的推进过程

对于上面提到的电池, 信号沿着传输线传播, 并且每隔 0.01ns 对传输线的 0.06 英寸传输线段进行充电。从电源获得恒定的电流时, 传输线看起来就像一个阻抗器, 并且它的阻抗恒定, 这可称为传输线路的浪涌阻抗 (Surge Impedance)。同样的, 当信号沿着线路传播时, 在下一步之前 (0.01ns 之内), 把这一步的电压提高到 1V 所需要供应的能量就涉及瞬态阻抗的概念。信号的电压是由信号源决定的, 而电流的大小取决于每步长度的电容和电容充电时间的长短。只要信号的速度和单位长度的电容恒定, 注入导线的电流就恒定, 那么信号感受到的阻抗就恒定。把信号每步感受到的阻抗称为传输线的瞬态阻抗, 沿着传输线往下走, 信号将不断

探测到每一步的瞬态阻抗，电场的建立过程如图 3-15 所示。

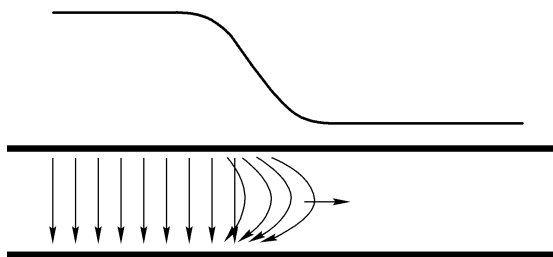


图 3-15 传输线中电场的建立过程

如果信号以恒定的速度沿着传输线传播，并且传输线具有相同的横截面，那么在 0.01ns 中每前进一步都需要相同的电荷量，以产生相同的信号电压。此时，信号沿着这条线前进时，会遭遇同样的瞬态阻抗，这被视为传输线的一个重要特性，称为特性阻抗。如果信号在传输过程中的每一步的特性阻抗都相同，那么该传输线可认为是可控阻抗的（Control Impedance）传输线。

对于信号的传输路径和返回路径的分析，需要分析传输线的分布电容和分布电感，以及传输线之间填充介质的介电常数。当信号在传输线上传输时，传输线对走线上信号的影响主要是传输线的分布电容、分布电感及介质对传输的电磁波的影响。当信号在传输线上传播时，每个时刻传输线上的点都有对应的电压分布与电流分布，电压与电流的比值就表示这个位置信号感受到的阻抗，这个参数是用来评测传输线对信号传输影响大小的一个关键参数。传输线的特性阻抗是分析信号传输的一把利器。特性阻抗或瞬态阻抗对信号传输品质而言非常重要。在传输过程中，如果下一步的阻抗和上一步的阻抗相等，则工作可顺利进行，但若阻抗发生变化（阻抗不匹配），则会出现一些问题。为了达到最佳信号的品质，设计目标是在信号传输的过程中尽量保持阻抗稳定，因此首先必须保持传输线特性阻抗的稳定（在设计中要求 PCB 阻抗可控）。

影响特性阻抗的因素主要有线宽、介质厚度、介质的介电常数、PCB 走线的铜皮厚度和 PCB 走线距离参考平面（或称信号回流平面）的距离。对于差分走线的差分特性阻抗来说，影响其走线特性阻抗的因素还有差分走线的线间距。微带线特性阻抗的计算（包含带状线与微带线）有多种方式，不管是微带线还是带状线，其主要区别是走线、参考平面、介质的叠层分布的不同。微带线与带状线特性阻抗的计算公式如图 3-16 所示，其中 W 是走线的宽度， T 是敷铜的厚度， H 是微带线或带状线距离参考平面的距离， ϵ 是板材的介电常数；微带线在 PCB 的表面走线，信号的速度快于带状线，但是容易产生 EMI 干扰和串扰，带状线在参考平面的内层走线，信号速率相对微带线会慢些，但对外界的辐射要小。一般采用计算公式进行阻抗的计算比较费时，在工程设计中的阻抗计算一般是借助于软件进行初步的计算，并与 PCB 厂确认阻抗加工参数的合理性。应用比较普遍的阻抗计算工具 Polar Si9000 在 2.4.7 节已做了详细的论述，具体可以参阅 Polar Si9000 部分对各类阻抗进行计算的内容。

实际的传输线都是有损的，器件发送端的能量并不能全部被接收端无损地接收，传输线所带来的信号损耗主要包含阻性损耗、介质损耗、相邻耦合损耗、反射损耗和辐射损耗^[19]。在分析传输线损耗时，会出现一些错综复杂的问题，如趋肤效应、邻近效应、表面粗糙度、复介电常数、介质损耗、随频率变化的阻抗特性和时延特性等，因此在传输线的损耗分析

时，需要根据各个可能的情况进行综合分析。

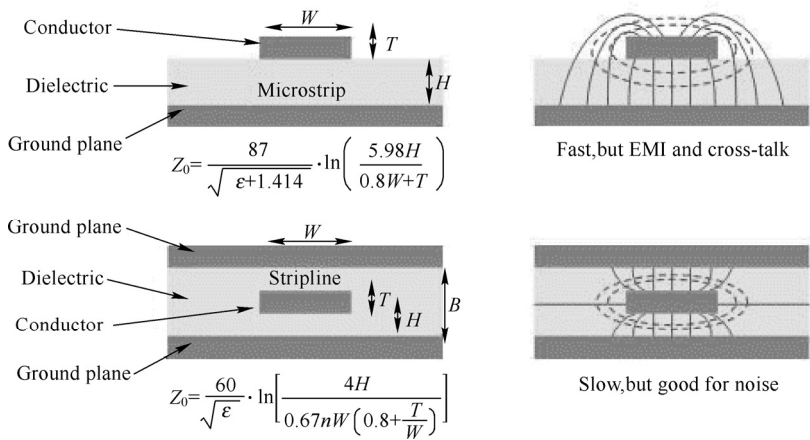


图 3-16 微带线与带状线特性阻抗的计算公式

阻性损耗主要是指因为导线自身的电阻所引起的损耗，在交流信号下，导线的阻抗会随着频率的变化而变化。因为工艺的原因，PCB 走线的表面都会有一定的粗糙度，当信号的波长与 PCB 走线表面的粗糙颗粒相近时，会加剧阻性损耗，而且由于趋肤效应的影响，高频电流都集中在导体表面，这会进一步加剧导体的阻抗损耗。对于粗糙度的影响，一般在仿真软件中都有对应的参数设置，如图 3-17 所示是 Siwave 中对走线的表面粗糙度参数设置，可以分别设置 TOP 和 BOTTOM 走线层的 Roughness。表面粗糙度通常使用表面凸起高度的均方根 (RMS) 来衡量，铜皮 RMS 常用值的范围是 $0.3 \sim 5.8\mu\text{m}$ ，在低频设计时一般不考虑此参数，当信号的频率较高时，如 5GHz、10GHz 的常见高速信号，铜皮的表面粗糙度已经可以对信号的衰减造成很大影响，则在进行 PCB 加工时，在满足加工工艺的前提下，对高速信号应尽量采用表面粗糙度即 RMS 较小的铜箔，从而减小损耗，获得较好的信号传输性能。阻性损耗是影响高频损耗的其中一个主要的损耗。

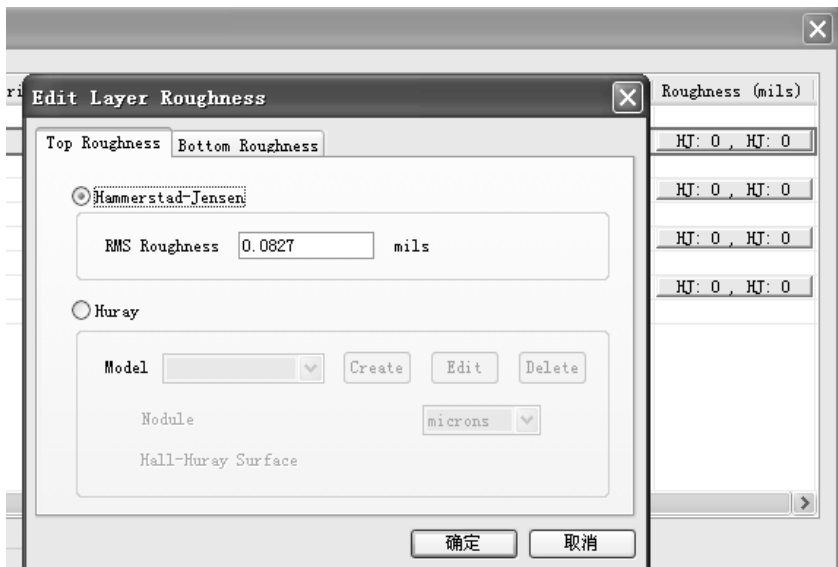


图 3-17 表面粗糙度参数设置

介质损耗主要是由于信号以电磁波的形式在传输线中传播时，在介质中会产生极化，这类损耗与所采用板材的类别有关。在外加电场的影响下，介质中的带电粒子会沿着电场方向规则排列，电荷的规则移动会消耗电场的能量，从而对信号造成衰减，损耗信号的能量。对于介质损耗，一般采用损耗正切值 $\tan\delta$ 来表示， δ 称为损耗角，在进行高频板材选择时，此参数是需要额外关注的参数。同样，此参数在仿真软件中也有对应的参数设置。如图 3-18 所示是不同规格高频板材所对应的参数。

产品	介电常数, ϵ_r @10 GHz (典型值)		耗散因子 ^[1] , $\tan\delta$ @10 GHz (典型值)	ϵ_r 热 ^[2] 变化率从 -50℃至150℃ ppm/℃ (典型值)	体积电阻率 MΩ·cm (典型值)	表面电阻率 MΩ (典型值)	吸湿率 ^[4] D48/50 % (典型值)
	制造过程 ^[1]	设计 ^[12]					
RT/duroid®5870 PTFE玻璃纤维	2.33±0.02	2.33	0.0012	-115	2×10 ⁷	2×10 ⁸	0.02
RT/duroid 5880 PTFE玻璃纤维	2.20±0.02	2.20	0.0009	-125	2×10 ⁷	3×10 ⁷	0.02
RT/duroid 5880LZ 填充PTFE复合材料	1.96±0.04	1.96	0.0019	+22	2.1×10 ⁷	2.6×10 ⁸	0.02
RT/duroid 6002 PTFE陶瓷	2.94±0.04	2.94	0.0012	+12	10 ⁸	10 ⁷	0.02
RT/duroid 6202 PTFE陶瓷玻璃布	2.94±0.04	2.90	0.0015	-50**	10 ¹⁰	10 ⁹	0.04
RT/duroid 6202PR PTFE陶瓷玻璃布	^[9] 2.90-3.00 ±0.04	2.90-3.00	0.0015	-59**	10 ¹⁰	10 ⁹	0.03
RT/duroid 6010LM PTFE陶瓷	10.20±0.25	10.9	0.0023	-425	5×10 ⁵	5×10 ⁸	0.01
TMM ³ 3 碳氢化合物陶瓷	3.27±0.032	3.39	0.0020	+37	1×10 ¹³	1×10 ¹²	^[11] 0.06
TMM4 碳氢化合物陶瓷	4.50±0.045	4.50	0.0020	+15	1×10 ¹⁰⁻	1×10 ¹¹⁺	^[11] 0.07
TMM6 碳氢化合物陶瓷	6.00±0.08	6.00	0.0023	-11	1×10 ⁹⁺	1×10 ¹¹⁺	^[11] 0.06
TMM10 碳氢化合物陶瓷	9.20±0.23	9.56	0.0022	-38	2×10 ⁸	8×10 ¹⁰	^[11] 0.09
TMM10i 碳氢化合物陶瓷	9.80±0.245	9.96	0.0020	*-43	2×10 ⁸	7×10 ⁸	^[11] 0.16
ULTRALAM®2000 PTFE玻璃布	2.40-2.60 ±0.04	2.40-2.60	0.0019	-100	2×10 ⁷	4×10 ⁷	0.03

图 3-18 不同规格高频板材所对应的参数

相邻耦合损耗：由于串扰的影响，信号的能量一部分会耦合到其相邻信号，对临近信号造成不必要的干扰，同时衰减了自身的能量。相邻耦合损耗产生的过程如图 3-19 所示。

反射损耗的形成过程：反射的信号在传输线上来回传输，经历一次次的阻抗损耗、介质损耗和相邻耦合损耗，最终对信号的总能量造成损耗，该总的损耗就是反射损耗。

辐射损耗主要是指高频信号以电磁波的形式辐射出 PCB，跑向板外。对于整板来说，辐

射损耗会造成 EMI 干扰，对此可以进行 PCB 的远场与近场的辐射分析。

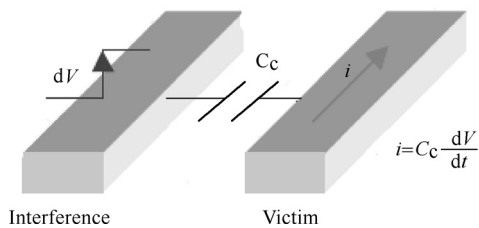


图 3-19 串扰导致耦合损耗

3.4 信号的反射与端接

在一个系统中，一个电气网络是一系列金属导体及由这些导体连接在一起的所有输入/输出端口的总和，一个电气网络至少包含三个元素：驱动端、传输互连结构和负载。信号出现反射的原因是传输互连结构中出现了阻抗不连续点，致使信号在传输线上传输的某个点或某几个点处出现了瞬态阻抗不连续的地方。对于信号的完整性问题，大多数都是由于单个网络引起的，而对单个网络来说，几乎所有的问题都来源于信号传输路径上的阻抗不连续所导致的反射。因此对单个网络信号完整性问题的研究，就是对这个网络的阻抗分布和反射特性的研究。相应的，为了解决信号传输时的阻抗不连续和信号反射的问题，阻抗的匹配与端接技术应运而生。

如何对反射的信号进行量化分析呢？下面从基本的原理入手，逐步分析这一问题。

如图 3-20 所示是阻抗突变的示意图，图中最底部为电路板上的大面积敷铜层（GND 或 Power 电源平面），它是信号的返回路径。上面是传输线，S1 比较宽，S2 比较窄，很明显在 S1 和 S2 的交接处出现了阻抗不连续，根据阻抗计算公式应该是 $R_{s1} < R_{s2}$ 。信号传输到这里的时候，从反射的定义来看应该是发生了反射。那么究竟有多少信号被反射了呢？又有多少信号通过界面从 S1 进入到了 S2 呢？这里就涉及了反射的计算，即反射系数的计算和传输系数的计算。反射系数和传输系数的计算公式是在信号完整性分析中，进行反射分析的两个强有力的公式，工程实践中会经常用到它们。

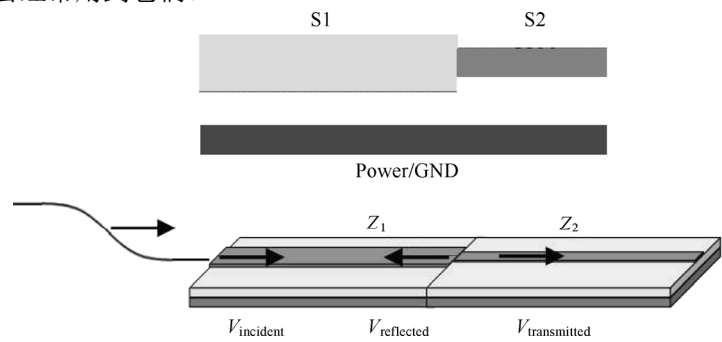


图 3-20 阻抗突变的示意图

在交界面，虽然阻抗发生了变化，但是电压和电流一定都是连续的，这个结论一定要理解：电压和电流不可能出现一个断裂，即在交界面的左边一点和右边一点，它们的电压和电流都是相等的，这里的一点点可以当作微积分中的一小点来理解。

在分界面的左边一点点的 S1 中有: $Z_{s1}=V_i/I_i$ (1)

在分界面的右边一点点的 S2 中有: $Z_{s2}=V_t/I_t$ (2)

式中的 V_1 、 V_2 为分界面两侧的电压, I_1 和 I_2 为分界面两侧的电流。

由上面的电压和电流连续性得知: $V_i=V_t$, $I_i=I_t$ (3)

分析上面的三组方程, 如果没有反射, 它们是不可能同时成立的, 因为 R_{s1} 和 R_{s2} 是不相等的。因此可以判定在分界面必定存在反射回源端的信号。 V_i 是由两部分组成的, 即 V_i 和 V_f , 其中 V_i 是正向传输的电压, 称为入射电压; V_f 是在分界面处反射的电压, 称为反射电压。 V_t 是从 S1 经过分界面传送到 S2 的电压, 称为传输电压, 记为 V_t 。因为在 S1 和 S2 的分界面处电压相等, 所以有:

$$V_i+V_f=V_t$$

在 S1 部分的入射电压 V_i 会在 S1 部分产生一个从 S1 流向 S2 的正向电流 I_i , 反射电压 V_f 会产生一个从 S2 流向 S1 的反向电流 I_f ; 区域 S2 的电流记为 I_t 。因为在分界面处电流也是相等的, 所以有:

$$I_i-I_f=I_t$$

在 S1 部分和 S2 部分根据欧姆定律有:

$$V_i/I_i=Z_{s1}$$

$$V_f/I_f=Z_{s1}$$

$$V_t/I_t=Z_{s2}$$

把这三个关系式代入到上面的两个电压和电流关系方程中可以得到:

$$V_i/Z_{s1}-V_f/Z_{s1}=V_t/Z_{s2}=(V_i+V_f)/Z_{s2}$$

$$(V_i-V_f)/Z_{s1}=(V_i+V_f)/Z_{s2}$$

反射系数 X_{reflect} 定义为反射电压和输入电压的比值, 即 V_f/V_i 。

可求得: $X_{\text{reflect}}=(Z_{s2}-Z_{s1})/(Z_{s1}+Z_{s2})$ 。

传输系数 Y_{trans} 定义为传输电压和输入电压的比值, 即 V_t/V_i 。

可求得: $Y_{\text{trans}}=2 \times Z_{s2}/(Z_{s1}+Z_{s2})$ 。

归纳如下。

反射系数: $X_{\text{reflect}}=(Z_{s2}-Z_{s1})/(Z_{s1}+Z_{s2})$ 。

传输系数: $Y_{\text{trans}}=2 \times Z_{s2}/(Z_{s1}+Z_{s2})$ 。

反射是经常遇到的 SI 问题, 我们只能无限地缩小它, 却不能完全消除它。在波形能够接受的情况下尽量做到最大限度地抑制反射, 这就是信号完整性分析中对反射所要做的工作。最重要的就是匹配电阻的阻值确定, 匹配的端接确定 (即采用何种匹配)。源端串接和接收端并接的匹配方式是不一样的。

有 3 种情况: 阻抗相等、末端开路和末端短路。

(1) $Z_{s1}=Z_{s2}$, 即阻抗相等, $X_{\text{reflect}}=0$, 即没有反射。

(2) $Z_{s2}=\infty$, $X_{\text{reflect}}=1$, 即完全正反射, 这时末端电压是入射电压的 2 倍。

(3) $Z_{s2}=0$, $X_{\text{reflect}}=-1$, 即完全负反射, 反射信号可以理解为返回路径上的回流, 反射幅度与入射电压相等, 但是极性相反, 叠加的结果是末端电压为 0, 末端短路了, 相当于接地了, 阻抗为 0, 这种情况与短路类似。

引起传输线阻抗不连续的因素除传输线所呈现出的瞬态电阻特性外, 容性阻抗引起的反射和感性阻抗引起的反射也是两个重要因素。在传输线上, 借助于 TDR 可以方便地判断阻抗不连续的点, 即可以在仿真软件中使用 TDR 来观测传输线的阻抗不连续点, 也可以使用 TDR

测试仪器，测试 PCB 上传输线的阻抗不连续点。走线阻抗不连续所呈现出的对信号幅度的影响如图 3-21 所示，上部分是不同走线宽度的传输线，下面是随着信号在传输线上的传播，所呈现出的电压值，从波形图可以看出容性不连续容易造成信号幅度变低，感性阻抗容易造成信号幅度偏高。为充分理解容性阻抗不连续与感性阻抗不连续对信号幅度的影响，对不同的电路结构进行了进一步的 TDR 分析^[43]，如图 3-22 所示。

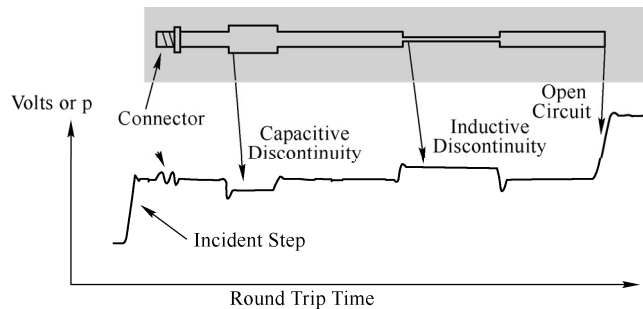


图 3-21 走线阻抗不连续所呈现出的对信号幅度的影响

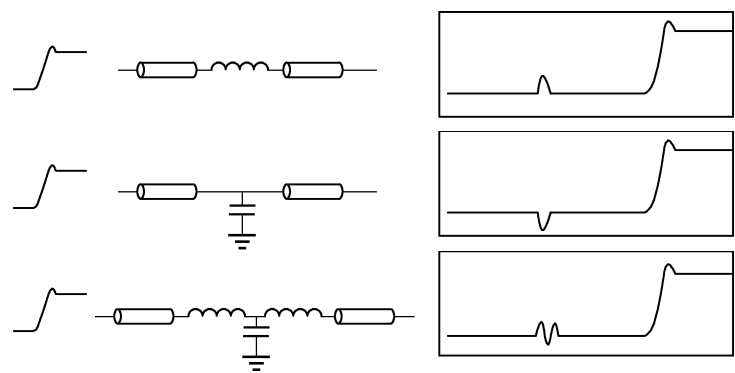


图 3-22 TDR 分析容性与感性阻抗不连续对信号幅度的影响

一般信号发送端的阻抗较低，信号接收端的阻抗较高，如果发送端与接收端的阻抗不匹配，发送的信号会在发送端与接收端之间来回反射，信号的反射会出现过冲（Overshoot）和下冲（Undershoot），过冲是信号波形中出现的第一个波峰或波谷，下冲是第二个出现的波峰或波谷，反复的过冲与下冲会导致出现振铃现象，严重影响信号的完整性。信号 Overshoot 和 Undershoot 会影响信号的逻辑电平，如图 3-23 所示，确保信号在确定的逻辑阈值范围内，需要消除或减弱信号因反射所引起的各类问题。阻抗不连续是导致信号出现反射的根本原因，因此需要在解决信号反射的问题时找到其根本，解决信号发送端和接收端之间的阻抗不连续。为了解决信号发送端与接收端阻抗的不连续，需要人为加入匹配电阻消除或减弱因为阻抗不连续所导致的信号反射问题。

在进行匹配端接之前，需要考虑在什么情况下对走线做端接处理。这个没有统一的定论，但根据设计要求的不同，有确定的分析方法。分析信号在传输线上传输时，我们不是看信号工作的频率，而是看信号的带宽，看信号的有效频率，即 $\text{Freq_knee} = 0.5/T_r$ 或 $\text{Freq_knee} = 0.3/T_r$ 。对信号的有效频率进行分析时，当信号上升时间 T_r 与信号下降时间 T_f 不一致时，取两者中较小的时间作为计算的标准。一般当传输线走线的长度 $L \geq T_r/(2 \times T_{pr})$ 时，认为需要考虑对传输线进行端接，其中 T_r 为信号的上升或下降时间， T_{pr} 为信号在 PCB 板材中的

传播速度。例如，对于 FR4 板材来说，信号在其上传输的速度是 150ps/in，一个信号的上升时间是 1ns，如果 PCB 走线的长度超过 3.3in，就需要考虑对传输线的走线进行合理的端接。

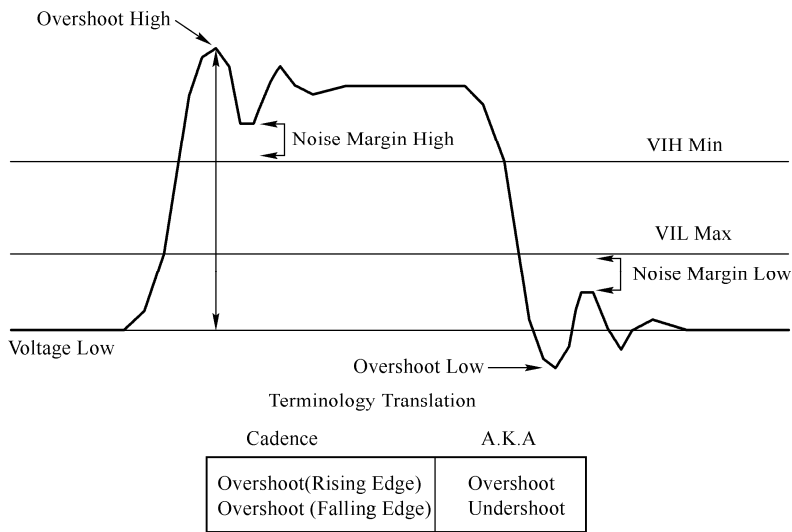


图 3-23 信号 Overshoot、Undershoot 与信号逻辑阈值范围图示

在传输线上进行阻抗匹配主要有以下两种策略。

① 串联终端匹配：串联终端匹配是指在信号发送端添加额外的电阻，使源端阻抗与传输线的阻抗相匹配，即 $Z_{out}+R_t=Z_0$ 。

② 并联终端匹配：并联终端匹配是使负载端的阻抗与传输线的特性阻抗匹配。

在电路设计中，需要根据实际的情况，选择合适的匹配方式，但一般很少会同时采用串联终端匹配和并联终端匹配，即使源端、传输线、负载的阻抗都匹配，因为如果这样，接收端就无法靠电压的反射得到足够的电压幅值了。

根据电路结构的不同，匹配的具体方式可以分为：①串联匹配；②末端并联下拉电阻匹配；③末端并联上拉电阻匹配；④戴维南匹配；⑤AC 匹配等，其结构如图 3-24 所示。

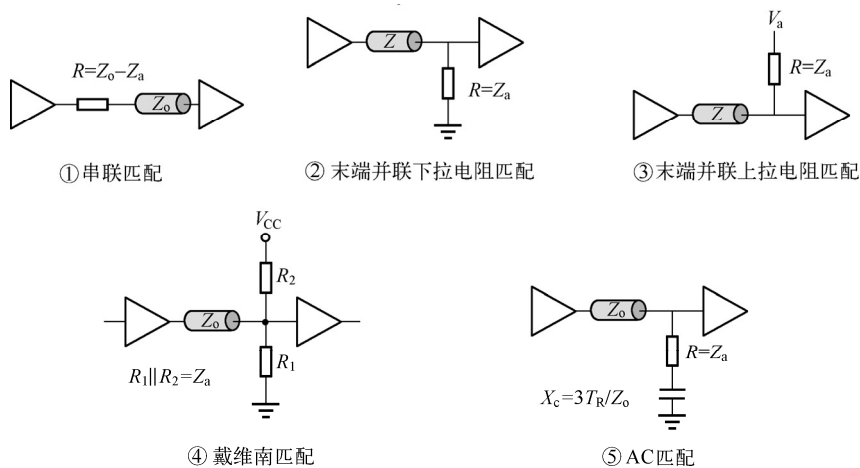


图 3-24 各类端接方法的结构

串联终端匹配：一般当传输线上仅有一个负载时，该终端匹配可以被采用，它只需要一个电阻 R 靠近源端放置，这样 Z_{out} （源端阻抗）+ R_t （匹配电阻）= Z_0 （特性阻抗）；当有多个负载时，串行电阻的位置需要通过仿真结果进行综合考虑。在该匹配方式中，加载到传输线上的信号仅是信号满幅值时的一半，它需要靠信号在接收端的反射来达到对幅值的要求。串联终端匹配不增加额外的功耗，实现代价低，普遍应用于源端阻抗匹配，当使用驱动容性负载时，可以对驱动元件提供限流作用，有利于改善因大负载电流问题引起的 PI 问题；由于加入串联匹配电阻，增加了 RC 时间常数（传输线相当于容性），减缓了负载端信号的上升时间，因而不适用于很高速度信号的传输。

并联终端匹配是需要通过一个上拉到 V_{CC} 或下拉到 GND 的电阻进行匹配处理的方式，进行匹配的电阻 R_t 的阻抗值等于传输线的特性阻抗 Z_0 ，此类匹配方式也是只需要一个电阻即可。终端匹配引入直流偏移，会额外增加功耗，在进行上拉处理时，需要上拉电源具有较好的稳定性，既有吸收电流的能力也有灌流能力。

戴维南终端匹配也是采用并联端接的方式，不过需要使用 2 个电阻，一个上拉电阻 R_1 ，一个下拉电阻 R_2 ，阻值关系满足： $R_1//R_2=Z_0$ 。戴维南终端匹配使用并联终端匹配的方式，通常用于驱动器驱动能力不足的情况。因为采用上拉电阻，所以在输出低电平时会拉高低电平的输出电平，同理在输出高电平的时候，因为接有下拉电阻，所以会拉低高电平的输出电平。同样的，戴维南终端匹配引入了额外的功耗，因为需要 2 个电阻，所以不适用于大规模并行总线匹配应用。

AC 终端匹配是在负载端将电阻通过一个电容拉到地上去，虽然此类方式可以降低功耗，但也需要 2 个部件，端接电阻 R_t 的阻值与传输线的特性阻抗相等，即 $R_t=Z_0$ ，因为有电容的隔断，所以不会出现戴维南匹配中高电平拉低、低电平拉高的现象。AC 匹配中电容值的选取比较麻烦，需要考虑信号的延时和容值对信号时间间隔的影响。电容的取值可以参考电容的容性阻抗 $X_c = [3 \times T_r] / Z_0 = 1 / [2 \times 3.1415 \times F \times C]$ ，其中 F 是信号的频率， C 是电容的容值， T_r 是信号的上升时间（单位为 ns）， Z_0 是传输线的特性阻抗。

3.5 信号的串扰

串扰是指当信号在传输线上传播时，因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰。这种干扰是由于两条信号线之间的耦合，即信号线之间的互感和互容耦合引起的，容性耦合引发耦合电流，而感性耦合则引发耦合电压。容性耦合是由于干扰源上的电压变化在被干扰对象上引起感应电流从而导致的电磁干扰，而感性耦合则是由于干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压从而导致的电磁干扰。因此，信号在通过一导体时会在相邻的导体上引起两类不同的噪声信号：容性耦合信号和感性耦合信号，统称为串扰。

在理解串扰之前，首先要了解高频信号的回流情况。这是分析串扰等一系列信号完整性问题的一个重要基础。高频下和低频下回流会对电路的信号产生两种完全不同的影响。那么在低频和低频下电流回路有什么不同呢？从图 3-25 中可以看出，在低频情况下，电流沿着电阻最小的路径流回，而在高频情况下，电流沿着电感最小的回路流回，这也是阻抗最小的路径，表现为回路电流集中分布在信号走线的正下方。高频情况下，当一根信号走线直接在接地层上布置时，即使存在更短的回路，回路电流也要沿着信号路径下方的参考平面层流回信号源，这条路径必须具有回流电流所能通过的最小阻抗，即电感最小和电容最大 ($Z=\sqrt{\frac{L}{C}}$)。这

种靠大电容耦合抑制电场，靠小电感耦合抑制磁场来维持低电抗的方法称为自屏蔽。每个回流信号将产生一个磁场，如果同时有很多传输线在传输，那么它们产生的回流区域将叠加，从而产生区域性的磁场，这些磁场将对其场强范围内的传输线产生感应电压，这样就会对这些传输线的信号产生噪声影响，造成传输信号的失真。参考平面的感应电压引起的串扰大小和回流区域迭加的数量成正比关系，具体来说，其大小和信号线之间的距离 D ，地平面的高度 H 及系数 K 有关，
$$\text{Crosstalk} = \frac{K}{1 + (D/H)^2}$$
，如图 3-26 所示。式中， K 与信号的上升时间及相互干扰的信号线的长度有关。因此，从这个角度来说，尽量减少这些回流区域的叠加，从而减少传输线之间的互感，对于抑制串扰来说是一个很好的想法。

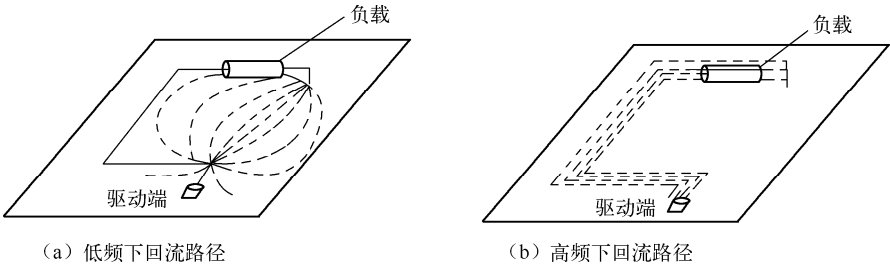


图 3-25 高、低频下的信号回流路径

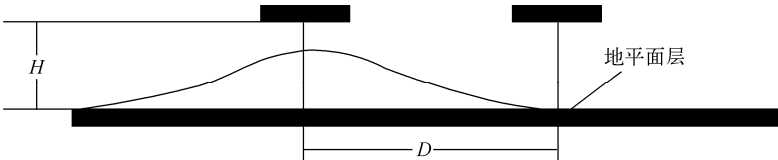


图 3-26 参考平面上的串扰

当高速信号在 PCB 上进行信号传输时，实际上是通过随时间交替变化的电场和磁场向前传播的，电磁场不仅分布在传输线内，还有一部分会存在于导体之外，这样，这部分能量就会通过邻近寄生的参数耦合到相邻的网络，从而对相邻网络造成影响。串扰根据其耦合的机理不同，可以分为容性耦合和感性耦合，相邻传输线的电容与电感耦合模型如图 3-27 所示。

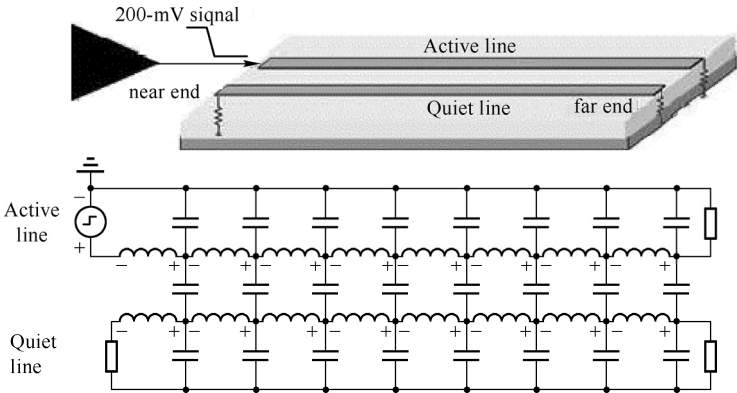


图 3-27 相邻传输线的电容与电感耦合模型

两根相邻的传输线，如果靠得很近，当一根线上有电压的变化时，会产生电场对另一根线耦合出电流的变化。电场对邻近传输线的影响可以透过寄生电容来解释，如图 3-28 所示。

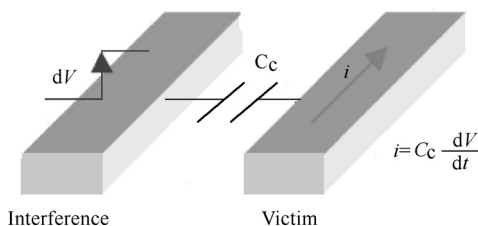


图 3-28 电场通过容性耦合对邻近传输线的影响

两个相邻的传输线网路，如果靠得很近，当一根传输线上有电流变化时，会在这根传输线上产生磁场并对另一根传输线耦合出电场信号变化，其作用过程如图 3-29 所示。

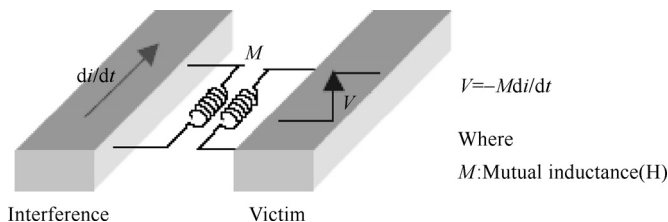


图 3-29 磁场通过感性耦合对邻近传输线的耦合影响

串扰在信号的传输中是普遍存在的，在电路设计中，不可能消除串扰，只能尽可能地将它减小。为解决串扰问题，可以从几个方面进行综合考虑：①增加走线间距是解决信号串扰问题非常有效的方法，增大了耦合的距离，减弱了耦合的强度，耦合到相邻信号线上的能量会减少，如图 3-30 所示；②尽量缩短信号线平行走线的耦合长度；③尽可能增大信号的上升时间或下降时间，降低信号的有效带宽，减小高频信号所带来的影响，从而降低串扰的强度；④合理采用端接匹配技术，减弱、消耗直至消除信号的反射，从而减弱信号的串扰强度；⑤相邻信号层走线时，走线相互交叉；⑥使信号线有一个良好的返回路径，降低返回路径的感抗，从而降低信号的波动，减弱信号对外的干扰强度。

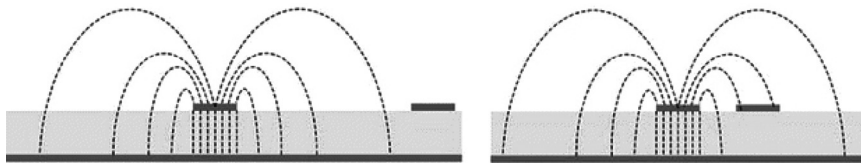


图 3-30 增加走线间距，减弱耦合强度图示

3.6 信号完整性分析中的时序设计

在电路中，传输需要通过数据的采样来完成，数据的采样依赖于某特定的时钟，即数据信号与其对应的时钟信号应保持某种同步关系^[20]，这就是对信号时序的要求。在高速电路设计中，信号的边沿往往是信号频谱最高，最容易受干扰的地方，因此在采样时钟对数据信号进行采样时，应尽可能远离信号变化的边沿。如图 3-31 所示是时钟 CLK 采样数据 DATA 的示

意图，数据 DATA 发生变化后，需要等待至少 T_{su} 的建立时间才能被采样，采样之后，相对于采样点，数据需要保持至少 T_H 时间。如果数据的建立时间和保持时间满足不了，就无法实现对数据的有效接收。从分析中可以看出，我们对信号时序设计的目的就是为了满足数据采样的需求，有足够的信号采样的建立时间和保持时间。为了使信号具有较好的时序设计余量，需要尽可能去加大信号采样所需要的信号建立时间和保持时间。

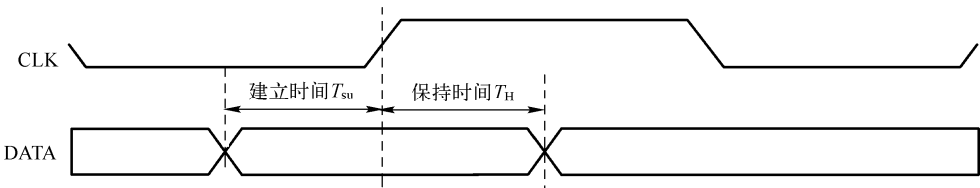


图 3-31 时钟 CLK 采样数据 DATA 的示意图

高速电路设计中所涉及的时序系统主要分为两类：源同步系统和共同时钟系统。源同步系统是指同步时钟由发送数据或接收数据的芯片提供，如图 3-32 所示；共同时钟系统的同步时钟既不是数据发送芯片也不是数据接收芯片提供的，而是由另外的时钟芯片提供的，如图 3-33 所示。因为共同时钟系统对系统运行最高频率的时钟有限制，所以随着数据速率的提升，源同步时钟系统得到了广泛的应用，本节仅针对源同步时钟系统进行论述。

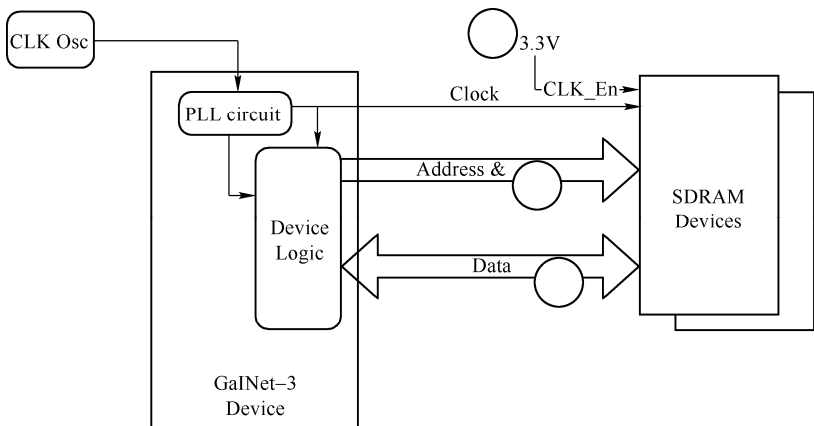


图 3-32 源同步系统示例

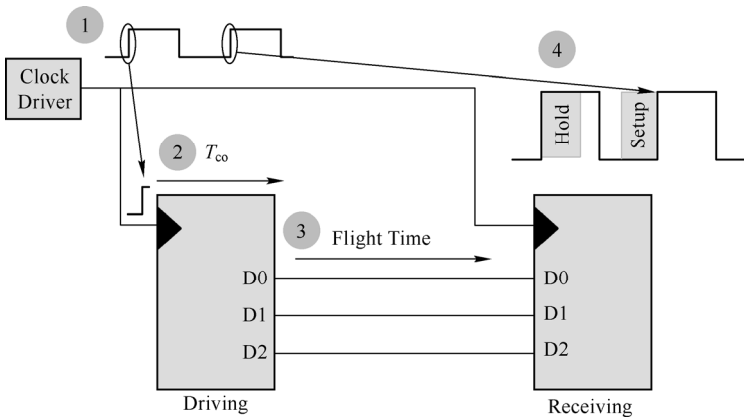


图 3-33 共同时钟系统示例

为了对时序设计有一个清晰的认识, 需要对信号完整性中很多抽象的与时序分析相关的名词的具体含义有一个清晰的认识。将这些时序参数与器件手册、电路原理中的时序要求一一对应, 求解出时序的最大可用空间。

时序设计中常用到的一些概念及参数如下。

F/T_{cycle} : 时钟频率/时钟周期, $T_{\text{cycle}}=1/F$, 该参数决定了时钟运行的频率, 与器件的工作性能相关。

$V_{\text{il}}/V_{\text{ih}}$: 输入缓冲器的输入低电平和高电平值, 是低、高逻辑电平的判断阈值。

T_{co} 与 Buffer Dealy (缓冲延时): T_{co} 是指时钟触发开始到有效数据输出的器件内部所有延时的总和; 而缓冲延时是指信号经过缓冲器达到有效的电压输出所需要的时间。可以看出, T_{co} 除了包含缓冲延时外, 还包括逻辑延时。通常, 确定 T_{co} 的方法是在缓冲输出的末端直接相连一个测量负载, 最常见的是 50Ω 的电阻或 30pF 的电容, 然后测量负载上的信号电压达到一定电平的时间, 这个电平称为测量电压 (V_{meas}), 一般是信号高电平的一半。 T_{co} 和缓冲延时的确定如图 3-34 所示。

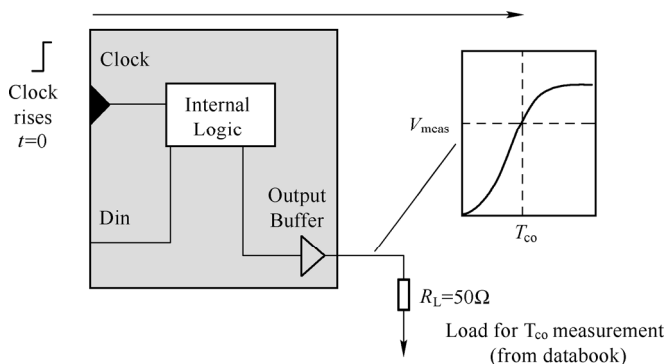


图 3-34 T_{co} 和缓冲延时的确定

T_{jitter} : 即同步时钟相位的抖动。所谓抖动, 就是指两个时钟周期之间存在的差值, 这个误差是在时钟发生器内部产生的, 和晶振或 PLL 内部电路有关, 布线对其没有影响。

T_{skew} : 同步时钟相位的偏移。时钟偏移 (skew) 是指两个相同的系统时钟之间的偏移。它的表现形式是多种多样的, 既包含了时钟驱动器多个输出之间的偏移, 也包含了由于 PCB 走线误差造成的接收端和驱动端时钟信号之间的偏移。

V_{meas} : 输出缓冲器的测量电压。

$T_{\text{su}}(\text{min})$: 接收端对输入信号建立时间的要求, 该参数可以在器件的 Datasheet 中查到。

$T_{\text{H}}(\text{min})$: 接收端对输入信号保持时间的要求, 该参数可以在器件的 Datasheet 中查到。

$T_{\text{su}}(\text{margin})$: 输入信号的建立时间裕量, 为实现接收端对输入信号的可靠采样, 要求 $T_{\text{su}}(\text{margin})=T_{\text{su}}-T_{\text{su}}(\text{min})>0$ 。

$T_{\text{H}}(\text{margin})$: 输入信号的保持时间裕量, 为实现接收端对输入信号的可靠采样, 要求 $T_{\text{H}}(\text{margin})=T_{\text{H}}-T_{\text{H}}(\text{min})>0$ 。

Propagation Delay: 信号在传输线上的传播延时, 它只与信号的传播速度和线长有关。

Flight Time: 包含最大飞行时间 (Max Flight Time) 和最小飞行时间 (Min Flight Time)。飞行时间包含了传播延迟和信号上升沿、下降沿变换的因素。在实际的时序分析时关注的往往是 Flight Time 而非 Propagation Delay。在 Cadence Allegro 中, 最大飞行时间 (Max Flight

Time) 又称为最终稳定延时 (Final Settle Delay), 最小飞行时间 (Min Flight Time) 又称为最早开延时 (First Switch Delay)。

对于 Voltage High/Low、Vmeans Buffer measurement Threshold、Propagation Delay、First Switch Delay、Final Settle Delay 在信号波形上彼此之间的逻辑关系, 对信号的上升沿来说如图 3-35 所示, 对信号的下降沿来说如图 3-36 所示。

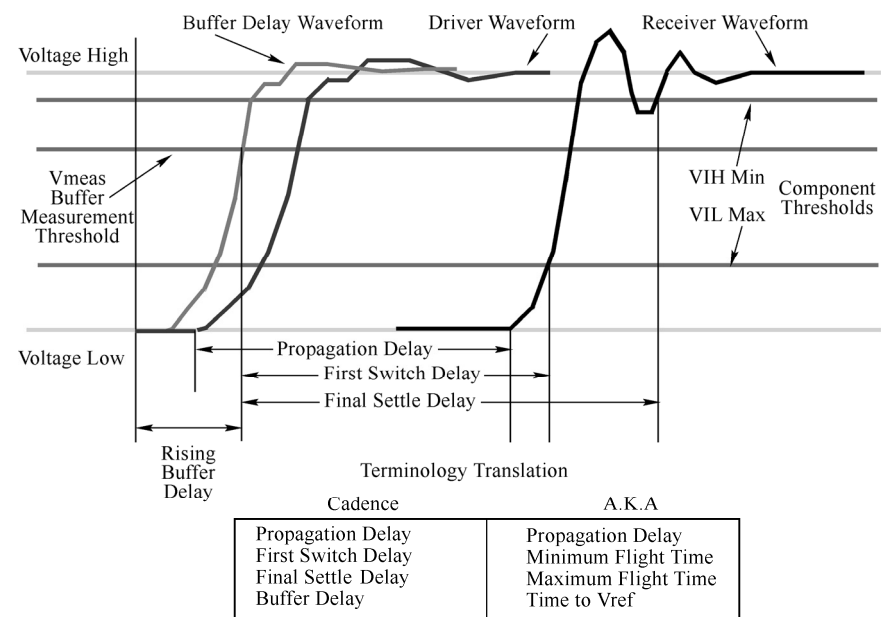


图 3-35 信号上升沿时各参数的关系

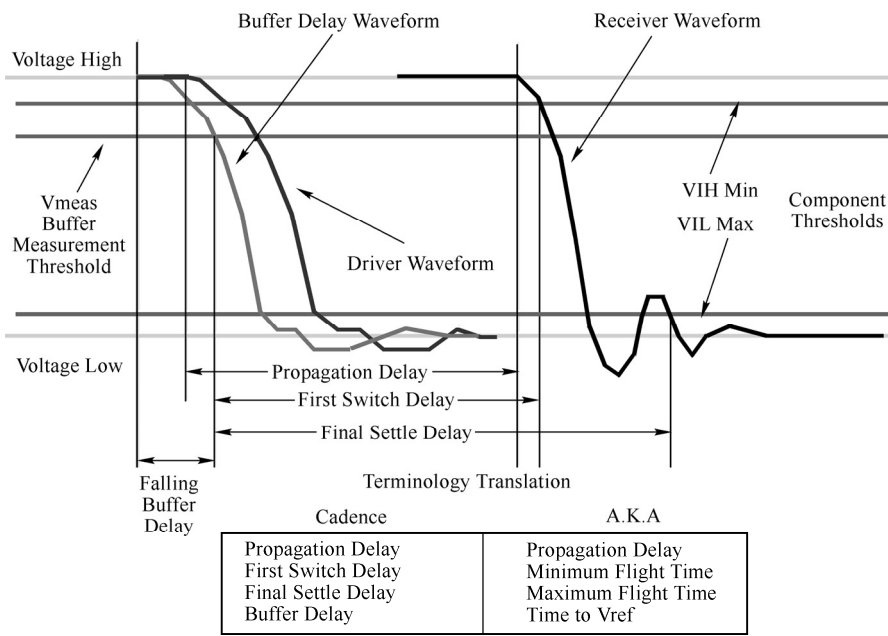


图 3-36 信号下降沿时各参数的关系

在轻负载情况下 (如单负载), 驱动端的上升沿几乎和接收端信号的上升沿平行, 这时飞

行时间 (Flight Time) 和传播延迟 (Propagation Delay) 相差不大; 但是如果在重负载 (多负载) 情况下, 接收端的上升沿明显变换, 这时飞行时间 (Flight Time) 明显大于信号的传播延迟。在进行时序分析时, 要时刻关注信号完整性对时序的影响, 例如, 串扰会影响微带线传播延迟; 反射会造成数据信号在逻辑门限附近波动, 从而影响最大/最小飞行时间; 时钟走线的干扰会造成一定的时钟偏移。

因普通时钟系统存在限制时钟频率的弊端, 所以为提高总线的通信速率, 源同步时序系统得到了广泛应用。像目前应用广泛的 SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM 和 DDR4 SDRAM 都采用了源同步的工作原理。

一个基本的源同步时钟系统的结构示意图如图 3-37 所示。驱动芯片在发送数据信号的同时也产生了选通信号 (Strobe), 而对于接收端的触发器, 由该选通信号脉冲控制数据的读取, 因此, 这个选通信号也可以称为源同步时钟信号。

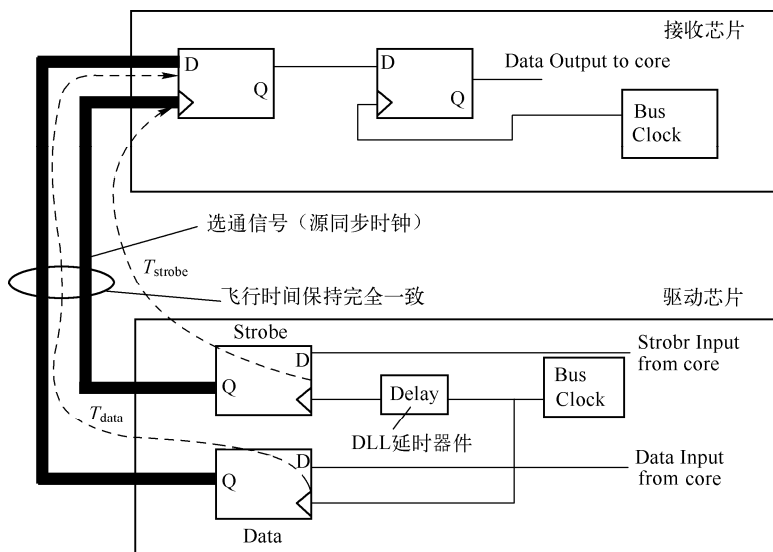


图 3-37 源同步时钟系统的结构示意图

在源同步时钟系统中, 数据和源同步时钟信号是同步传输的, 在设计中保证这两个信号的飞行时间完全一致, 这样只要在发送端的时序是正确的, 则在接收端也能得到完全正确的时序。整个系统在时序上的稳定性完全体现在数据和选通信号的匹配程度上, 包括传输延迟的匹配和器件性能的匹配等, 只要两者条件完全相同就可以保证系统的时序绝对正确, 而对系统的最高时钟频率没有任何限制。当然, 对于任何数据的接收来说, 一定的建立和保持时间都是必须满足的, 源同步时钟系统也同样如此, 主要体现在数据信号和选通信号之间的时序要求上, 理想的情况是选通信号能在数据信号的中央部分读取。在进行 DDR 类存储的电路设计时所进行的 PCB 蛇形走线, 都是为了满足采样时钟 (Clock 时钟或 DQS 选通信号) 和数据信号 (Address 地址信号、Control 控制信号、Command 命令信号、DQ 数据信号) 之间对时序的控制要求。

在 DDR* SDRAM 时序的仿真分析中, 需要了解逻辑电平 DC 特性和 AC 特性; 设计一个 DDR* 接口, 需要满足规范中的 DC、AC 特征及信号时序特征要求。DC 是指信号电平的直流逻辑特性 (静态逻辑特性), AC 是指信号电平的交流逻辑特性 (动态逻辑特性)。DC 特性在 Datasheet 的数据表格中有明确的说明, 如图 3-38 所示是 DDR2-k4t51xx3qj 的 DC 特性;

AC 特性是信号在高速翻转状态下所表现出的动态变化特性，如图 3-39 所示是 DDR2-k4t51xx3qj 的 AC 特性在 Datasheet 中的定义^[21]。

Input DC Logic Level

Symbol	Parameter	Min.	Max.	Units	NOTE
$V_{IH}(DC)$	DC input logic high	$V_{REF}+0.125$	$V_{DDQ}+0.3$	V	
$V_{IL}(DC)$	DC input logic low	-0.3	$V_{REF}+0.125$	V	

图 3-38 DDR2-k4t5xx3qj 的 DC 特性

Input AC Logic Level

Symbol	Parameter	DDR2-667,DDR2-800		DDR2-1066		Units
		Min.	Max.	Min.	Max.	
$V_{IH}(AC)$	AC input logic high	$V_{REF}+0.200$	$V_{DDQ}+V_{PEAK}$	$V_{REF}+0.200$	-	V
$V_{IL}(AC)$	AC input logic low	$V_{SSQ}-V_{PEAK}$	$V_{REF}-0.200$	-	$V_{REF}-0.200$	V

图 3-39 DDR2-k4t51xx3qj 的 AC 特性

对于 DC 和 AC 特性需要有一个直观的理解，信号的 DC、AC 参数阈值与信号波形的关系如图 3-40 所示^[21]。 $V_{IH(AC)min}$ 是信号第一次翻转为高电平所需要达到的最小电平值，此后，信号只要不低于 $V_{IH(DC)min}$ ，逻辑状态就得以保持。 $V_{IL(AC)max}$ 是信号第一次翻转为低电平时的最大电平值，此后，信号电平值只要不高于 $V_{IL(DC)max}$ ，低电平逻辑状态也得以保持。因此没有 $V_{IH(AC)max}$ 和 $V_{IL(AC)min}$ 这两个参数。AC 参数是计算建立时间和保持时间的参考点。AC 参数表征的是信号首次翻越高、低电平时的门限值，而 DC 参数是信号保持逻辑状态不变时的门限值。

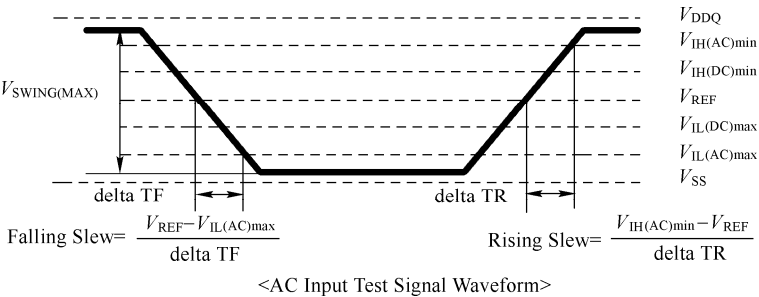


图 3-40 信号的 DC、AC 参数阈值与信号波形的关系

系统的时序涉及众多的参数，为实现对接收端的输入数据进行可靠采样，需要使采样时信号的建立时间和保持时间都满足器件的规格要求。借助于仿真软件对信号的时序进行仿真分析，可以清晰整理各个时序参数，清楚各个参数对信号时序所造成的影响；借助于软件的结果优化设计，可以提升信号的建立时间裕量和保持时间裕量，使系统具有更大的鲁棒特性。

3.7 S 参数模型

S 参数作为描述线性无源互连结构的一种行为模型，来源于网络分析法。S 参数模型不考虑互连结构的具体形式，把互连结构看成一个黑盒子，信号的输入和输出是通过端口来实现的，不关心互连结构内部的情况，仅通过端口处的能量就可以描述互连结构的行为特征。S 参数是基于频域的行为级模型，S 参数在分析高频无源结构中得到了广泛应用。在 PCB 的设计中，应用最为广泛的是 2 端口网络，如图 3-41 所示。

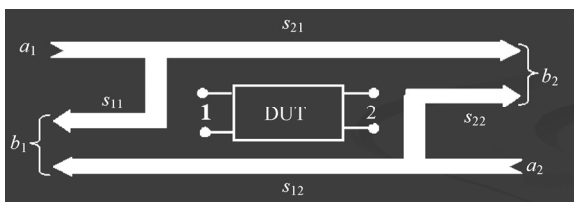


图 3-41 2 端口网络

s_{11} 、 s_{21} 、 s_{12} 、 s_{22} ：表示双端口网络的四个 S 参数，即散射参量。

s_{11} ：端口 2 匹配时，端口 1 的反射系数。

s_{22} ：端口 1 匹配时，端口 2 的反射系数。

s_{12} ：端口 1 匹配时，端口 2 到端口 1 的反向传输系数。

s_{21} ：端口 2 匹配时，端口 1 到端口 2 的正向传输系数。

根据信号的频域特性，任何信号都可以拆解为一系列不同频率下正弦波的叠加。S 参数关注两个方面的信息：由不同频率的正弦波叠加组成的输入信号到达接收端的接口时，接收端接收到的各个分量的幅度与相位的信息；组成信号的各个频点的正弦波被反射后，各个频点分量的幅度与相位信息。S 参数描述的是通道对信号的影响和通道的特性。

随着频率的不断增加，高频频点的正弦波信号传输到接收端的信号能量将逐渐减少，S 参数能够清晰地描述各个频点的正弦波信号通过互连导通后的衰减情况；采用 S 参数不仅可以分析导通对信号的影响，还可以根据需要补偿一些衰减比较严重的频点。

对 2 端口网络进行建模分析，2 端口网络 PORT 的输入与输出阻抗都是 50Ω （与 VNA 特征阻抗是 50Ω 相一致）， a_1 、 b_1 、 a_2 、 b_2 是表征入射波和反射波的参量，输入信号是某一频点的正弦波，2 端口网络建模如图 3-42 所示，根据网络分析法，可以计算出图中 a_1 、 b_1 、 a_2 、 b_2 对应的值。当入射的信号不是正弦波时，可以根据信号的频率特性，将信号分解为一个个不同频点和幅值的正弦信号分别分析。S 参数在频域分析中的应用是求解无源互连结构的一把利器，有了 S 参数的模型就可以与 IBIS 模型一起对整个系统进行 SI 分析。

依据信号流的流动方向， s_{11} 参数和 s_{21} 参数用得最多， s_{11} 又称回波损耗（Return Loss）， s_{21} 又称插入损耗（Insert Loss）或正向传输系数。对于 S 参数的提取，如果是真实的 PCB，可以利用 VNA 提取 PCB 走线的 S 参数，如果是 PCB 设计文件，就可以利用 PCB 设计或仿真工具来提取 PCB 走线的 S 参数。S 参数模型的数据存储格式为 touchstone 格式，如 2 端口网络的后缀是 S2P。S 参数的文件结构如图 3-43 所示。

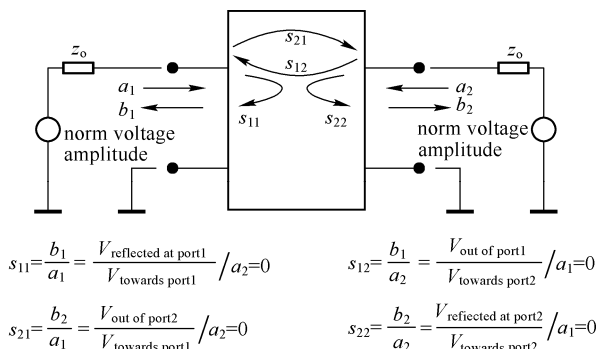


图 3-42 2 端口网络建模并计算端口各值

† Frequency Range : 0.3MHz - 12000MHz [401 STEP]									
# MHz S R I R 50									
† Freq[MHz].	S11 Real	S11 Imag	S21 Real	S21 Imag	S12 Real	S12 Imag	S22 Real	S22 Imag	
0.300000	0.999998407	-0.000174343	0.000001593	0.000174343	0.000001593	0.000174343	0.999998407	-0.000174343	
0.308054	0.999998422	-0.000179026	0.000001578	0.000179026	0.000001578	0.000179026	0.999998422	-0.000179026	
0.316324	0.999998435	-0.000183833	0.000001565	0.000183833	0.000001565	0.000183833	0.999998435	-0.000183833	
0.324815	0.999998449	-0.000188768	0.000001551	0.000188768	0.000001551	0.000188768	0.999998449	-0.000188768	
0.333535	0.999998461	-0.000193836	0.000001539	0.000193836	0.000001539	0.000193836	0.999998461	-0.000193836	
0.342489	0.999998472	-0.000199041	0.000001528	0.000199041	0.000001528	0.000199041	0.999998472	-0.000199041	
0.351684	0.999998484	-0.000204386	0.000001516	0.000204386	0.000001516	0.000204386	0.999998484	-0.000204386	
0.361125	0.999998495	-0.000209872	0.000001505	0.000209872	0.000001505	0.000209872	0.999998495	-0.000209872	
0.370819	0.999998505	-0.000215508	0.000001495	0.000215508	0.000001495	0.000215508	0.999998505	-0.000215508	
0.380774	0.999998515	-0.000221293	0.000001485	0.000221293	0.000001485	0.000221293	0.999998515	-0.000221293	
0.390996	0.999998523	-0.000227235	0.000001477	0.000227235	0.000001477	0.000227235	0.999998523	-0.000227235	
0.401493	0.999998532	-0.000233337	0.000001468	0.000233337	0.000001468	0.000233337	0.999998532	-0.000233337	
0.412271	0.999998540	-0.000239601	0.000001460	0.000239601	0.000001460	0.000239601	0.999998540	-0.000239601	
0.423339	0.999998548	-0.000246033	0.000001452	0.000246033	0.000001452	0.000246033	0.999998548	-0.000246033	
0.434704	0.999998554	-0.000252639	0.000001446	0.000252639	0.000001446	0.000252639	0.999998554	-0.000252639	
0.446374	0.999998561	-0.000259423	0.000001439	0.000259423	0.000001439	0.000259423	0.999998561	-0.000259423	
0.458357	0.999998567	-0.000266387	0.000001433	0.000266387	0.000001433	0.000266387	0.999998567	-0.000266387	
0.470662	0.999998572	-0.000273538	0.000001428	0.000273538	0.000001428	0.000273538	0.999998572	-0.000273538	
0.483297	0.999998577	-0.000280882	0.000001423	0.000280882	0.000001423	0.000280882	0.999998577	-0.000280882	
0.496271	0.999998581	-0.000288423	0.000001419	0.000288423	0.000001419	0.000288423	0.999998581	-0.000288423	
0.509594	0.999998585	-0.000296166	0.000001415	0.000296166	0.000001415	0.000296166	0.999998585	-0.000296166	
0.523274	0.999998588	-0.000304118	0.000001412	0.000304118	0.000001412	0.000304118	0.999998588	-0.000304118	
0.537322	0.999998590	-0.000312282	0.000001410	0.000312282	0.000001410	0.000312282	0.999998590	-0.000312282	
0.551747	0.999998593	-0.000320667	0.000001407	0.000320667	0.000001407	0.000320667	0.999998593	-0.000320667	
0.566559	0.999998594	-0.000329276	0.000001406	0.000329276	0.000001406	0.000329276	0.999998594	-0.000329276	

图 3-43 S 参数的文件结构

对于 S 参数的测量，可以从时域与频域两个角度出发，在时域中测量时，可以使用 TDR 时域反射计，在频域的分析中可以使用 VNA 矢量网络分析仪，如图 3-44 所示^[7]。

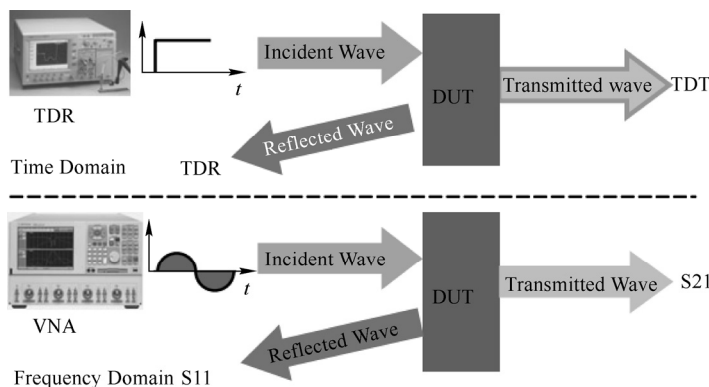


图 3-44 时域与频域 S 参数的测量

从 S 参数的定义可以看出，S 参数可以表述如下^[7]：

$$S = \frac{\text{端口输出的正弦波}}{\text{端口输入的正弦波}}$$

正弦波有两个参数可以反映正弦波的特性，分别是 Mag(幅度)和 Phase(相位)。同样，S 参数也可以反映正弦波的幅度与相位的关系，即

$$\text{Mag}(S) = \frac{\text{输出端口正弦波的幅度}}{\text{输入端口正弦波的幅度}}$$

$$\text{Phase}(S) = \text{Phase}(\text{输出端口正弦波的相位}) - \text{Phase}(\text{输入端口正弦波的相位})$$

这样 Mag(S) 是一个从 0 到 1 的数值，不便于使用。对于 S 参数，常使用 Mag(S) 的 dB 值来对它进行描述，即

$$S_{dB} = 20 \log(\text{Mag}(S))$$

在使用仿真软件进行 S 参数的提取时，S 参数的输出结果可以使用 dB 单位，方便进行各个参量的对比与计算。

3.8 IBIS 模型

IBIS (Input/Output Buffer Information Specification) 是用来描述 IC 器件的输入、输出和 I/O Buffer 行为特性的文件, 是一个行为模型, 是由器件内部的电气参数值构成的数据列表, 通过这个数据列表, 可以反映器件开关速度和驱动能力等特性, 并且可以用来模拟 Buffer 和板上电路系统的相互作用。在 IBIS 模型里, 核心的内容就是 Buffer 模型, 因为这些 Buffer 能够产生一些模拟的波形, 从而使得仿真器可以利用这些波形仿真传输线的影响和一些高速现象 (如串扰、EMI 等)。具体而言, IBIS 描述了一个 Buffer 的输入和输出阻抗 (通过 I/V 曲线的形式)、上升和下降时间, 以及不同情况下的上拉和下拉, 因此工程人员可以利用这个模型对 PCB 上的电路系统进行 SI、串扰、EMC 及时序的分析。

IBIS 模型的电路结构如图 3-45 所示。从 IBIS 的电路模型中可以看出, 该模型包含: ① 芯片封装的寄生参数 (RLC 封装寄生参数); ② I/O 电路的电容 (C_{comp} , I/O 电路中总的寄生电容, 不包括封装部分的寄生电容); ③ 四个 I/I 曲线 (Pullup & POWER clamp、上拉和电源钳位 V/I 曲线、Pulldown & GND clamp 和下拉和地钳位 V/I 曲线); ④ 两个转化时间曲线 (Ramp up, 即 dV/dt_{rise} , 信号上升特性的 dV/dt 曲线; Ramp down, 即 dV/dt_{fall} , 信号下降特性的 dV/dt 曲线)。

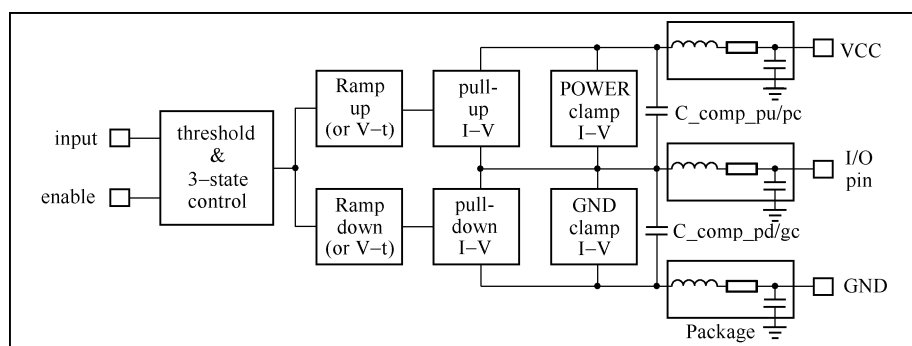


图 3-45 IBIS 模型的电路结构

在进行板级数字通信的模拟时, 需要知道在“0”和“1”逻辑状态之间变化时, 所需要的驱动电流强度, 以及逻辑状态转换时所需要的时间, 也就是驱动器驱动强度的电压和电流的关系, 以及驱动速度的电压和时间的变化关系。从 IBIS 的结构中可以看出, 该模型能够很好地提供进行板级模拟所需要的数据参数。

一般情况, IBIS 模型包含以下一些信息, IBIS 模型的文件结构如图 3-46 所示。在图的右半部分内容有[...]的是 IBIS 模型中的关键词; 没有方括号的条目则代表子参数的标题。字符“Y”表明在 IBIS 模型中是必选项; 而“N”则表明该内容在 IBIS 模型中为任选项。

(1) 关于文件本身和器件名字的信息。这些信息用以下关键词描述: [IBIS Ver] IBIS 的版本号; [File Name]文件的名称; [File Rev]文件的版本号; [Component]器件的名称; [Manufacturer]器件的制造商。

(2) 关于器件的封装电气特性和引脚与 Buffer 模型的映射关系。这些信息可以使用关键词[Package]和[Pin]描述。

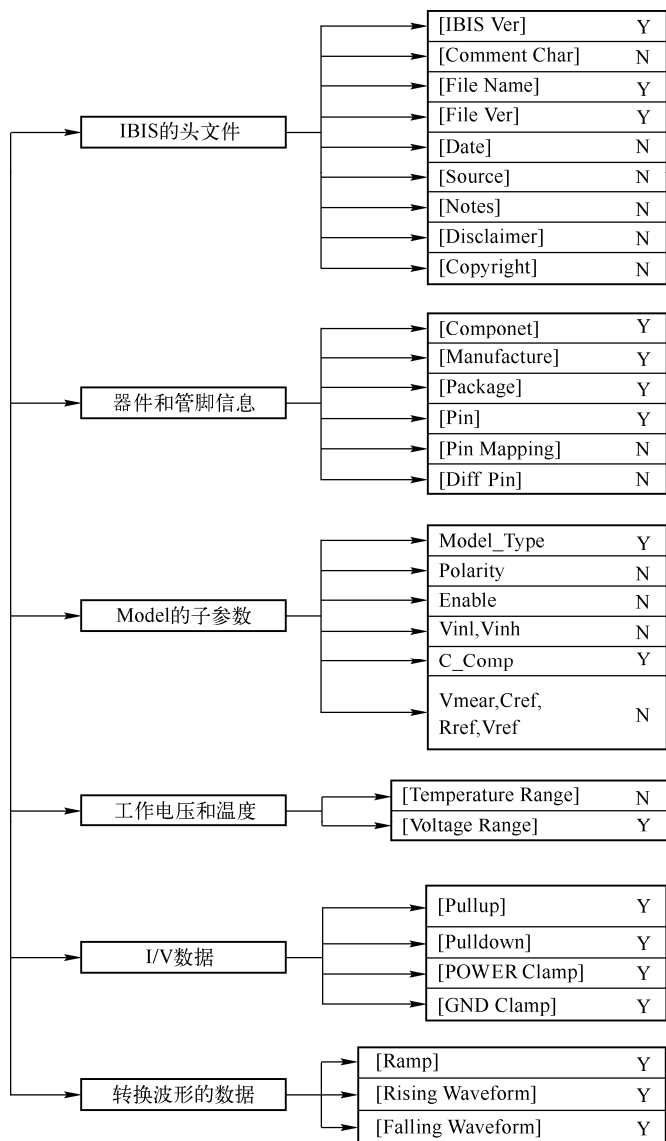


图 3-46 IBIS 模型的文件结构

(3) 关于表述器件引脚的 Buffer 所需要的相关数据信息。关键词[Model]用来表示每个 Buffer 的数据，具体的内容有：Model_type(Buffer 的类型)、Vinh、Vinl 及 C_comp (IC 芯片的电容)。在前面的内容中提到了 Buffer 的特性描述，在 IBIS 模型中需要使用以下一些关键词描述：[Pullup]、[Pulldown]、[GND Clamp]、[POWER Clamp]和[Ramp]。当然，对于不同的 Buffer 可能不需要使用上面全部的关键词来描述，如 OC 和漏极开路电路就不需要[Pullup]关键词的数据信息。

IBIS-AMI (Algorithmic Modeling Interface, 算法模型接口) 是在 IBIS 规范 5.0 以后为解决高速串行仿真问题引入的概念。由于高速信号的速率不断提升，幅度不断减小，当信号速率高于 1GHz 时，信号衰减比较大，为能在接收端得到一个“睁开”的眼图，需要将高速串行信号在发送端做预加重处理，对于大于 5GHz 的信号还需要在接收端做均衡处理。传统的 IBIS 模型无法模拟信号的预加重与均衡处理，由此 IBIS-AMI 模型应运而生。IBIS-AMI 模型利用

传统 IBIS 模型的 V/I 、 V/t 等参数，再通过 AMI 对预加重、均衡和时钟恢复等信号进行运算，从而在接收端得到一个“睁开”的眼图。在 ANSYS、ADS 和 Allegro Sigrity 等软件中都对基于 IBIS-AMI 的串行通道仿真分析做了很好的支持。

3.9 本章小结

本章对信号完整性的分析方法进行了论述，从信号的时域与频域的本质出发，引出信号的时域与频域的分析方法；从传输线理论入手，阐述了影响信号完整性的信号反射及其端接处理方法，阐述了信号串扰对信号完整性的影响；对信号完整性中的时序分析进行了论述；对信号完整性分析中的 S 参数模型、IBIS 参数模型的概念及在信号完整性分析中的应用方法做了论述。

电源完整性（PI）分析方法

4.1 PI 分析概述

电源完整性研究的是电源分配网络（Power Distribution Network, PDN），包含电源的源头、供电模块 VRM、PCB 上的储能电容和去耦电容、PCB 上的电源和地平面、芯片封装内的电源和地网络、Die 上的电容，如图 4-1 所示。在进行供电时，电源经过的路径依次是供电电源→VRM 供电模块→储能电容→平面电容→芯片封装内的电源和地网络→Die 电容，也就是芯片封装内的电源和地网络给 Die 电容供电，PCB 上的电源和地平面给芯片内封装的电源和地网络供电，PCB 上的储能电容给去耦电容供电，VRM 储能模块给储能电容供电。“远水解不了近渴”很好地阐述了电源的这个供电顺序，如图 4-2 所示是水运输与电传输的等效关系。水的逐级传递过程为：山泉水进入水厂→封装好的大桶水→水杯中的水→进入口中的水。水的逐级传递过程与门电路所需电源的逐级传递过程是类似的，都需要逐级传递。

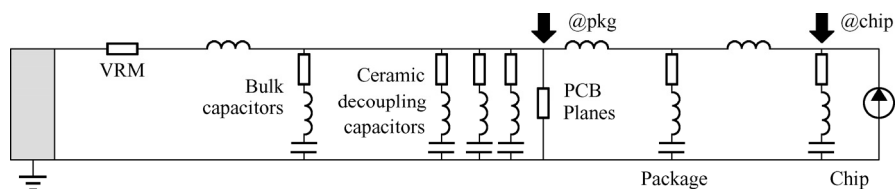


图 4-1 电源分配网络

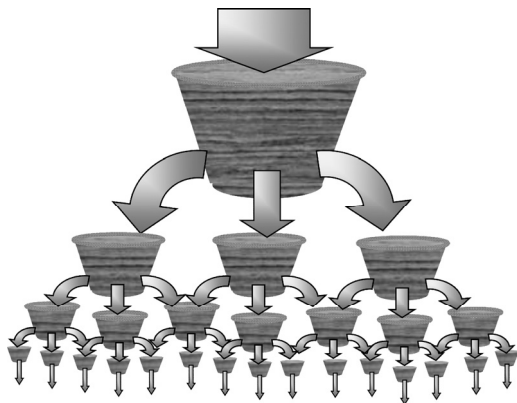


图 4-2 水运输与电传输的等效关系

在电源系统中，噪声是影响电源完整性的一个主要性问题，明确了电源噪声的来源，就能在设计中尽可能地去避免或在出现问题时有解决问题的思路。电源噪声的主要来源有 VRM 供电模块输出的噪声、走线的直流电阻与寄生电感、PCB 上 Core/IO 逻辑状态跳变产生的噪

声、电源与地平面谐振引入的噪声、邻近电源网络耦合的噪声和其他部件耦合的噪声等。电源完整性的设计就是分析系统 PDN，并从系统供电网络综合考虑，消除或减弱噪声对电源的影响。

VRM 供电模块输出的噪声：电源输出模块，如 LDO 和 DC/DC 等，在输出电压时，都会有一定的输出纹波，在器件的 Datasheet 中有明确的规格参数，对这一类噪声，一旦 IC 供电芯片确定了，这部分噪声也就确定了。LDO、DC/DC 之类的稳压芯片都是通过感知输出的电压与电流对输出做调整的，这些器件根据输入负载的要求对自身做出调整都需要一定的时间（一般是微秒数量级），这样当负载电流的变化在 DC 到几百 kHz 内时，VRM 供电模可以做出很好的响应，但是如果负载瞬态电流的变化速率要求更高些，VRM 供电 IC 就无法对负载的需求做出实时的响应，这样就会出现输出电压的跌落，从而引入噪声，对于高于供电 IC 实时响应的瞬态负载电流，需要添加额外的去耦电容来满足这一需求。

走线的直流电阻与寄生电感：供电的走线会存在直流电阻，在长距离走线时会产生部分直流压降，即 IR Drop；无论是走线、引脚、过孔，还是去耦电容的寄生电感，都会使高频处的阻抗增加，使电压出现波动 ($V=L \times \Delta I / \Delta t$)。

PCB 上 Core/IO 逻辑状态跳变产生的噪声：这部分噪声是由于 SSO（同步开关输出）所引起的同步开关噪声（Simultaneously Switching Noise, SSN）（也被称为 Δi 噪声）。大量的芯片引脚在进行逻辑状态的切换时，会有一个大的瞬态电流流过回路，造成地平面的波动，会造成芯片的地和系统地不一致，称为地弹（Ground Bounce）；造成芯片和系统的电源有差压，称为电源反弹（Power Bounce）。

电源与地平面谐振引入的噪声：平面谐振是能量被夹在两个平行板之间，因原始信号与其反射信号同相而形成的共振腔效应。电源/地平面可以看成由许多电感和电容构成的平面网络，平面层之间可以看成是一个谐振腔体，在谐振点附近的 Δi 噪声会进一步增强谐振腔的谐振，此噪声会影响信号完整性，噪声会耦合到信号线上，使信号出现反射和串扰等，进一步出现 EMI 问题。电源阻抗会随着电源平面各个部件的谐振和反谐振在极大值和极小值之间上下波动，串联谐振造成阻抗的极小值，并联谐振造成阻抗的极大值，因平面阻抗的复杂性，所以平面在不同区域和不同频率下会出现不同的谐振特性。由于谐振会引起电源平面阻抗的变化，也会引起噪声电流的变化，所以在进行 PCB 的叠层设计时，需要尽可能地清除平面上的谐振点，清除不了的要根据谐振点的位置合理布置去耦电容来降低平面的谐振特性，降低电源与地平面的阻抗。对于谐振平面和谐振点的分析，目前采用的基于仿真软件的 S 参数特性阻抗分析是唯一可行的方案。

邻近电源网络耦合的噪声：邻近电源网络的噪声主要是通过容性耦合和感性耦合的方式跑到相邻平面上去的。因为邻近电源网络耦合噪声的原因，所以在进行 PCB 叠层设计时，应尽可能地使电源平面不相邻，如果必须要相邻时，要尽可能地加大电源平面之间的垂直距离。

其他部件耦合的噪声：因邻近走线或平面附近布置的器件通过辐射、传导引入的噪声。

进行电源完整性设计，分析噪声、去除噪声，为各个 IC 的工作提供稳定的电压，实时响应 IC 对电流的需求，合理使用去耦电容、合理设计 PCB 的叠层结构是目前进行电源完整性设计的一般步骤。

为正确使用去耦电容，需要正确理解电容的实际特性。一个真实的电容包含一些重要的寄生参数，如串联电感（ESL）和串接电阻（ESR）等，如图 4-3 所示是电容的简化模型。

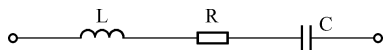


图 4-3 电容的简化模型

ESR 为等效串联电阻, ESL 为等效串联电感, C 为理想电容, 则电容的阻抗可以表示为

$$Z = \text{ESR} + j2\pi f \text{ESL} + \frac{1}{j2\pi f C} = \text{ESR} + j\left(2\pi f \text{ESL} - \frac{1}{2\pi f C}\right)$$

式中, 当虚部为 0 时, 电容的阻抗最小, 当虚部为 0 时, $2\pi f \text{ESL} - \frac{1}{2\pi f C} = 0$, 可以计算出

此时的频率 $f = \frac{1}{2\pi\sqrt{\text{ESL} * C}}$, 此频率称为电容的谐振频率, 此时容抗与感抗相互抵消, 电容所呈现出的阻抗值最低。

如图 4-4 所示是一个 0603 封装, 0.1 μF X7R 电容的阻抗特性, 其参数 Z (Impedance) = 0.3 Ω , ESR=0.04 Ω , ESL=0.5nH, 谐振频率=22.508MHz。从图中可以看出, 随着频率的升高, ESR 呈现出先逐渐降低, 再缓慢上升的趋势, 在一定的频段范围内, ESR 变化的幅度较缓和, 从起始频率开始到达谐振频点之前, 电容的阻抗特性以容性阻抗为主, 总的阻抗值会呈现下降的趋势, 当频率过谐振频点后, 总的阻抗值会随着频率升高而升高, 电容的阻抗特性呈现感性阻抗特性。电容的阻抗随频率变化的特性可以归纳如下: 随着频率的升高, 首先是电容分量起主导作用, 使阻抗逐渐降低, 器件表现为电容的阻抗特性, 滤波效果渐强; 当达到某一频点时发生谐振, 此时电容分量的容抗和 ESL 分量的感抗正好抵消, 在谐振频点上, 电容器件总的阻抗最小, 等于 ESR 分量; 随着频率的升高, ESL 的感抗分量逐渐起主导作用, 使阻抗逐渐增大, 器件表现为电感的感抗特性, 滤波效果渐弱。在进行电容去耦的设计中, 要合理选择合适的电容, 滤波电容的作用机制是为噪声提供一条低阻抗的回路, 在噪声频点上要求电容的总阻抗最小, 即当噪声频点在谐振点附近时, 滤波效果最好。因此, 在进行电源完整性分析, 合理使用去耦电容时, 要先确定噪声频点, 然后根据噪声频点选择去耦的电容。从电容的特性曲线可以看出, 单个电容只可以在某个频点附近很小的一个频带内提供一个低阻抗的回路, 因此需要根据噪声的种类及频段合理选择合适的去耦电容。

Impedance & ESR vs Frequency Plot

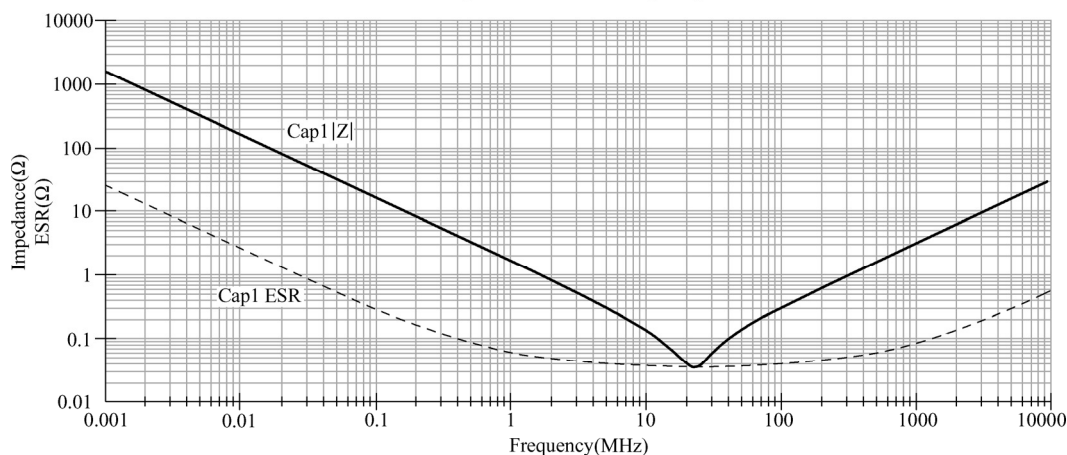


图 4-4 电容的阻抗特性

为了在电源完整性分析中合理利用去耦电容处理电源的噪声, 需要采用相同容值、相同封装的电容组合, 相同容值不同封装的电容组合、不同容值不同封装的电容组合、相同封装不同容值的电容组合。

1. 相同容值相同封装的电容组合

其频率阻抗特性曲线如图 4-5 所示, 电容 1 采用 0402, X7R10nF, Impedance $|Z|$ = 0.109 Ω , 等效串联电阻 ESR=0.06 Ω , 等效串联电感=0.4nH; 电容 2 采用 0402, X7R10nF, Impedance $|Z|$ =0.109 Ω , 等效串联电阻 ESR=0.06 Ω , 等效串联电感=0.4nH。

图上面是采用电容 1 时的频率阻抗特性曲线, 下面是采用电容 1 和电容 2 时的频率阻抗特性曲线, 可以看出当采用相同容值相同封装的电容进行并联时, 并未展宽低阻抗频带, 只是在谐振频点处的特性阻抗值小了。

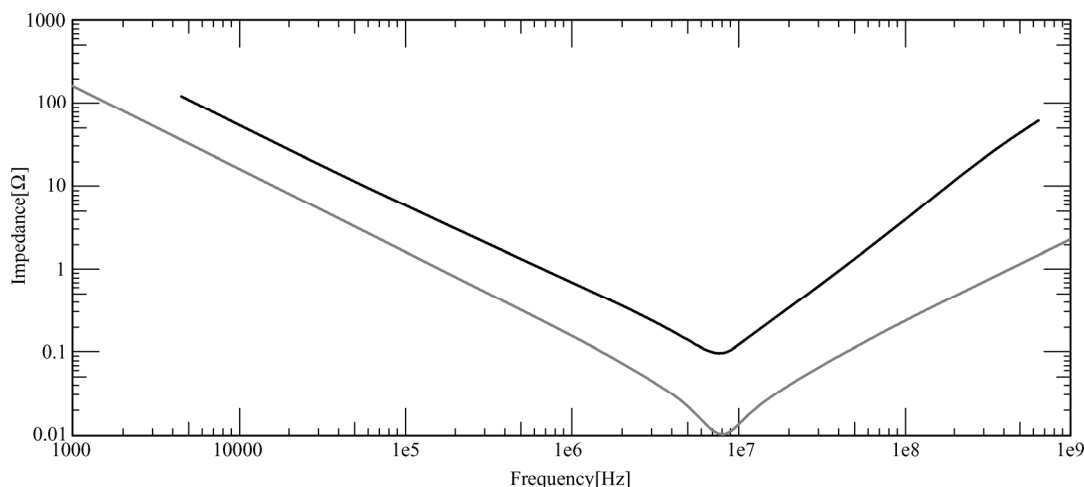


图 4-5 相同容值相同封装的电容并联频率阻抗特性

2. 相同容值不同封装的电容组合

其频率阻抗特性曲线如图 4-6 所示, 电容 1 采用 0402, X7R10nF, Impedance $|Z|$ = 0.109 Ω , 等效串联电阻 ESR=0.06 Ω , 等效串联电感=0.4nH; 电容 2 采用 0603, X7R10nF, Impedance $|Z|$ =8.544 Ω , 等效串联电阻 ESR=0.619 Ω , 等效串联电感=0.5nH。

图左侧的曲线是 0402 封装的, 右侧的曲线是 0603 封装的。当采用相同容值不同封装的电容并联时, 会展宽低阻抗频带。

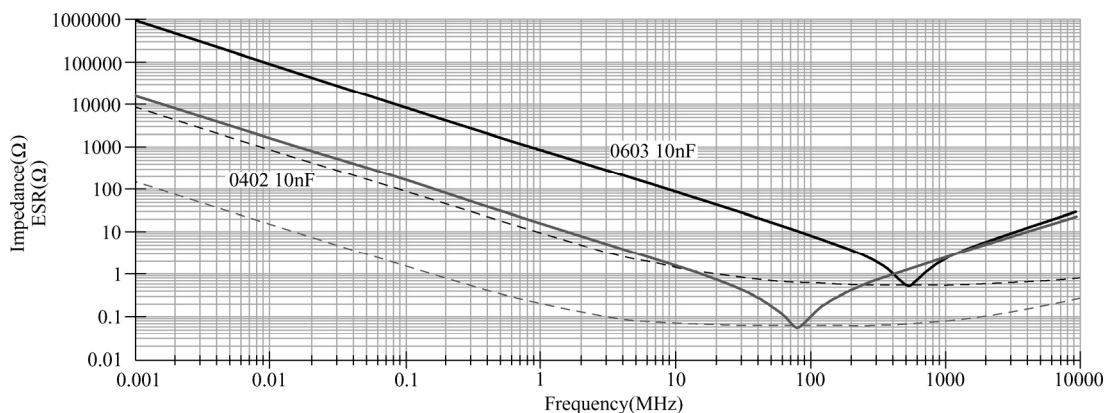


图 4-6 相同容值不同封装的电容并联频率阻抗特性

3. 不同容值不同封装的电容组合

其频率阻抗特性曲线如图 4-7 所示，电容 1 采用 0402，X7R10nF， $\text{Impedance}|Z|=0.109\ \Omega$ ，等效串联电阻 $\text{ESR}=0.06\ \Omega$ ，等效串联电感 $=0.4\text{nH}$ ；电容 2 采用 0603，X7R100nF， $\text{Impedance}|Z|=0.3\ \Omega$ ，等效串联电阻 $\text{ESR}=0.04\ \Omega$ ，等效串联电感 $=0.5\text{nH}$ 。

图左侧是 0603 封装 100nF 的电容，右侧是 0402 封装 10nF 的电容。当采用不同封装不同容值的电容并联时，可以有效地展宽低阻抗频带。

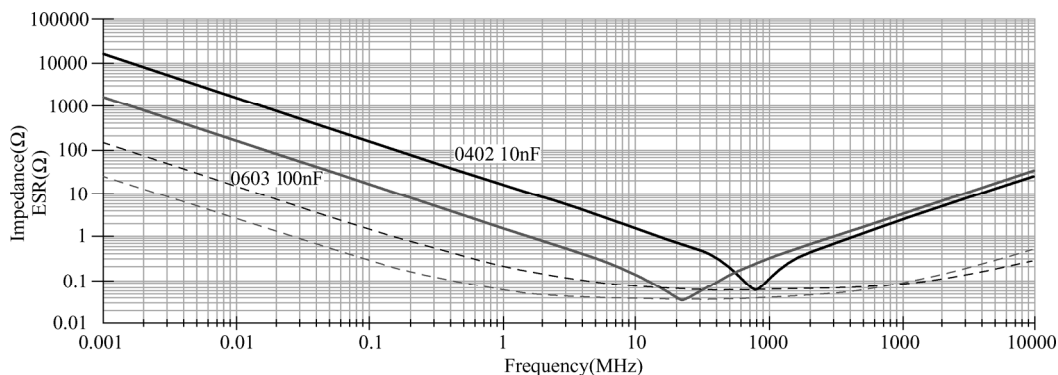


图 4-7 不同容值不同封装的电容并联频率阻抗特性

4. 相同封装不同容值的电容组合

其频率阻抗特性曲线如图 4-8 所示，电容 1 采用 0402，X7R10nF， $\text{Impedance}|Z|=0.109\ \Omega$ ，等效串联电阻 $\text{ESR}=0.06\ \Omega$ ，等效串联电感 $=0.4\text{nH}$ ；电容 2 采用 0402，X7R1nF， $\text{Impedance}|Z|=1.349\ \Omega$ ，等效串联电阻 $\text{ESR}=0.168\ \Omega$ ，等效串联电感 $=0.4\text{nH}$ 。

图左侧为 0402 10nF 的电容，右侧是 0402 1nF 的电容。当采用相同封装不同容值的电容并联时，也可以有效地展宽低阻抗频带宽度。

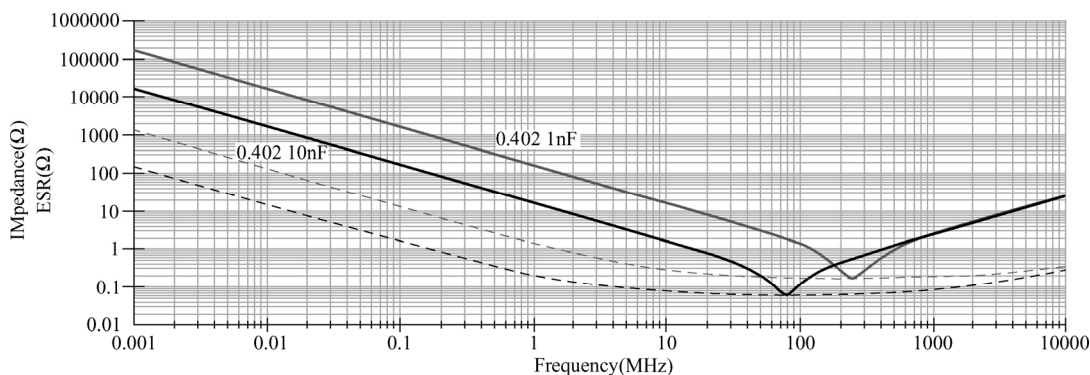


图 4-8 相同封装不同容值的电容并联频率阻抗特性

将 0402 10nF、0603 100nF 和 0805 1 μF 三个电容并联，观察其频率阻抗特性曲线，如图 4-9 所示。从图 4-9 中可以看出，3 个不同的电容并联时，因电容寄生电感的影响，相当于电感与电容并联，构成 LC 并联谐振电路，在某个频点处会发生并联谐振，如图中的箭头所示。并联谐振点的阻抗会非常高，3 个电容的自谐振点彼此之间出现的 2 个阻抗非常高的点叫作并联谐振峰，并联谐振峰频点位于两条阻抗曲线交叉点附近。并联谐振峰是电源完整性分析的去耦网络设计中最最重要的一个指标，并联谐振峰能够引起很大的阻抗。为了将电源的目标阻

抗控制在一定的范围内, 必须有效地抑制并联谐振峰。

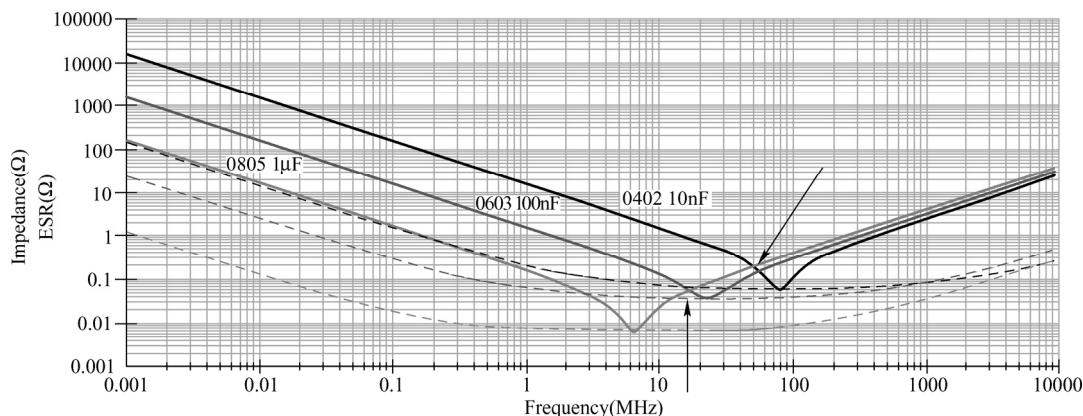


图 4-9 三个电容并联的频率阻抗特性曲线

从以上分析中可以看出, 电感与电容组成的谐振电路是影响电源阻抗特性的根本原因。除了电容自身封装所引入的寄生参数外, 在电容安装到电路板上后, 会带入焊盘的安装电感, 在进行 PCB 布线时, 因为要对焊盘的引脚扇出, 也会引入额外的电感, 因此为尽量减小电感带来的影响, 在进行封装操作向焊盘添加额外的引线时, 应尽量缩短引线的长度。

考虑 PCB 上各叠层及叠层之间的寄生参数, PCB 的叠层可以等效为如图 4-10 所示^[7]。当进行电源完整性分析时, 既要分区域分析又要整体分析。通过将叠层等效为电感、电容的 Mesh 网络, 可对电源完整性进行量化分析。

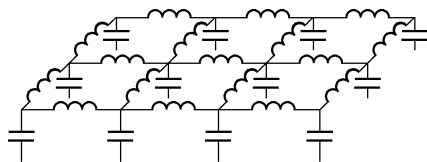


图 4-10 PCB 叠层的电感、电容的 Mesh 网络

PCB 上去耦电容的合理搭配能够降低电源的目标阻抗, 抑制因电容并联所带来的并联谐振峰, 去除或抑制电源与地平面的谐振点, 所做的这些工作都是为了保证 IC 能够正常工作。因为芯片是黑盒, 无法分析 IC 的内部特性, 所以我们所能做的工作就是围绕 IC, 在 PCB 上进行板级设计, 那么在进行电源的去耦设计时, 需要关注的噪声频段是多少呢? 因为工艺及器件参数的限制, 所以板级去耦的频率不能做到很高, PCB 上的最高去耦频率与 IC 是相关的, 在没有 IC 的封装信息时, 无法得到 PCB 上需要关注的去耦范围, 一般关注的去耦频段在几十 MHz 内, 具体的可以与 IC 厂沟通。当超过 100MHz, 进行板级去耦设计时, 目标阻抗此时要求非常低, 而且此频段要求数量非常多的电容才可以实现 (因 PCB 布局空间的限制, 是不可完成的), 因此针对 100MHz 以上频段的去耦, 在板级电容的去耦设计时是不需要考虑的^{[7][19]}。这样根据不同的频率去耦, 有个大概的范围供参考: 10kHz 以下的用 VRM 电源转换模块就可以完成对负载电流的实时响应; 10kHz~几百 kHz 时, 需要用到 BUCK 电容 (如电解电容、钽电容); 几百 kHz~100MHz 时, 需要用到小封装的小电容值的电容 (如陶瓷电容); 大于 100MHz 时就要靠 IC 的封装电容了。

同样，对于电源纹波与噪声的测试也是这个道理，高于 500MHz 的噪声从 PCB 的角度来说是无法解决的，但是一般测试工程师会把所有的噪声都测试出来。从 EMC/EMI 的角度来说，为解决该频段的问题，需要采用加屏蔽罩，即堵的方式。

在电源完整性分析的过程中，需要应用电容的去耦来达到设计目标，在设计的过程中，需要关注去耦电容的种类、数量及摆放位置。在并联电容去耦的电路中，虽然大多数频率值的噪声或信号都能在电源系统中找到低阻抗回流路径，但是对于那些频率值接近反谐振点的，由于电源系统表现出的高阻抗，使得这部分噪声或信号能量无法在电源分配系统中找到回流路径，最终会从 PCB 上发射出去（空气也是一种介质，波阻抗只有几百欧姆），这样在反谐振点频率点处会产生严重的 EMI 问题。因此，并联电容去耦的电源分配系统的一个重要问题就是合理选择电容，尽可能压低反谐振点处的阻抗。对于此谐振点位置的分析，电源完整性仿真分析是制板前预测可能出现的电源完整性问题的唯一可行方案，能够有效减少 PCB 打样调试的次数，加速产品上市时间。

4.2 PI 分析的目标

电源完整性设计的目标是把电源噪声控制在运行的范围内，为芯片提供干净稳定的电压，实时响应负载对电流的快速变化，并能够为其他信号提供低噪声的回流路径。

大部分数字电路器件对电源波动的要求在正常电压的±5%范围内，电源之所以产生波动，是因为实际的电源平面总是存在阻抗，这样在瞬间电流流过时，就会产生一定的电压浮动。为了保证每个芯片都能够正常供电，就需要对电源的阻抗进行控制，即降低电源平面的阻抗。将 PDN 网络进行简化，如图 4-11 所示，为便于计算，对该网络进行建模，如图 4-12 所示。对于器件的供电系统来说，需要在一定的时间内，以恒定的电压向负载提供足够的电流。因此，保证足够低的电源目标阻抗，是实现电源完整性设计的唯一方法。电源系统的目标阻抗定义为

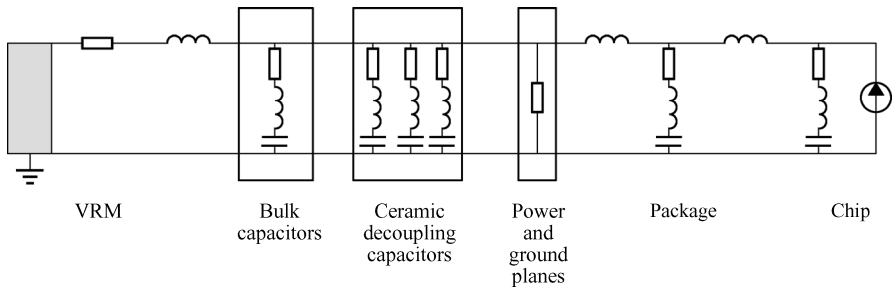


图 4-11 PDN 简化网络

电源目标阻抗 = $\frac{\text{最大允许纹波电压}}{\text{瞬时动态电流}}$ ，即 $Z_{PDN} = \frac{V * \text{Ripple}}{\Delta I_{\max}}$

式中， V 是要进行去耦的电源电压；Ripple 是允许的电压波动范围，一般为 5%或 3%； ΔI_{\max} 为负载芯片的最大瞬态电流变化量，该值若没有明确的定义，可以采用负载最大工作电流的一半。

PCB 叠层结构确认后，其电源与地平面也就确认了。在仿真软件中对电源与地平面之间的阻抗特性的分析也是通过 S 参数进行的。由前文知道，任何信号都可以分解为不同幅度与频率的正弦波信号的叠加，在频域中，不

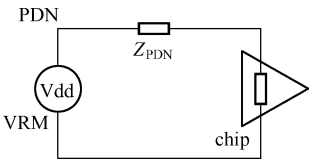


图 4-12 PDN 网络建模计算

同频率的信号对应着不同的幅值。因此,在进行 PDN 网络的阻抗特性分析时,也是在频域中进行的。一个 PDN 网络的输入阻抗如图 4-13 所示,如图 4-14 所示是加入高低频去耦电容后的 PDN 网络的频率阻抗特性。从图中可以看出,不同频率对应着不同的阻抗特性。目标阻抗设计方法是进行电源完整性设计有效可靠的方法,目标阻抗设计方法要求从低频到高频整个频带范围内都满足目标阻抗,而不依赖于具体的工作频点。目标阻抗设计方法是一个过设计,冗余度非常大。因为 PCB 硬件系统工作的复杂性,所以无法知道负载电流的工作频点,根据目标阻抗设计方法,要求在整个频率范围内都满足 PDN 网络的目标阻抗,这样只要电流的工作频点在分析的这个范围内就可以满足 PDN 网络对阻抗的设计要求,虽然因去耦的需求会使用多些电容,但此类设计具有广泛的实用性。

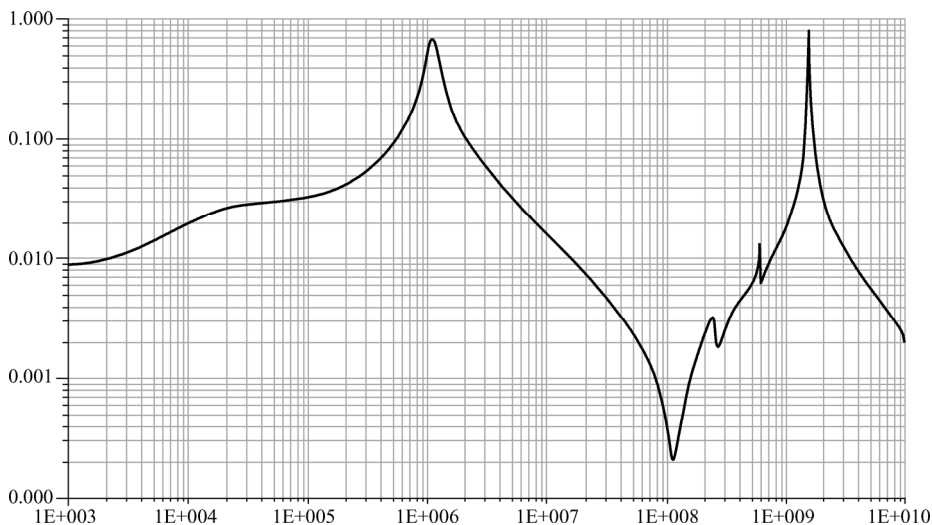


图 4-13 PDN 网络的输入阻抗

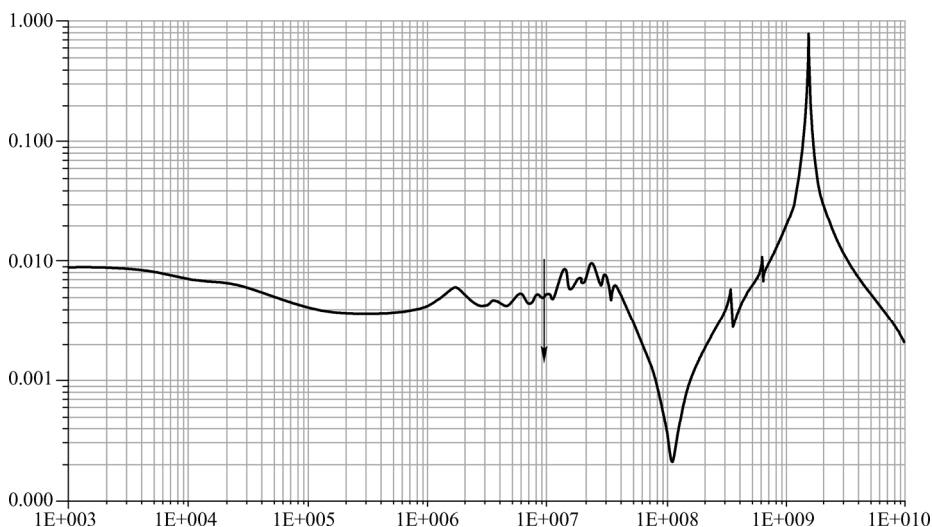


图 4-14 加入高低频去耦电容后的 PDN 网络的频率阻抗特性

4.3 PI 分析的设计实现方法

从前面的内容知道，电源噪声的主要来源有 VRM 供电模块输出的噪声、走线的直流电阻与寄生电感、PCB 上 Core/IO 逻辑状态跳变产生的噪声、电源与地平面谐振引入的噪声、邻近电源网络耦合的噪声和其他部件耦合的噪声等。电源完整性的设计可以从以上几个方面分别展开论述。

4.3.1 电源供电模块 VRM 设计

电源供电模块 VRM 一般放置在电源入口处，电源的输出有一定的纹波，这个是由稳压芯片决定的，一般选好了稳压的芯片，这部分噪声就确定了。对于这部分噪声，只能接受，无法控制。此类电路一般是 DC/DC 和 LDO，对于此类电路，需要根据 Datasheet 进行详细的设计，抑制其噪声进入 PDN 网络，合理地布局和布线。

4.3.2 直流压降及通流能力

走线的直流电阻与寄生电感是由电源平面或走线自身的物理参数决定的。需要关注过孔的通流能力和电源平面的通流能力。通流能力的计算参考公式如下：

$$I_{\max} = K * T^{0.44} * A^{0.725}$$

式中， I_{\max} 是最大通流，单位为 A； K 是降额参数，外层取值为 0.048，内层取值为 0.024； T 是通流路径上最大容许的温升，单位是℃； A 是通流路径的横截面积，单位是平方密耳（mil²）。

对于过孔的通流能力，可以参考 Saturn PCB Toolkit V5.8 软件进行模拟计算。

IR Drop 的含义为直流工作时由直流电阻造成的电压降，而此时的压降可直接由 $I * R$ 得到（因此而得名）。当电流通过一个狭窄区域时，通常会产生较大的电流密度，从而导致 PCB 局部温度的升高；电源平面上最大的电流密度区域通常称为电流热点（Hot Spot），这些电流热点有可能导致严重的热可靠性问题；设计人员应尽量使板上的电流密度分布均匀，并且最大值尽量不要超过常用的经验门限（100A/mm²）。对于内层平面的直流压降、电流密度分布和电压密度分布，可以借助于仿真分析软件，如 PowerDC、Siwave 等进行分析，找出其中因为走线太长、太细而导致的直流压降过大问题，对满足不了 IC 供电需求的区域进行修改。常温下（25℃）铜皮走线的最大通流能力如图 4-15 所示。

IPC-STD-275线宽与电流的关系表格

Trace Carrying Capacity per mil std 275									
Tepm Rise	10C			20C			30C		
Copper	1/2 OZ.	1 OZ.	2 OZ.	1/2 OZ.	1 OZ.	2 OZ.	1/2 OZ.	1 OZ.	2 OZ.
Trace Width			Maximum Current Amps						
0.010-10mil	0.5	1	1.4	0.6	1.2	1.6	0.7	1.5	2.2
0.015	0.7	1.2	1.6	0.8	1.3	2.4	1	1.6	3
0.020	0.7	1.3	2.1	1	1.7	3	1.2	2.4	3.6
0.025	0.9	1.7	2.5	1.2	2.2	3.3	1.5	2.8	4
0.030	1.1	1.9	3	1.4	2.5	4	1.7	3.2	5
0.050	1.5	2.6	4	2	3.6	6	2.6	4.4	7.3
0.075	2	3.5	5.7	2.8	4.5	7.8	3.5	6	10
0.100	2.6	4.2	6.9	3.5	6	9.9	4.3	7.5	12.5
0.200	4.2	7	11.5	6	10	11	7.5	13	20.5

图 4-15 常温下铜皮走线的最大通流能力

4.3.3 电源内层平面的设计

PCB 内层的电源平面除可以给器件提供电源外，当电源平面与地平面相邻时，电源平面和地平面还能够构成平面电容，对高速信号门电路的快速翻转的能量供应提供保障。常见电平信号均是从驱动端到负载，再通过参考平面回流回驱动端的。电源平面与地平面都可以作为信号的回流路径，但地信号在单板的分布比单一电源网络要广，地过孔在 PCB 广泛分布，高速信号布线换层时往往附近有地过孔相伴而无须额外增加回流地过孔，回流信号会沿着地孔回流到另一个地平面，同时电源平面也是以地平面对为参考的，因此对于高速信号来说，地平面是最理想的信号回流路径。

单位面积的电源平面和地平面构成的平面电容，两个平面的距离越小，容值越大，储能越多。因此在进行 PCB 的叠层设计时，应尽可能使电源平面与地平面成对出现且电源平面与地平面应尽可能接近，为了保证电源平面与地平面具有良好的电容耦合特性，一般将电源平面与地平面的距离控制在 5mil 以内，最大不能超过 10mil；当有多个电源平面，地平面少时，应尽可能让主电源平面与地平面相邻，且不同的电源平面之间的距离尽量加大，防止平面间噪声的耦合；消费类电子，受成本的约束，布线层紧张，很多时候电源平面与地平面无法相邻，且间距较大，此时电源平面与地平面之间的距离较大，电源与地之间的耦合较差，为了达到电源与地较好耦合的效果，需要在芯片电源和地之间额外加去耦电容，增强电源和地平面之间的电容耦合特性。

为了使电源具有良好的完整性，信号具有较好的回流路径，间接提高信号的完整性，因此元器件在布局时，一般以元件的相邻面为地平面参考层。一般主要的元器件都会布置在顶层，这样在设计叠层结构时，顶层的相邻层设置为地参考平面，接地平面可以为元件提供屏蔽和完整的参考回路。同样，在设计走线参考平面层时，应尽可能让所有高速信号的参考平面都选择地平面为参考平面，很多时候，增加地平面参考层是改善信号质量及 PCB EMC 特性的有效设计方法。在叠层结构的设计中，为了减小信号走线平面之间信号的干扰，一般会避免两个信号层直接相邻，当两个信号层直接相邻时，会给 PCB 带来较大的干扰，影响信号的信号完整性和电源完整性；在进行 PCB 叠层设计时，应尽量避免两个信号层直接相邻，如果不可避免，则两个信号层之间的走线应采用横平竖直的走线方式，不能重叠并增大两个相邻信号层之间的间距，一般当两个信号层相邻时，要将两个信号层之间的距离增大到信号层到参考平面间距的 1.5 倍以上，如图 4-16 所示。

TOP			0.5oz+Plating
	PP	1080+1080 5.84 mil	
GND02			1OZ
	Core	Core 5.91 mil	
ART03			1OZ
	PP	2116+2116+Core(27.95)+2116+2116 44.61mil	
ART04			1OZ
	Core	Core 5.91 mil	
PWR05			1OZ
	PP	1080+1080 5.84 mil	
BOTTOM			0.5OZ+Plating

图 4-16 增大相邻信号层之间间距的叠层结构

因 BGA 类供电电源的种类繁多，所以很多时候需要在一个电源平面上布置多个电平的电

源。当在一个平面上布置多个电源时，需要进行电源平面的分割。进行电源平面分割时，为保证电源平面与地平面形成电容平面，进行有效的耦合，应尽可能使各个电源平面的边界形状规则，面积尽可能大，某 PCB 电源平面的分割如图 4-17 所示。电源平面的分割方式要简洁合理，分割区域的大小满足载流能力。因为不同电压平面之间有一定的爬电距离，所以同一电源平面内，相邻的不同压值的电源平面电压值差值越大，爬电距离越大。正确的分割线宽度一般应大于 0.016mm，像 BGA 类 IC，区域小的分割线需特殊考虑，如 BGA 内部，一般推荐：1.27mmBGA 引脚间距的分割线宽度 $\geq 0.635\text{mm}$ ；1.0mmBGA 引脚间距的分割线宽度 $\geq 0.508\text{mm}$ ；0.8mmBGA 引脚间距的分割线宽度 $\geq 0.254\text{mm}$ ；0.5mmBGA 引脚间距的分割线宽度 $\geq 0.2032\text{mm}$ 。0.5mmBGA 内部和边缘的分割线宽度如图 4-18 所示^[10]。

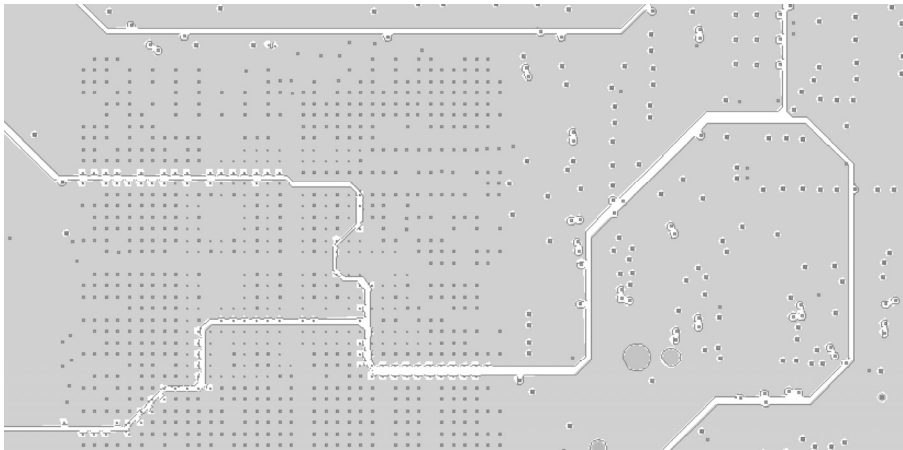


图 4-17 电源平面的分割

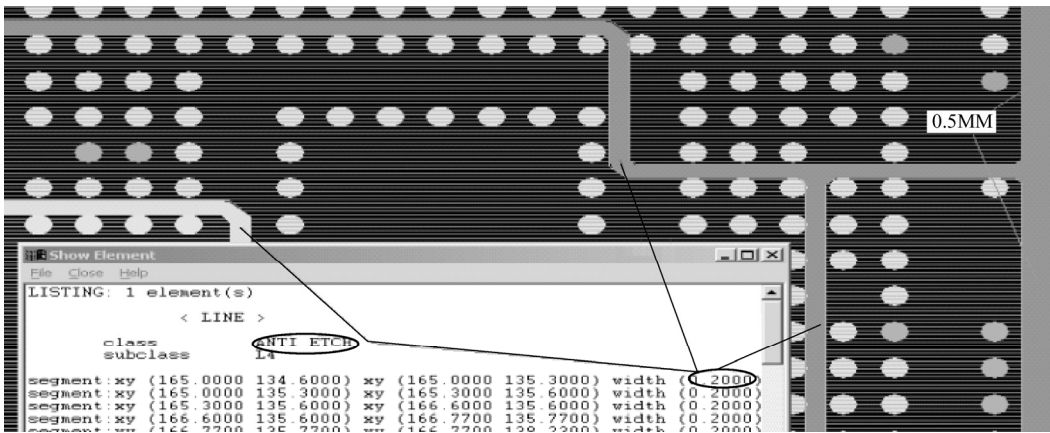


图 4-18 0.5mmBGA 内部和边缘的分割线宽度

在 PCB 的设计中，去耦电容的合理使用（包含电容的类型、数量和 PCB 上布局的位置）能够有效滤除电源中包含的噪声，达到电源完整性设计的目标。

PCB 上去耦电容的种类包含铝电解电容、固态电容、钽电容和陶瓷电容等；根据封装的大小可分为 1206、0805、0603、0402 和 01005 等。电容的去耦根据摆放位置及 IC 封装可以分为电源引脚去耦和电源平面去耦。电容的摆放位置是根据电容的容值大小确定的。因为电容的去耦作用是有一定的距离要求的，即去耦半径问题，所以如果电容距离 IC 的摆放距离超出电

容的去耦半径, 则电容将失去去耦的作用。大电容的去耦半径大, 小电容的去耦半径小, 因此小电容应距离 IC 的供电引脚尽可能近, 大电容距离 IC 的供电引脚可适当远些。电容的去耦是电容对 IC 瞬态电流需求的补偿, 电容要对 IC 所需要的瞬态电流进行补偿就必须感知这一需求。由电容的谐振特性知道, 当所需补偿的瞬态电流的频率与电容的谐振频率一致时, 电容的去耦效果最好。根据波动特性, 当去耦电容与 IC 供电需求之间的距离小于 $\frac{\lambda}{4}$ 时, 去耦电容能够较好地补偿 IC 所需要的瞬态电流, 在实际应用中, 去耦电容与 IC 供电引脚之间的距离最好控制在 $\frac{\lambda}{40} \sim \frac{\lambda}{50}$ 。由电容的谐振频率特性知小容量小封装电容的谐振频率高, 相应的波长较短, 大容量大封装电容的谐振频率低, 相应的波长长, 因此小电容容量的去耦半径小于大电容容量的去耦半径。

引脚去耦适用于 IC 引脚较少, 且电源引脚与地引脚之间的距离较小的情况下, 如图 4-19 所示。进行引脚去耦时, 要尽可能缩短焊盘和去耦电容之间引线的长度, 引线过长会引入额外的寄生电感 (即安装电感), 从而使得去耦电容总的电感增大。根据谐振频率计算公式 $f_0 = \frac{1}{2\pi\sqrt{(ESL + L_{\text{mount}})C}}$, 可知寄生电感的引入会使谐振频率变低, 从而影响电容的去耦特性, 使有效滤除噪声的频率范围偏离谐振频率点。

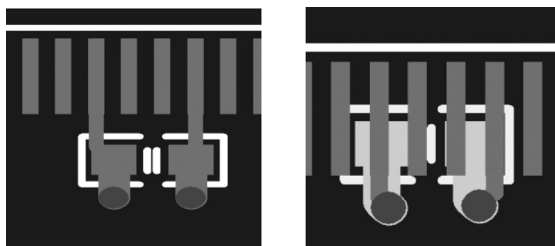


图 4-19 引脚去耦

平面去耦适用于电源引脚与地引脚比较多且分布分散的 IC 去耦, BGA 类的 IC 一般都采用平面去耦的方式。如图 4-20 所示, 平面去耦中的去耦电容并不和 IC 的电源和地引脚直接相邻, 去耦电容、IC 的电源引脚和地引脚都是通过过孔连接到内部的电源平面和地平面的, IC 引脚的电源和地引脚是通过电源平面和地平面与去耦电容的两端相连接的。BGA 类芯片的电源引脚和地引脚数量众多, 很多时候无法满足每个引脚上都有一个去耦电容的要求, 一般在一个区域范围布置一个或几个去耦电容同时给几个电源引脚去耦。

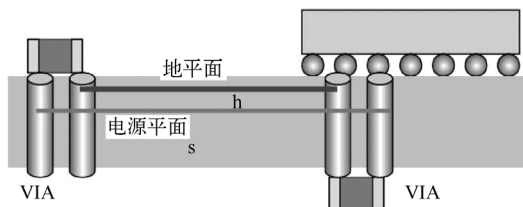


图 4-20 平面去耦

对于 BGA 类的 IC, 针对内核供电部分的引脚, 应尽量每个引脚都放置一个去耦电容, 如果电容不够或摆放的空间不足, 应适当做合孔处理, 即 2 个引脚共用一个去耦电容的电源引脚。在进行去耦电容的连接时, 去耦电容的焊盘和 IC 的引脚焊盘需要用引线进行连接; 在处

理电源引脚和地引脚的焊盘引线时，电源引线和地引线的长度应尽可能短，当无法都保证最短时，优先考虑地引脚的引线最短，地引线短，回流路径短，能够保证好的滤波效果。去耦电容平面去耦方式焊盘引线的处理如图 4-21 所示。

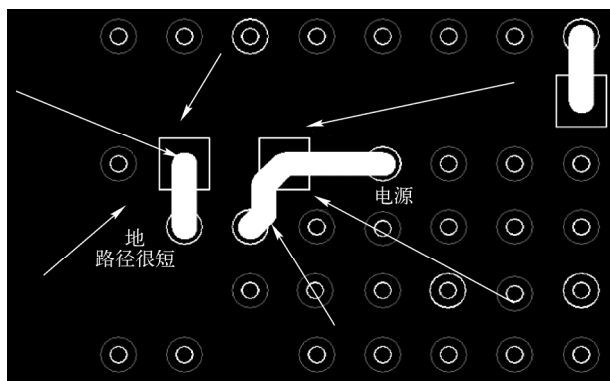


图 4-21 去耦电容平面去耦方式焊盘引线的处理

在进行去耦电容的布局时，小容值的靠近 IC 引脚，大容值的可以距离 IC 稍远，各个规格的去耦电容布局时要均匀布置在 IC 的四周，这样可以使 IC 所在区域的各电源等级均匀去耦，某设计去耦电容的布局如图 4-22 所示。

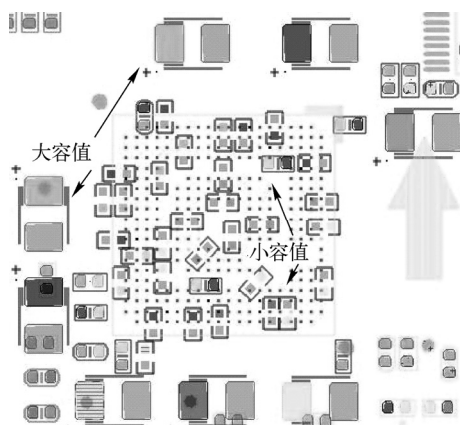


图 4-22 去耦电容的合理布局

电容的焊盘在做扇出时，有如下几种方式，如图 4-23 所示，当采用多过孔与电源平面和地平面相连时，相当于是多个过孔的并联，能够减小因过孔引入的寄生电感，使电容的去耦特性优于其他焊盘扇出或走线的方式。

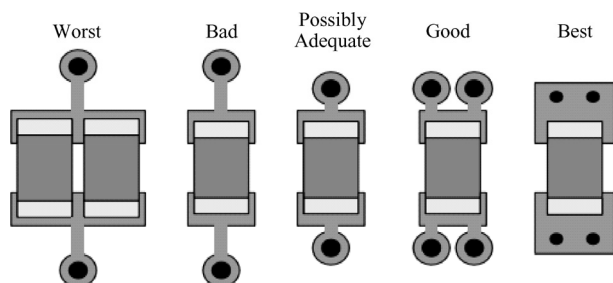


图 4-23 电容焊盘的扇出

在电源平面与地平面确定后,可以在仿真软件中进行电源平面与地平面谐振模式的分析(谐振模式分析需要电源与平面层,因此4层以上的PCB才适合做此分析)。电源平面的谐振是由于原电源能量信号与反射的信号同相,进行了信号的叠加后造成的平面谐振效应,会给电源平面引入谐振的噪声,从而影响电源完整性。平面的谐振模式分析,能够分析出一段频谱范围内多对可能的谐振模式,通过仿真的结果可以明确平面在一段频谱的谐振模式及谐振点在平面上分布的位置。谐振模式的分析,可以借助于Siwave或PowerSI进行仿真分析,在设置扫描范围时,可以适当地比PCB上信号的工作频段范围大一些[对于PCB上信号的工作频段,需要根据各信号的信号上升时间(10%~90%)来计算信号的有效工作频率],确定信号有效频段后就可以确定平面谐振模式分析的频率范围。为减弱或消除平面的谐振点,需要找出谐振点的位置,在仿真软件中会根据不同的谐振幅度进行不同颜色的标注,一般红色的标注是谐振幅度超标的位置。对于谐振模式的整改,需要更改平面的几何结构或在谐振点附近添加合适的去耦电容,对于频率较低(<100MHz)的谐振频点,可以合理布置去耦电容来去除或改善谐振频率点;对于较高的谐振频率点,只能通过改变平面的几何结构和参考平面的距离或平面间填充的介质来改善谐振。某设计的平面谐振模式如图4-24所示。

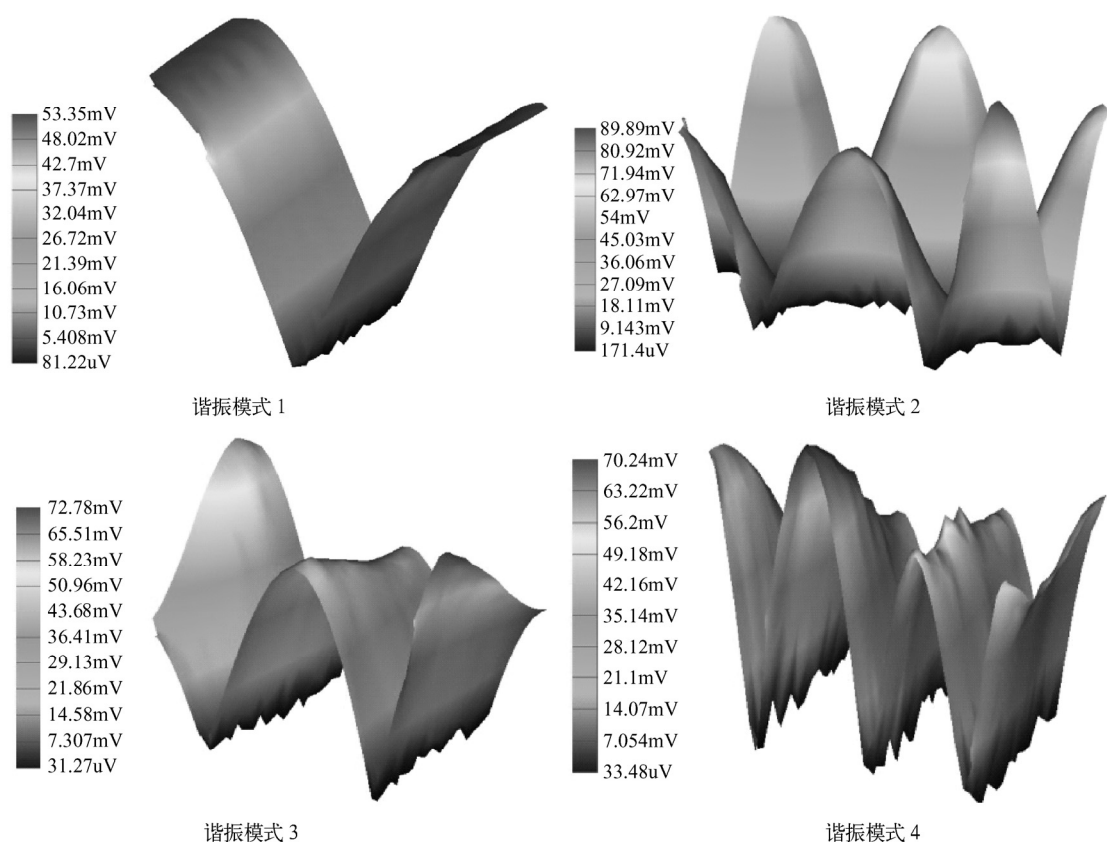


图4-24 平面谐振模式

电源平面的谐振与电源平面的阻抗特性是一一对应的,谐振频率点处的电源平面阻抗会高于电源平面的目标阻抗。由于电容和寄生电感的特性,所以电源平面阻抗呈现复杂的频率响应。电源平面会存在多个谐振频率点,电源分布系统的阻抗是随着频率变化的。电源平面出现谐振使信号走线的静态参考平面变成了波动的浮动参考平面,同时平面的谐振引入了影响电源

完整性的噪声。在电源平面的谐振频率点上还会产生极大的 EMI 共模辐射。因此，电源平面的研究，首先要设计和优化 PDN 的阻抗特性，即平面的阻抗特性分析，然后再做时域上的测量和验证。目标阻抗设计方法是进行电源完整性设计的有效可靠的设计方法。

在一段频率范围内，在各个频点上都对电源平面的目标阻抗进行了有效控制，同时在控制目标阻抗的时候也解决了电源平面的谐振问题，实现了对电源完整性的设计要求。对于电源平面的阻抗特性分析，在仿真工具中是借助于 SYZ 参数进行描述的。如图 4-25 所示，*A* 是不添加任何去耦电容时的频率阻抗特性曲线，*B* 是添加去耦电容后的频率阻抗特性曲线。

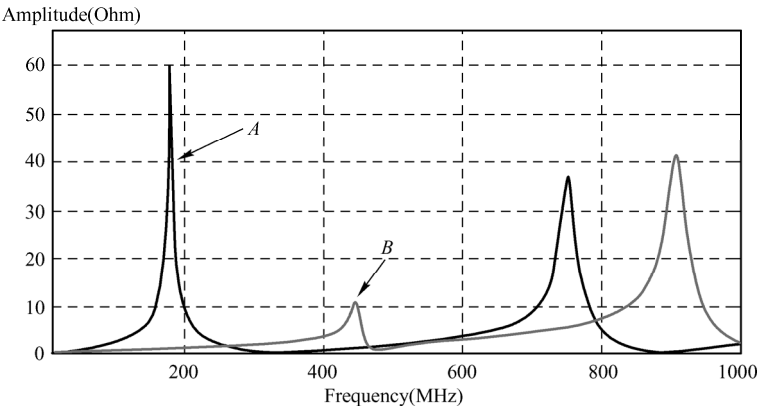


图 4-25 去耦电容与平面的阻抗特性

4.4 本章小结

本章从电源完整性产生的原因入手，论述了电源完整性的设计思路；分析了电源完整性产生的原因；分析了电容的特性及电容的去耦特性在电源完整性分析中的应用；分析了平面的谐振特性及在电源完整性分析中的处理方法；从目标阻抗入手对电源完整性进行了量化分析，并对电源完整性的实现方法做了论述。

EMC/EMI 分析方法

5.1 EMC/EMI 分析概述

电磁兼容学科主要研究的是如何使在同一电磁环境下工作的各种电气电子设备和元器件都能正常工作，互不干扰，达到兼容状态。

电磁兼容分析中常用的名词术语有 EMC、EMI、RE、CE、EMS、RS 和 CS^[23]，其含义如下。

电磁兼容性 EMC (Electromagnetic Compatibility): 设备在共同的电磁环境中能一起执行各自功能的共存状态，即该设备不会由于受到处于同一电磁环境中其他设备的电磁发射导致不允许的降级；也不会使同一电磁环境中其他设备因受其电磁发射而导致不允许的降级。

电磁干扰 EMI (Electromagnetic Interference): 指电磁骚扰导致电子设备相互影响，并引起不良后果的一种电磁现象。

辐射发射 RE (Radiated Emission): 通过空间传播的、有用的或不希望有的电磁能量。

传导发射 CE (Conducted Emission): 沿电源或信号线传输的电磁发射。

电磁敏感性 EMS (Electromagnetic Susceptibility): 设备暴露在电磁环境下所呈现的不希望有的响应程度，即设备对周围电磁环境敏感程度的度量。电磁敏感意味着电磁环境已经造成设备性能的降低。

辐射敏感度 RS (Radiated Susceptibility): 对造成设备性能降级的辐射骚扰场的度量。

传导敏感度 CS (Conducted Susceptibility): 当引起设备性能降级时，对从传导方式引入的骚扰信号电流或电压的度量。

电磁干扰三要素是电磁骚扰源、耦合途径（或称耦合通道）和敏感设备^[23]。电磁骚扰源指产生电磁骚扰的元件、器件、设备或自然现象；耦合途径（或称耦合通道）指把能量从骚扰源耦合到敏感设备上，并使该设备产生响应的媒介；敏感设备指对电磁骚扰产生响应的设备。所有的电磁干扰都是由上述三个因素组合而产生的。由电磁骚扰源发出的电磁能量，经过某种耦合通道传输到敏感设备，导致敏感设备出现某种形式的响应并产生效果。

电磁兼容学科研究的主要内容是围绕构成电磁干扰的三要素进行的，即对电磁骚扰源、耦合通道和敏感设备的研究。骚扰源的研究包括其发生的机理、时域和频域的定量描述，以便从源端抑制干扰的发射，通常采用滤波技术来限制骚扰源的频谱宽度和幅值。

EMC 的设计方法可以分为屏蔽隔离、滤波和接地。屏蔽隔离主要用于切断通过空间的静电耦合、磁场感应耦合、电磁感应耦合形成的电磁噪声传播途径，这三种耦合又对应于静电屏蔽、磁场屏蔽与电磁屏蔽，衡量屏蔽的质量采用屏蔽效能这一指标；滤波是在频域上处理电磁噪声的一种技术，其特点是将不需要的一部分频谱滤掉；接地是提供有用信号或无用信号和电磁噪声的公共通路，接地的好坏直接影响到设备内部和外部的电磁兼容性。

5.2 EMC 标准

为了确保设备及其各单元必须满足的电磁兼容工作特性，国际有关机构、各国政府和军事部门，以及其他相关组织制定了一系列的电磁兼容标准。标准对设备的电磁骚扰发射和电磁抗扰度做出了规定和限制。电磁兼容标准是进行电磁兼容性设计的指导性文件，也是电磁兼容性试验的依据，因为试验项目、测试方法和极限值等都是标准给定的。

电磁兼容标准主要通过标准化组织来制定，国际上制定电磁兼容相关标准的主要标准化组织^[24]如表 5-1 所示。

表 5-1 国际上的主要标准化组织和标准

国家或组织	制 定 单 位	标 准 名 称
IEC	CISPR	CISPR Pub.XX
	TC77	IEC XXXXX
欧共体	CENELEC	EN XXXXX
美国	FCC	FCC Part XX
	MIL	MIL-STD.XXX
德国	VDE	VDE XXX
日本	VCCI	VCCI

IEC（国际电工委员会）有两个平等的组织来制定 EMC 标准，即 CISPR（国际无线电干扰特别委员会）和 TC77（第 77 技术委员会）。CENELEC（欧洲电工标准化委员会）由欧共体委员会授权制定欧洲标准 EN（European Norm）。FCC（美国联邦通信委员会）主要制定民用标准，关于电磁兼容的标准主要包括在 FCC Part15 和 FCC Part18 中。MIL-STD 是美国军用标准。德国的 VDE（电气工程师协会）是世界上最先建立电磁兼容标准的组织之一。日本的 VCCI（干扰自愿控制委员会）是民间机构，其标准与 CISPR 和 IEC 标准一致。我国的 EMC 标准化工作是在国家技术监督局的领导下进行的。国内标准以 GB 和 GB/T 开头。我国自从 1983 年发布第一个 EMC 标准（GB3907—1983）以来，至今已发布了 47 个有关的国家标准，其中有 32 个强制性标准，15 个推荐性标准。我国的 EMC 标准绝大多数引进国际标准，其来源包括：国际无线电干扰特别委员会出版物，如 GB/T6113；GB14023 国际电工委员会，如 GB4365；GB/T13926 部分引自美国军用标准，如 GB15540；部分引自国际电信联盟有关文件，如 GB/T15658；国外先进标准，如 GB6833。根据我国自己的科研成果制定的标准有 GB/T15708。为了世界贸易的需要，我国的很多 EMC 标准都采用了 CISPR 和 IEC 标准。实际上，世界上大多数国家都采用了 CISPR 和 IEC 的标准。

5.3 PCB 的 EMC 设计

5.3.1 EMC 与 SI、PI 综述

EMC 与 SI、PI 综述论述的是 EMC 电磁兼容性与 SI 信号完整性、PI 电源完整性的密切相关，以及分析设计思路的异同。虽然在概念上分得很清晰，但在进行设计方法归类时，不管是

EMC 还是 SI 和 PI，从提高信号质量、完善系统设计的角度考虑，彼此之间又没有明显的界限。

EMC 是研究在有限空间、时间和频谱资源等条件下，各种电气设备如何可以共同工作。我们知道，干扰源、耦合途径、敏感装置是 EMC 存在的三个要求。EMC 设计的目的是：实现自身的功能，使设备内部的信号不相互干扰；设备自身对外的电磁干扰强度低于设定的极限值；对外部的干扰具有一定的抵抗能力。在进行 PCB 的 EMC 设计时，都是围绕着 EMC 的三要素和设计目的展开的。在进行 PCB 的 EMC 设计时，常采用的措施有减少干扰源的强度、切断耦合路径和提高设备的抗干扰能力。在进行信号完整性与电源完整性设计时，降低信号的过冲、下冲、反射，减缓信号上升沿和下降沿的速率，降低电源的目标阻抗等，也都是为了减少 EMI 辐射的强度，减少 EMI 包含的频谱分量。

EMC 分析与 SI、PI 分析的异同主要描述如下。

① EMC 是从场的角度，而信号完整性与电源完整性是从时域的信号波形和频域的阻抗特性角度来考虑的。变化的电场可以产生磁场，EMC 设计主要就是针对控制电磁场的源头和其传播的介质而言的；而信号完整性和电源完整性是从硬件原理设计出发，对信号的产生、传递到终止，以及其整个发送路径和信号的回流路径及供电网络系统进行关注。

② EMC 是从频域的角度考虑，而信号完整性和电源完整性在进行分析时，是在容易找出问题点的频域内进行并在时域验证的。

③ EMC 进行设计的三大法则是屏蔽、接地和滤波；信号完整性和电源完整性的分析方法是匹配、端接、去耦、信号回流路径的连续和避免地弹等。

④ 在波形信号沿的考虑上，EMC 设计时希望减缓信号上升边沿， di/dt 越小，辐射越小；在进行信号完整性分析时，也是期待信号的上升沿和下降沿能够缓和些，这样信号包含的频谱分量就相对少些，在通过传输线传输时就会减少信号能量的衰减。

⑤ EMC 针对的电压波动量级是微伏级，一般需要在暗室中借助各种天线、接收机、功率放大器和静电发生器等进行测量，应用的原理是传输线效应原理和天线原理，其设计的关注点是传导、辐射和瞬态干扰等；信号完整性针对的电压波动量级是毫伏级，一般需要通过示波器、网络分析仪、信号发生器和 TDR 时域反射计等进行测量验证，应用的原理是传输线效应原理，设计时关注的是信号的反射、串扰和辐射等。

由以上内容可以看出，EMC 问题在很大程度上可以通过控制信号完整性和电源完整性来解决；EMC 与信号完整性、电源完整性在分析方法、处理方式上虽然有相同的地方，但有时两者又是相互矛盾的；在进行系统设计时，无须对原理及概念严格区分，而是尽可能地实现系统的各指标，设计出具有很强鲁棒性的系统。

5.3.2 模块划分及布局

PCB 上模块的划分和关键器件的布局在 PCB 的 EMC 设计中起着至关重要的作用。PCB 上的功能模块如频率生成器、电源模块、滤波器和晶振等在 PCB 上的相对位置和方向都会对电磁场的发射和接收产生巨大影响，且布局的优劣将影响到布线质量的好坏。

PCB 上的器件可以根据不同的标准进行不同的划分，如可以按功能、频率和信号类型划分。

(1) 按功能划分。各种电路模块实现不同的功能，如时钟电路、放大电路、驱动电路、A/D、D/A 转换电路、I/O 电路、开关电源电路和滤波电路等。一个完整的设计可能包含许多的电路模块，在进行 PCB 设计时，可根据信号流向对整个电路进行模块划分，从而保证整个布局的合理性，达到整体布线路径短，各个模块互不交错的效果，减少模

块间互相干扰的可能。

(2) 按频率划分。按照信号的工作频率和速率可以对电路模块进行划分, 在布局的时候, 按照高频部分、中频部分和低频部分依次展开, 布局互不交错。

(3) 按信号类型划分。电路模块按照信号类型可分为数字电路和模拟电路两部分。为了降低数字电路对模拟电路的干扰, 使它们能和平共处, 达到兼容的目的, 在 PCB 布局时需要给它们定义不同的区域, 从空间上进行必要的隔离, 减小相互之间的耦合。对于数、模转换电路, 如 A/D、D/A 转换电路, 应该布放在数字电路和模拟电路的交界处, 电路模块布局的方向应以信号的流向为前提, 使信号引线最短, 并使模拟部分的引脚位于模拟地上方, 数字部分的引脚位于数字地上方。

PCB 的布局是一个综合布局的过程。

电路布局的一个原则, 就是应该按照信号流向关系, 尽可能做到使关键的高速信号走线最短, 其次考虑电路板的整齐、美观。时钟信号应尽可能短, 若时钟走线无法缩短, 则应在时钟线的两侧加屏蔽地线。对于比较敏感的信号线, 也应考虑采取一定的屏蔽措施。

时钟电路具有较大的对外辐射, 会对一些较敏感的电路, 特别是模拟电路产生较大的影响, 因此在电路布局时应让时钟电路远离其他无关电路。为了防止时钟信号的对外辐射, 一方面时钟电路一般应远离 I/O 电路和电缆连接器, 另一方面要使时钟输出到负载的走线尽量短; 在布线时对时钟信号要优先考虑进行内层走线, 并进行必要的匹配和屏蔽处理。

低频数字 I/O 电路和模拟 I/O 电路应靠近连接器布放, 时钟电路、高速电路和存储器等器件常布放在电路板的最靠近里边, 远离人接触的位置; 中低速逻辑电路一般放在电路板的中间位置; 如果有 A/D 和 D/A 电路, 则一般放在电路板最中间的位置。

在单板上一般都会会有多个 DC/DC 电源模块, 电源部分是单板上很大的一个噪声来源, 电源部分的噪声会通过传导和辐射传给单板上的其他器件。单板上的供电线路越长, 产生的问题越大, 因此一般主电源部分都安装在单板电源入口处, 如图 5-1 所示。电源部分放置方向主要是考虑输入/输出线的顺畅, 避免交叉。

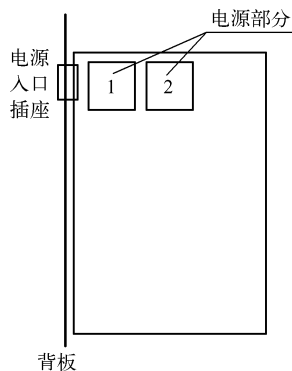


图 5-1 PCB 上主电源的布局位置 (在继电器选型时应尽量考虑采用固态继电器), 在布局时线圈要远离 EMI 源, EMI 源包含开关电源、时钟输出和总线驱动等。线圈下方的 PCB 上不能有高速走线或敏感的控制线, 如果不能避免, 就一定要考虑线圈的方向问题, 要使场强的方向和线圈的平面平行, 保证穿过线圈的磁力线最少。

5.3.3 PCB 叠层结构

在 PCB 的 EMC 设计中, 叠层的设计是非常重要的, 它是影响单板 EMC 指标的一个重要因素。需要根据单板的电源、地的种类、信号密度、板级工作频率, 有特殊布线要求的信号数量, 综合单板的性能指标, 以及成本的承受能力等来确定单板的层数。对 EMC 指标要求苛刻的产品, 在相对成本能接受的情况下, 适当增加地平面是非常有效的设计方法。

对于单一电源供电的 PCB, 一个电源平面就足够了; 对于多种电源, 若互不交错, 可考虑采取电源平面分割 (保证相邻的关键信号布线不跨分割区); 对于电源互相交错的单板, 则必须考虑采用 2 个或以上的电源平面。当有多个电源平面并且电源平面交错时, 要加大相邻电

源平面的层间距，尽量让每个电源平面都有对应的地平面且尽可能减小电源和地平面之间的间距。增大电源平面之间的间距，可以减少电源平面相互之间的耦合干扰，从而减少电源平面辐射出去的电磁波，进而减少 EMI 的干扰；减小电源平面和地平面之间的距离，可以增强电源平面和地平面之间的耦合，降低电源平面的目标阻抗，从而减少辐射出去的电磁波的幅值，进而减少 EMI 的干扰。对于地的层数来说，元器件下面（第 2 层或倒数第 2 层）有相对完整的地平面；高速、高频和时钟信号等关键信号有一个相邻地平面。对高速走线来说，因地平面相对电源平面有相对较低的阻抗，所以可以给高速信号提供较低阻抗的回流路径。

在 PCB 的边界会发生电磁场的边界效应，电源平面边界区域的部分能量会以电磁波的形式向外辐射，并返回地平面，以地平面作为能量的终结^[25]，如图 5-2 所示。如果与电源平面相对应的地平面很大，大到可以完全作为电源平面辐射出的电磁波的信号回流路径，电磁场的分布在地平面以上部分空间中，如图 5-3 所示，则该 PCB 将不会对外界造成辐射干扰。为控制电源平面边缘的辐射，减少 PCB 边的辐射效应，所有的电源平面相对地平面都要内缩 $20H$ （ H 为电源平面到地平面的距离），达到 $20H$ 时，70% 的辐射量会被限制在电源与地平面之间，如果想 100% 的辐射在电源平面与地平面之间，需要达到 $100H$ 。

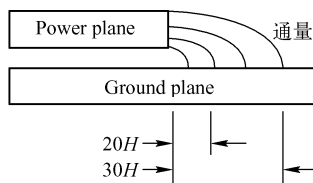
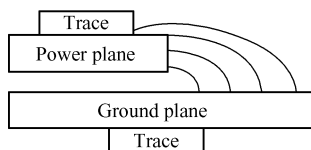
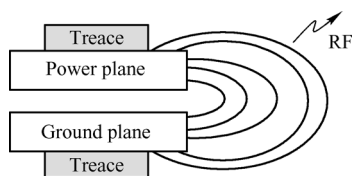


图 5-2 PCB 电源平面边缘的能量向外辐射

图 5-3 PCB 电源平面不向外发生辐射情况及 $20H$ 原则

为保证 PCB 具有较好的 EMC 性能，电源层、地平面层和信号层在 PCB 的叠层结构设计中有一些基本的准则。

电源和地平面存在自身的特性阻抗，电源平面的阻抗比地平面的阻抗高，为降低电源平面的阻抗，应尽量将 PCB 的主电源平面与其对应的地平面相邻排布并且尽量靠近，充分利用两者的耦合电容来降低电源平面的阻抗。电源和地平面均能用作参考平面，且有一定的屏蔽作用。因电源平面具有较高的特性阻抗，所以它与参考平面存在较大的电位差，从屏蔽的角度，地平面一般均进行接地处理，并作为基准电平参考点，其屏蔽效果要远远优于电源平面，因此在选择参考平面时，应优选地平面作为信号回流的参考平面。电源地平面构成的平面电容与 PCB 上的去耦电容一起构成频响曲线比较复杂的电源地电容，它的有效去耦频带比较宽。电源平面存在谐振问题，对谐振频点要进行有效的处理。

当电源层、地层数及信号的走线层数确定后，为使 PCB 具有良好的 EMC 性能，它们之间的相对排布位置的基本要求如下。

- ① 元器件层下面（第二层）为地平面，提供器件屏蔽层及为顶层布线提供参考平面。
- ② 所有信号层尽可能与地平面相邻。
- ③ 尽量避免两信号层走线直接相邻。如果无法避免，应加大两相邻信号层的走线间距，使两层信号走线在上下位置呈垂直走线状态。
- ④ 主电源尽可能与其对应地相邻，并尽可能减小电源和地平面之间的距离，以小于 5mil 为优，最大最好不要超过 10mil 。
- ⑤ 兼顾层压结构的对称叠层还需要兼顾 PCB 制造工艺和控制 PCB 的翘曲度。通常民用产品采用 IPC_II 标准，要求 PCB 的翘曲度要小于 0.75% 。

⑥ 采用偶数层结构。目前业界的叠层结构几乎全都是偶数层，而不是奇数层。从 PCB 的基本板材 Core 看，电路中的导电层位于 Core 芯板的两侧，导电层是偶数；如果要制造奇数层印制电路板，需要在芯板工艺的基础上增加非标准的芯板层黏合工艺，这增加了制板成本和制板的工艺复杂性；奇数层电路板容易弯曲，翘曲度较难控制。

常用的 PCB 叠层结构设计如下。

1. 四层板的叠层结构

四层板的叠层结构包含 1 个电源平面、1 个地平面和 2 个信号平面，叠层结构如表 5-2 所示，Core\PP 叠层分布如图 5-4 所示。四层板的叠层结构优选方案 1，可用方案 2。

表 5-2 四层板的叠层结构

层数	叠层方案 1	叠层方案 2	叠层方案 3
第 1 层（TOP 层）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）	G 地平面
第 2 层	G 地平面	P 电源平面	S 信号层
第 3 层	P 电源平面	G 地平面	S 信号层
第 4 层（BOTTOM 层）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）	P 电源平面

层数	叠层结构	备注
L1	Silkscreen	顶层丝印层
	Soldermask	顶层阻焊层
	Copper	Copper
	Prepreg	PP1
L2	Copper	Core 1
	Core	
L3	Copper	
	Prepreg	PP2
L4	Copper	Copper
	Soldermask	底层阻焊层
	Silkscreen	底层丝印层

图 5-4 四层叠层 Core\PP 叠层分布

1) 叠层方案 1：TOP、GND02、PWR03、BOTTOM

此方案为目前业界主选叠层设置方案。在顶层主元件面（TOP 层）下面有一完整的地平面，为最优布线层，关键信号优先布在该层。在进行层厚设置时，地平面和电源平面的厚度不宜过厚，以 5mil 以下为最佳，以降低电源和地平面的分布阻抗，保证电源平面和地平面的去耦效果。

2) 叠层方案 2：TOP、PWR02、GND03、BOTTOM

此方案与方案 1) 类似，适用于主器件在 BOTTOM 层布局或关键信号底层布线的情况，一般情况下限制使用该方案。在电源平面和地平面之间的芯板厚度同样不宜过厚，以小于 5mil 为优。

3) 叠层方案 3：GND01、S02、S03、GND04/PWR04

为达到一定的屏蔽效果，有时会采用叠层方案 3)。

此方案有如下缺陷。

- 电源平面、地平面相距过远，电源平面阻抗较大。

- 电源平面、地平面因为元器件焊盘的影响，极不完整。
- 由于参考面不完整，所以信号阻抗不连续。

有时在背板设计时会采用此方案，当采用此方案时，TOP 层和 BOTTOM 层只允许少量的走线，同时在信号层进行敷铜处理，以保证表层走线的参考平面及控制叠层对称的要求。

2. 六层板的叠层结构

六层板的叠层结构一般至少包含 1 个电源平面、1 个地平面和 2 个信号平面，叠层结构如表 5-3 所示，Core\PP 叠层分布如图 5-5 所示。六层板的叠层结构优选方案 1，可用方案 2，备用方案 3。

表 5-3 六层板的叠层结构

层 数	叠层方案 1	叠层方案 2	叠层方案 3
第 1 层（TOP 层）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）
第 2 层	G1 地平面	G 地平面	S 信号层（埋入式微带线）
第 3 层	S 信号层（带状线）	S 信号层（带状线）	G 地平面
第 4 层	P 电源平面	S 信号层（带状线）	P 电源平面
第 5 层	G2 地平面	P 电源平面	S 信号层（埋入式微带线）
第 6 层（BOTTOM 层）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）	S 信号层（元器件、微带线）

层数	叠层结构	备注
L1	Silkscreen	顶层丝印层
	Soldermask	顶层阻焊层
	Copper	顶层Copper
L2	Prepreg	PP1
	Copper	Core 1
	Core	
L3	Copper	
	Prepreg	PP2
L4	Copper	Core 2
	Core	
	Copper	
L5	Prepreg	PP3
	Copper	底层 Copper
	Soldermask	
L6	Silkscreen	底层层丝印层

图 5-5 六层叠层 Core\PP 叠层分布

1) 叠层方案 1: TOP、GND02、S03、PWR04、GND05、BOTTOM

此方案为目前业界主推的 6 层 PCB 的叠层设计方案，有 3 个布线层，1 个电源平面和 2 个地平面。第 4 层和第 5 层电源平面和地平面之间的芯板 Core 的厚度要尽可能小，以降低第 4 层电源平面的特性阻抗，使第 4 层和第 5 层的电源平面与地平面具有较好的电容去耦特性。第 3 层信号层是最优布线层，高速信号和高风险信号优先布置在该层。

2) 叠层方案 2: TOP、GND02、S03、S04、PWR05、BOTTOM

当需要的布线层数多，对成本要求苛刻时，可以采用此方案。此方案有 4 个布线层，1 个

电源平面和 1 个地平面，在电源平面和地平面之间夹有两个信号层，电源平面和地平面之间不存在任何的去耦作用，在处理电源层时可适当添加电源引脚的去耦电容，降低电源和地之间的特性阻抗。在该方案中，第三层 S03 是最优布线层，高风险和高速信号优先布置在该层。

3) 叠层方案 3: TOP、S02、GND03、PWR04、S05、BOTTOM

该方案也有 4 个布线层、1 个电源平面和 1 个地平面。第 3 层和第 4 层电源平面和地平面之间芯板的厚度要尽量小，使电源阻抗较低，提供较好的去耦效果。但由于第 1 层和第 2 层 2 个信号走线层相邻，第 5 层和第 6 层信号走线层相邻，信号质量较差，所以在走线时，第 1 层和第 2 层要交叉走线，第 5 层和第 6 层信号要交叉走线。靠近地平面的第 2 层是最优布线层。

3. 八层板的叠层结构

八层板叠层结构如表 5-4 所示，八层板的 Core\PP 叠层分布如图 5-6 所示。八层板优选方案 1 和 2，方案 3 可用。

表 5-4 八层板的叠层结构分布

层 数	叠层方案 1	叠层方案 2	叠层方案 3
第 1 层 (TOP 层)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)
第 2 层	G1 地平面	G1 地平面	G1 地平面
第 3 层	S 信号层 (带状线)	S 信号层 (带状线)	S 信号层 (带状线)
第 4 层	G2 地平面	P1 电源平面	S 信号层 (带状线)
第 5 层	P 电源平面	G2 地平面	P 电源平面
第 6 层	S 信号层 (带状线)	S 信号层 (元器件、微带线)	S 信号层 (带状线)
第 7 层	G3 地平面	P2 电源平面	G2 地平面
第 8 层 (BOTTOM 层)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)

层数	叠层结构	备注
L1	Silkscreen	顶层丝印层
	Soldermask	顶层阻焊层
	Copper	顶层Copper
	Prepreg	PP1
L2	Copper	Core 1
	Core	
L3	Copper	
	Prepreg	PP2
L4	Copper	Core 2
	Core	
L5	Copper	
	Prepreg	PP3
L6	Copper	Core 3
	Core	
L7	Copper	
	Prepreg	PP4
L8	Copper	底层 Copper
	Soldermask	底层阻焊层
	Silkscreen	底层丝印层

图 5-6 八层叠层 Core\PP 叠层分布

1) 叠层方案 1: TOP、GND02、S03、GND04、PWR05、S06、GND07、BOTTOM

此方案是目前业界主推的 8 层 PCB 的叠层方案，该方案有 4 个布线层，1 个电源供电电源平面和 3 个地平面。此叠层结构，无论从信号完整性、电源完整性的角度还是从 PCB 叠层的 EMC 角度考虑都是最优的，可以获得极佳的电源地平面的电源去耦效果和极佳的内层布线的 EMI 屏蔽。第 3 层相邻 2 个地平面层是最优的布线层，高速类走线和高风险的时钟信号走线等优先布置在该层。第 4 层和第 5 层的 Core 芯板厚度要尽量减小，以小于 5mil 为佳，可以使第 5 层电源平面获得低的平面阻抗，有利于电源完整性、信号完整性及 EMC 特性。第 2 层和第 7 层都是地平面，都可以作为高速信号的信号回流路径。

2) 叠层方案 2: TOP、GND02、S03、PWR1_04、GND05、S06、PWR2_07、BOTTOM

此叠层方案适用于板上电源种类多，采用一个电源平面无法满足 PCB 供电需求的情况 (PCB 电源有交叉的情况)。第 3 层和第 6 层为最佳布线层，可以减小第 4 层电源平面与第 5 层地平面之间芯板的厚度，增强电源平面和地平面之间的去耦，降低电源平面的特性阻抗。为使 P2 电源平面具有较好的去耦性能，降低 P2 电源平面的目标阻抗，可以尽量减少第 8 层的信号走线，在 8 层对第 7 层电源平面适当地进行大面积敷铜处理，同时为了兼顾工艺和 PCB 叠层的对称，在 TOP 层也应进行适当的敷铜处理。

3) 叠层方案 3: TOP、GND1_02、S03、S04、PWR05、S06、GND2_07、BOTTOM

此叠层方案有 5 个布线层，1 个电源平面和 2 个地平面。此叠层结构电源和地的去耦效果很差，没有电源平面与地平面相邻，一般应用在布线层数要求多且成本控制严格的设计中，如消费类平板等。第 2 层和第 6 层是较好的布线层，高速类信号和高风险信号可以布置在这两层。一般在进行平板类设计时，DDR 及其他高速类的信号根据信号性质分类后布置在 TOP 层、第 3 层、第 6 层及第 8 层。当进行叠层分布设计时，应加大第 3 层和第 4 层的层间距，第 3 层和第 4 层交叉走线。

4. 十层板的叠层结构

十层板的叠层结构如表 5-5 所示，十层板的 Core\PP 叠层分布如图 5-7 所示。

表 5-5 十层板的叠层结构

层 数	叠层方案 1	叠层方案 2	叠层方案 3
第 1 层 (TOP 层)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)
第 2 层	G1 地平面	G1 地平面	G1 地平面
第 3 层	S 信号层 (带状线)	S 信号层 (带状线)	S 信号层 (带状线)
第 4 层	S 信号层 (带状线)	S 信号层 (带状线)	G2 地平面
第 5 层	G2 地平面	P1 电源平面	P1 电源平面
第 6 层	P 电源平面	G2 地平面	P2 电源平面
第 7 层	S 信号层 (带状线)	S 信号层 (带状线)	G3 地平面
第 8 层	S 信号层 (带状线)	S 信号层 (带状线)	S 信号层 (带状线)
第 9 层	G3 地平面	P2 电源平面	G4 地平面
第 10 层 (BOTTOM 层)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)	S 信号层 (元器件、微带线)

1) 叠层方案 1: TOP、GND1_02、S03、S04、GND2_05、PWR06、S07、S08、GND3_09、BOTTOM

此方案有 6 个布线层、3 个地平面和 1 个电源平面，对于单一电源平面的方案来说，优先采用此叠层结构。第 3 层和第 4 层是最优布线层，高速类信号和时钟类高风险信号优先布置在该层。第 5 层和第 6 层之间的芯板 Core 的厚度应该尽量薄，以小于 5mil 为佳，可以提供较低的电源目标阻抗，电源的去耦效果好。第 3 层和第 4 层，第 7 层和第 8 层采用交叉布线方式，并加大两者之间叠层的厚度。

2) 叠层方案 2：TOP、GND1_02、S03、S04、PWR1_05、GND2_06、S07、S08、PWR2_09、BOTTOM

此方案有 6 个布线层，2 个地平面和 2 个电源平面，对于需要考虑两种电源平面的叠层结构设计，优先考虑此方案。第 3 层和第 7 层是最优走线层面，高速类信号和高风险如时钟信号，优先走在这两层。减小第 5 层电源平面和第 6 层地平面之间芯板 Core 的厚度，有利于降低电源平面的阻抗，获得好的平面去耦效果。第 3 层和第 4 层，第 7 层和第 8 层进行交叉走线，并加大两层之间的间距，减小相邻两层的信号窜扰。为使第 9 层电源平面具有较低的电源阻抗，电源平面具有较好的去耦效果，可以在第 10 层，针对第 9 层的电源平面适当地进行敷铜处理，同时兼顾工艺的叠层对称，在 TOP 层也对应地进行敷铜处理。

3) 叠层方案 3：TOP、GND1_02、S03、GND2_04、PWR1_05、PWR2_06、GND3_07、S08、GND4_09、BOTTOM

此叠层方案包含 4 个走线层，4 个地平面层和 2 个电源平面层，在成本要求不高，EMC 要求指标高且必须双电源供电平面要求的情况下，建议采用此方案。第 3 层和第 8 层是最优走线层，高速类信号和高风险信号优先布置在该层。减小第 6 层电源平面和第 7 层地平面，第 4 层电源平面和第 5 层地平面之间的 Core 芯板的间距，以小于 5mil 为优，这样会降低电源平面的特性阻抗，平面间的去耦效果较好。为减弱平面间噪声的耦合，可适当加大第 5 层和第 6 层两个电源平面之间的间距。

层数	叠层结构	备注
L1	Silkscreen	顶层丝印层
	Soldermask	顶层阻焊层
	Copper	顶层Copper
	Prepreg	PP1
L2	Copper	Core 1
	Core	
L3	Copper	
	Prepreg	PP2
L4	Copper	Core 2
	Core	
L5	Copper	
	Prepreg	PP3
L6	Copper	Core 3
	Core	
L7	Copper	
	Prepreg	PP4
L8	Copper	Core 4
	Core	
L9	Copper	
	Prepreg	PP5
L10	Copper	底层 Copper
	Soldermask	底层阻焊层
	Silkscreen	底层丝印层

图 5-7 十层叠层 Core\PP 叠层分布

5.3.4 滤波在 EMI 处理中的应用

滤波是电路的 EMC 设计中必不可少也是最常用的对策手段，常用的滤波措施有去耦电容、三端电容、磁珠、电源滤波和接口滤波等，在进行 PCB 设计时，滤波器件的摆放位置相当关键，对于电容类去耦的滤波原则是靠近滤波区域放置。

电阻、电容、电感、导线的高低频特性如图 5-8 所示，在进行滤波设计时，要关注其高频特性。

器件	低频特性	高频特性 (Lumped version)
导线		
电阻		
电容		
电感		

图 5-8 电阻、电容、电感、导线的高低频特性

在滤波电路的 EMC 设计中，滤波的作用基本上都是衰减高频噪声，因此滤波器通常都设计为低通滤波器，滤波电路的典型结构如图 5-9 所示。

图 (a) 为电感滤波器，适用于高频时源阻抗和负载阻抗较小的场合。

图 (b) 为电容滤波器，适用于高频时源阻抗和负载阻抗较大的场合。

如图 (c) 和图 (d) 所示为 L 形滤波器，图 (c) 适用于高频时源阻抗较小、负载阻抗较大的场合，图 (d) 适用于高频时源阻抗较大、负载阻抗较小的场合。

图 (e) 为 π 形滤波器，适用于高频时源阻抗与负载阻抗均较大的场合。

图 (f) 为 T 形滤波器，适用于高频时源阻抗与负载阻抗都比较小的场合。

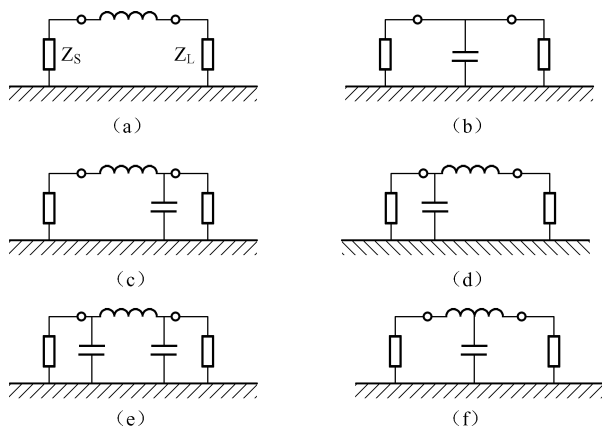


图 5-9 低通滤波电路的结构形式

滤波电路在布局、布线时要注意以下几点。

① 滤波电路的地应该是一个低阻抗的地，同时，不同的功能电路之间不能存在共地阻抗。

② 滤波电路的输入/输出不能相互交叉走线，应该加以隔离。

③ 滤波电路的走线路径应尽可能短、简洁，且尽量减小滤波电容的等效串联电感和等效串联电阻。

④ 接口滤波电路应该尽量靠近接口的接插件放置。

5.3.5 EMC 中地的分割与汇接

在 PCB 单板中，对于噪声波动大的地（动态地）与纹波小的地（静态地），一般是要做隔离的，典型的代表是数字地与模拟地的分割。模拟信号和数字信号都要回流到地，因为数字信号变化速度快，所以在数字地上引起的噪声就会很大，而模拟信号需要一个干净的地参考工作，如果模拟地和数字地混在一起，噪声就会影响到模拟信号。一般来说，模拟地和数字地要分开处理，然后通过细的走线连在一起，或单点接在一起。总的思想是尽量阻隔数字地上的噪声窜到模拟地上。当然也不是非常严格地要求模拟地和数字地必须分开，如果模拟部分附近的数字地的噪声干扰幅度在允许的阈值范围内就可以合在一起。举一个与模拟地和数字地相类比的例子，可以更好地理解地的分割：人和猪都要在地面上生活，因为猪的文明进化过程比较慢，所以会把地面上弄得很脏，而人是需要一个干净的地面生活的。如果人和猪混在一起生活，猪产生的脏东西就会影响到人。一般来说，人生活的地面和猪生活的地面要分开处理（盖猪圈），但是人和猪之间又需要有联系（喂猪），因此通常就用栅栏连在一起，或通过一道门连在一起，总的思想是尽量阻隔猪圈里的脏东西窜到人生活的地面上。当然也不是非常严格地要求人和猪必须分开，如果人附近的猪很干净（宠物猪）就可以住在一起。

分地（即地的分割）的处理是在 PCB 上存在不相容的电路时进行的处理，即根据不同的电源电压、数字和模拟信号、高速和低速信号、大电流和小电流信号来分别设置地线。根据高速信号与低速信号和信号的回流路径，可以很好地理解：分地可以防止不相容电路的回流信号叠加，防止共地线阻抗耦合。分地只是根据不同的地分别设置地线或地平面，因为系统必须有统一的电势参考点，所以分地并不是完全隔离的，一般分割后的地需要再通过单点连接的方式连在一起，常用的单点连接方式有 PCB 走线、 0Ω 电阻、磁珠和小容值电容等。

5.3.6 EMC 中的屏蔽与隔离

屏蔽根据原理的不同可以分为电屏蔽、磁屏蔽和电磁屏蔽。

电屏蔽的实质是减小两个设备（或两个电路、组件、元件）间电场感应的影响。电屏蔽的原理是在保证良好接地的条件下，将干扰源所产生的干扰终止于由良导体制成的屏蔽体。因此，接地良好及选择良导体作为屏蔽体是电屏蔽能否起作用的两个关键因素。

磁屏蔽的原理是由屏蔽体对干扰磁场提供低磁阻的磁通路，从而对干扰磁场进行分流，因而选择钢、铁和坡莫合金等高磁导率的材料和设计盒、壳体成为磁屏蔽的两个关键因素。

电磁屏蔽的原理是由于金属屏蔽体通过电磁波的反射和吸收来屏蔽辐射干扰源的远区场，即同时屏蔽场源所产生的电场和磁场分量。由于随着频率的增高，波长变得与屏蔽体上孔缝的尺寸相当，从而导致屏蔽体的孔缝泄漏成为电磁屏蔽最关键的控

制因素。对于敏感电路、强辐射的电路，要设计一个在 PCB 上焊接的屏蔽腔，在设计 PCB 时要加上“过孔屏蔽墙”，即在 PCB 上与屏蔽腔壁紧贴的部位加上接地的过孔，要求如下：要有两排以上的过孔；两排过孔要相互错开；同一排的过孔间距要小于 $\frac{\lambda}{20}$ ；PCB 与屏蔽腔焊接的部位禁止有绿油；如果是射频信号，射频信号线在顶层穿过屏蔽壁时，要在屏蔽腔的相应位置开一个槽

门，门高大于 0.5mm，门宽要保证安装后信号线与屏蔽体间的距离大于 1mm，如图 5-10 所示。

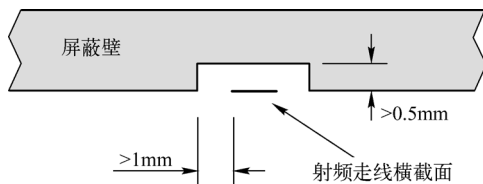


图 5-10 屏蔽壁槽门

随着科学的发展，使用的频率越来越密集，功率密度越来越大，电子设备系统内及系统间的电磁干扰问题越来越严重。屏蔽效能的仿真对于抑制电子设备辐射耦合具有非常重要的意义，它可使技术人员在产品生产出来之前就预计到其抑制辐射干扰的性能，从而为加快研制周期、提高产品性能和节约成本奠定良好的基础。通过软件的仿真，能够克服结构设计人员因对电磁兼容知识缺乏而设计出不符合 EMC 的结构的问题；缩短产品开发周期，提高设计水平与质量；实现与热、机械振动的协同设计。仿真的内容包含：对电子设备（机箱、机柜等）通过孔、缝等结构的电磁场辐射泄漏进行仿真及预计，主要涉及器件、印制板建模及腔体结构建模；对电子设备结构的屏蔽效能进行仿真，主要涉及结构屏蔽设计及建模。常用的电磁计算软件有 HFSS、Feko、EADS/EMC2000、Flowmerics/FLOWEMC 和 Ansys/Multiphysics 等。

5.3.7 符合 EMC 的信号走线与回流

从 EMC 的角度，关键信号线（尤其是时钟信号）优先考虑内层布线；在内层布线时，优先考虑无相邻布线层的层或虽有相邻布线层，但相邻布线层对应区域无走线的层；内层布线选择参考平面时，优先选择地平面做参考平面；确保关键信号走线未跨平面的分割区。

开槽是 PCB 设计中的一种常见结构，“跨分割区问题”事实上也是一种开槽问题。开槽问题分为两种：对通孔过于密集形成的开槽和对电源/地平面分割造成的开槽。

通孔穿过底层或电源层而与之没有电气连接时，需要在通孔周围留下一些空间（即隔离环）以便进行电气隔离；但当通孔之间的距离靠得太近时，隔离环就会重叠起来，形成开槽。

当 PCB 上存在多种不同的电源或地时，一般不可能为每一种电源网络和地网络分配一个完整的平面，常用的做法是在一个或多个平面上进行电源分割或地分割。在同一个平面上，不同分割之间就形成了开槽。

在低速的情况下，电流沿电阻最低的路径流动，如图 5-11 所示是低速电流从 A 流向 B 时，其回流信号从地平面返回源端的情形，此时面电流分布较宽。

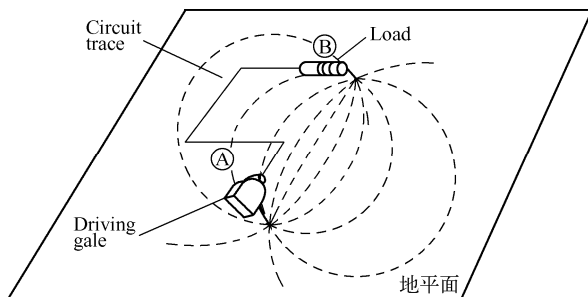


图 5-11 低速回流信号沿电阻最低的路径流动

在高速信号的情况下，信号回流路径上电感的作用将超过电阻的作用。高速回流信号将沿阻抗最低的路径流动，如图 5-12 所示是一个经典的高速信号的回流路径。此时，面电流的分布很窄，回流信号成束状集中在信号线的下方。

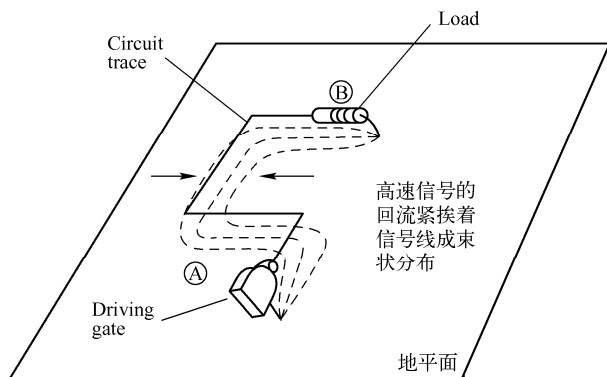


图 5-12 高速回流信号沿阻抗最低的路径流动

不管是高速信号还是低速信号，都不应该跨分割走线，跨分割会带来很多问题，如增大了电流环路面积，加大了环路电感，使输出的波容易振荡；增加了向空间的辐射干扰，同时易受空间磁场的影响；加大了与板上其他电路产生磁场耦合的可能性；环路电感上的高频压降构成共模辐射源，并通过外接电缆产生共模辐射；对于需要严格进行阻抗控制的高速信号而言，还会破坏平面的开槽微带线或带状线的走线，造成阻抗的不连续，引起严重的信号完整性问题，从而造成严重的 EMI 干扰。地面上的开槽对信号的影响如图 5-13 所示。

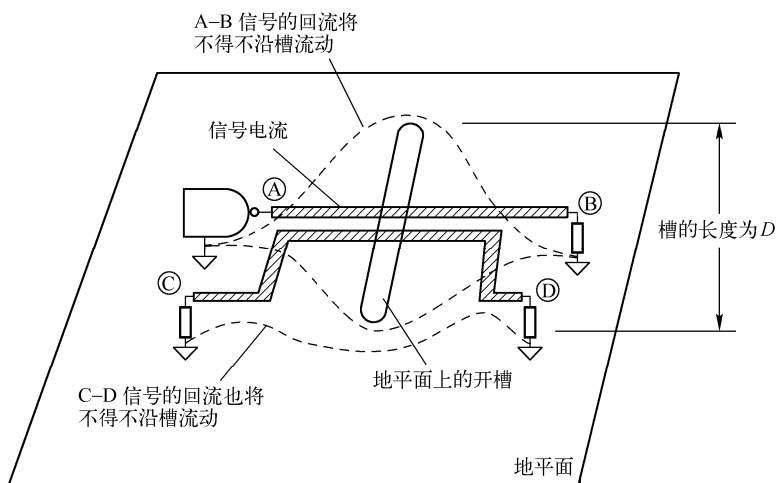


图 5-13 地平面上开槽对信号造成的影响

对于因平面分割造成的开槽问题，在设计时要注意，需要严格控制走线阻抗的高速信号线，使其走线及回流路径严禁跨分割平面；当跨开槽走线不可避免时，应该进行桥接，在沿信号路径的方向将地平线连接起来，如图 5-14 所示。

在 PCB 走线进行转角时，有多直角走线、45°角走线和圆角走线，如图 5-15 所示，45°角走线和圆角走线是最优的走线方式。

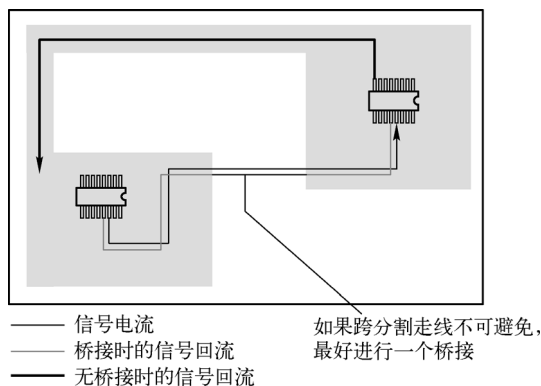


图 5-14 当跨分割走线时进行有效的桥接

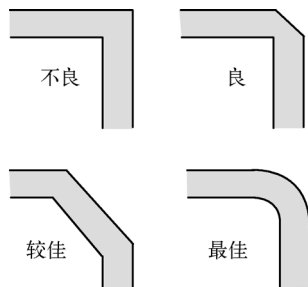


图 5-15 走线转角对比

在对高速信号进行走线时，PCB 上的单根走线是由微带线和带状线组成的，走线周边的电场分布如图 5-16 所示，带状线与微带线都需要参考平面作为信号的回流路径，因此在进行走线设计时，除关注信号走线的路径外，还要关注信号参考平面上的信号回流路径。

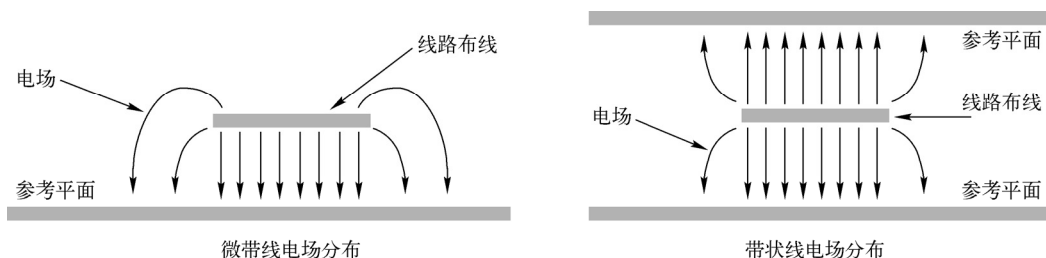


图 5-16 微带线和带状线电场分布

当 PCB 的叠层由多层 PCB 组成时，为了满足布线的需要，信号要常常变换走线层，信号变换走线层后，其对应的参考平面也相应地会发生变化。如图 5-17 所示，信号换层后，对应的参考平面也相应变化了。为了使信号有良好的信号回流路径，减少信号的反射，从而减小信号的 EMI 辐射，考虑到信号走线的换层是通过过孔实现的，因此在信号换层的地方要合理添加与信号走线同属性的过孔或在两个不同的参考平面之间添加合适的缝隙补偿电容。一般添加的回流过孔或缝隙补偿电容与信号换层的过孔距离应控制在 50mil 以内，尽量缩短信号的回流路径，减小因回流路径不连通带来的信号完整性问题。由于信号走线换层而对信号回流路径做出的过孔补偿或层面补偿的电容归纳如下。

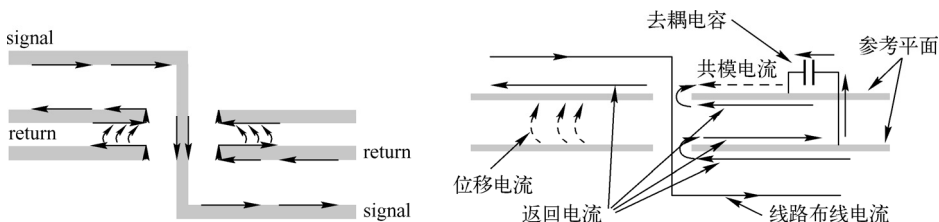


图 5-17 信号通过过孔换层，信号回流路径发生变化

- ① 信号换层时，参考平面最好不要变换。
- ② 信号换层变换参考平面的情况下，最好不要改变参考层的网络属性，在换层时如果是

地网络，应在距离走线换层过孔 50mil 距离内合理添加地网络的信号回流过孔或缝隙补偿电容；换层时如果是电源网络，也要对应地添加电源网络的过孔或缝隙补偿电容。

③ 如果换层后信号返回路径的参考平面的属性变了，如原先的参考平面是电源平面，走线通过过孔换层后，参考平面变为了地平面，则此时应尽量减小两个参考平面之间的距离，减小信号间阻抗和返回路径上的压降。

④ 当换层的信号密度大时，在换层的过孔旁边适当多添加几个信号换层的与参考层属性相对应的回流补偿过孔或添加缝隙补偿电容（空间允许的情况下）。在给各个信号换层过孔添加信号回流补偿过孔时，为尽量缩短信号的回流路径，应尽量使信号的阻抗保持一致。一般换层补偿过孔控制在距离走线换层过孔 50mil 内，但又因为要减小换层回流补偿过孔彼此之间信号回流串扰的影响，所以一般会适当加大信号回流补偿过孔之间的距离。

5.4 本章小结

本章对电路设计中的 EMC/EMI 问题进行了论述，对 EMC 的概念及标准做了说明；对 PCB 的 EMC 设计方法进行了详细的论述，论述了 EMC 与 SI/PI 分析的异同；对 PCB 布局时有助于系统 EMC 的模块划分做了说明；从系统减少 EMI，提升自身 EMC 特性的角度，对 PCB 的常用叠层结构做了归纳总结；对滤波在减弱系统的 EMI 的作用做了说明；从信号回流和地的分割提升系统的 EMC 性能，减弱 EMI 的角度做了综合论述；对处理 EMC，减弱或消除 EMI 的屏蔽、接地和隔离方法做了说明。

DFX 分析方法

6.1 DFX 分析概述

DFX 是 Design for X（面向产品生命周期各环节的设计）的缩写，其中 X 代表产品生命周期的某一环节或特性，如可制造性（M——Manufacturability）、可装配性（A——Assembly）和可靠性（R——Reliability）等。DFX 主要包括^[26]：可制造性设计 DFM——Design for Manufacturability；可装配性设计 DFA——Design for Assembly；可靠性设计 DFR——Design for Reliability；可服务性设计 DFS——Design for Serviceability；可测试性设计 DFT——Design for Test；面向环保的设计 DFE——Design for Environment 等。本章仅对 DFT、DFA 和 DFE 进行阐述，并对 DFM 展开详细论述。

DFX 设计方法是世界上先进的新产品开发技术，这项技术在欧美大型企业中应用得非常广泛。在产品开发过程中和进行系统设计时不但要考虑产品的功能和性能要求，而且要考虑与产品整个生命周期相关的工程因素，只有具备良好工程特性的产品才是既满足客户需求，又具备良好的质量、可靠性与性价比的产品，这样的产品才能在市场得到认可。

DFX 的目的是提倡在产品的前期设计中考虑包括可制造性、可装配性等相关问题。传统的电子产品开发方法通常是设计—生产制造—销售各个阶段串行完成。由于设计阶段没有全面考虑制造要求，加上设计人员对工艺知识的欠缺，所以总会造成在产品生产时出现这样那样的问题，如元器件选择不当、PCB 设计缺陷等，导致设计方案多次修改、PCB 不断改板、生产多次验证等，使得产品开发周期延长、成本增加、质量和可靠性得不到有效保证。

DFX 基于并行设计的思想，在产品的概念设计和详细设计阶段就综合考虑到制造过程中的工艺要求、测试要求和组装的合理性，同时还考虑到维修要求、售后服务要求和可靠性要求等，通过设计手段保证产品满足成本、性能和质量的要求。DFX 不再把设计看成一个孤立的任务，而是利用现代化设计工具和 DFX 分析工具设计具有良好工程特性的产品。通过 DFX 设计可以减少产品更改次数、缩短产品上市周期、降低产品成本、提高产品质量与可靠性，将问题解决在设计阶段，而不是让问题产品进入市场后才发现，造成巨大的浪费和损失。

根据相关统计，电子产品成本的 70%在设计阶段就决定了，如果设计缺陷延伸到后端，其解决费用会成百倍地增加，因此越来越多的公司开始关注 DFX。

6.2 DFM——可制造性设计

DFM 是 DFX 中最重要的部分，它就是要考虑制造的可能性、高效性和经济性。DFM 的目标是在保证产品质量与可靠性的前提下缩短产品开发周期、降低产品成本、提高加工效率。DFX 在电子产品设计中的出现有其深刻的历史背景，它是由于电子产品竞争越来越激烈，公司必须保证产品能够快速、高质量地进入市场，适应电子产品短生命周期的要求而产生的。

PCB 的工艺设计非常重要，它关系到所设计的 PCB 能否高效率、低成本地制造出来。新一代的 SMT 装联工艺，由于其复杂性，要求设计者从一开始就必须考虑制造的问题。因为一旦设计完成后再进行修改势必延长转产时间、增加开发成本。即使改 SMT 元件的一个焊盘的位置也要进行重新布线、重新制作 PCB、加工菲林和焊膏印刷钢板。

如果在设计时不考虑 PCB 的工艺设计，对模拟电路的设计、调试、加工将更加困难，甚至要重新进行设计和调试。但是如果不进行修改，批量生产造成的损失就会更大，所付出的代价将是前一阶段修改成本的数十倍以上。因此，设计者必须从设计工作开始就重视工艺问题，问题越早解决对公司也越有利。

工艺性设计要考虑以下几点：

- a) 自动化生产所需的传送边、定位孔和光学定位符号；
- b) 与生产效率有关的拼板；
- c) 与焊接合格率有关的元件封装选型、基板材质选择、组装方式、元件布局、焊盘设计和阻焊层设计；
- d) 与检查、维修、测试有关的元件间距和测试焊盘设计；
- e) 与 PCB 制造有关的导通孔和元件孔径设计、焊盘环宽设计、隔离环宽设计、线宽和线距设计；
- f) 与装配、调试、接线有关的丝印或腐蚀字符；
- g) 与压接、焊接、螺装、铆接工艺有关的孔径、安装空间。

6.2.1 印制板基板材料选择

1. 常用基板性能评测参数及分类

基板材料种类繁多，可根据不同的需要及参数标准去选定基材。根据基材是否可以挠曲可分为刚性板材和挠性板材；根据 T_g 值（玻璃化转变温度）可分为高 T_g 板材和常规 T_g 板材；按照基板材料可以分为 FR4、CEM3、CEM1、非 PTFE 高频板材和 PTFE 高频板材等。

评测常规基板板材性能的参数指标有 T_g （玻璃化转变温度）、 T_d （分解温度或裂解温度）、CTE（热膨胀系数）、CTI（漏电指数）、 ϵ_r （相对容电率）和 Loss Tangent（损失正切）。

T_g （玻璃化转变温度）： T_g 是基材保持刚性的最高温度（℃），当温度升高到某一区域时，基板将由“玻璃态”转变为“橡胶态”，此时这一温度转变的温度点称为板材的玻璃化转变温度。普通的 PCB 基板材料在高温下会产生软化、变形和熔融等现象，还会有机械、电气特性的急剧下降。

T_d （分裂温度或裂解温度）：当以热重分析法（Thermal Cravity Analysis）将树脂加热，当树脂的重量失重 5%（Weight Loss）时的温度点称为 T_d 。 T_d 可用来判断板材的耐热性，用来作为评测是否可能产生爆板的简介指标。IPC 新规范建议使用无铅焊接，一般 T_g 板材的 $T_d > 310^\circ\text{C}$ ，中 T_g 板材的 $T_g > 325^\circ\text{C}$ ，高 T_g 板材的 $T_g > 340^\circ\text{C}$ 。在 PCB 组装波峰焊的过程中，无铅焊料因为过于僵硬，容易产生局部龟裂或铜环从板面拉起造成局部扯裂的状态。

CTE（Coefficient of Thermal Expansion，热膨胀系数）：热胀冷缩是物质的共同本性，不同物质的 CTE 是不同的。印制板是树脂+增强材料（如玻璃纤维）+铜箔的复合物。在板面 X-Y 轴方向，印制板的热膨胀系数 CTE 为 $13\sim 18\text{PPM}/^\circ\text{C}$ ，在板厚 Z 轴方向为 $80\sim 90\text{PPM}/^\circ\text{C}$ ，而铜的 CTE 为 $16.8\text{PPM}/^\circ\text{C}$ 。片状陶瓷芯片载体的 CTE 为 $6\text{PPM}/^\circ\text{C}$ ，印制板的金属化孔壁和相连的绝缘壁在 Z 轴的 CTE 相差很大，产生的热量不能及时排除，热胀冷缩会使金属化孔开裂、断开，这样系统就不可靠了。SMT 表面贴装技术使这一问题更为突出，因为表面贴装的

互连是通过表面焊点的直接连接来实现的，陶瓷芯片的载体 CTE 为 6 PPM/℃，而 FR4 基材的 X-Y 向 CTE 为 13~18 PPM/℃，因此贴装链接焊点由于 CTE 不同，长时间经受应力会导致疲劳断裂。金属基 PCB 可以有效解决散热问题，从而使 PCB 上的由不同基材构成的元器件的热胀冷缩问题得到缓解，提高系统的耐用性和可靠性。

CTI（漏电指数）：材料表面能经受住 50 滴电解液（0.1%氯化铵水溶液）而没有形成漏电痕迹的最高电压值，单位为 V。电路板在使用环境中遭到污染，使 PCB 上线路间出现漏电短路且发热烧焦的情形，是比较各种板材能否耐得住恶劣环境的侵蚀，能够减少危险概率的实验，也是在最坏的打算下，电路板板材能够过关的实验。一般规定 RF4 的及格标准是 200~400V，CEM1 也是 200~400V，但日本业界有时会要求到 800V 的严格标准。

ϵ_r （相对容电率或称介质常数）：当介质常数太大时，会造成信号传送速率变慢。利用麦克斯韦方程知信号在 PCB 中的传播速度 $V_p = \frac{C}{\sqrt{\epsilon_r}}$ （C 是光速， r 是空气的相对容电率，为 1， ϵ 是介质常数）。根据公式可以看出 ϵ 越大，信号在 PCB 中的传播速度越慢。

Loss Tangent（损失正切）：又称为 DF（散失因素）、损失因素（Loss Factor）、介质损失（Dielectric Loss）。世界上并无完全绝缘的材料存在，再强的绝缘介质，只要在不断提高测试电压的情况下，终究会出现打穿崩溃的结局。即使在很低的工作电压下，信号线中传输的能量也多少会漏往其所附着的介质材料中。对于高频信号来说，因为趋肤效应，信号都要离开 PCB，进入空气中，所以板材的 DF 越低越好，频率越高板材的 DF 越小越好。

FR4 是最常用的板材，FR4 板材的供应商有生益、联茂科技、台耀、腾辉、日立、南亚、宏仁、台光、ISOLA、GETEK 和 NELCO；陶瓷粉添加的高频材料（非 PTFE）供应商有 ROGERS、ARLON；PTFE 高频板材的供应商有 ROGERS、NELCO、泰兴微波、TACONIC、ARLON。

2. PCB 上的铜箔

板材的铜箔有三种：压延铜箔（RA）、电解铜箔（ED）和铍铜。压延铜箔（RA）采用压力碾压而成，铜微颗粒呈水平轴状结构，因此压延铜箔板材虽贵，但挠曲性能好。电解铜箔（ED）采用电镀方式形成，其铜微粒结晶状态为垂直针状，易在蚀刻时形成垂直的线条边缘，有利于精细线路的制作，但在弯曲半径小于 5mm 或动态挠曲时，针状结构易发生断裂，因此常用于刚性板和一次挠曲产品上。以铍为主要合金元素的铜合金，又称为铍青铜，它是铜合金中性能最好的高级有弹性材料，有很高的强度、弹性、硬度、疲劳强度，弹性滞后小、耐蚀、耐磨、耐寒、高导电、无磁性、冲击不产生火花等一系列优良的物理、化学和力学性能，其中铍铜的挠曲性能最好。

PCB 铜箔厚度指成品厚度（Finished Conductor Thickness）。铜箔厚度（也即基铜厚度）与线宽、线间距的关系如表 6-1 和表 6-2 所示。

表 6-1 铜箔厚度和最小线宽/线间距设计参数

基铜厚度		8 层及以下最小线宽/线间距（mil）				8 层以上最小线宽/线间距（mil）			
（oz/Ft ² ）	公制（μm）	内 层		外 层		内 层		外 层	
		推荐值	最小值	推荐值	最小值	推荐值	最小值	推荐值	最小值
4	140	9/14.5	8/13.5	8/20	7/19	9/13	7/11	11/17	9/15
3	105	7/9.5	6/8.5	8/12	7/11	6.5/8.5	5/7	9.5/13.5	8/12
2	70	6/6	5/5.5	5/8.5	4/8.5	5/6	4/5	7/9	6/8
1	35	4.5/5	4/4.5	5/5.7	4/5.7	4/4.5	3/4	5/6	4.5/5
0.5	18	4.5/4.5	4/4	4.5/5	4/4.5	3.5/3.5	3/3	4.5/4.5	4/4

备注：设计文件的最小线宽及间距在条件允许的情况下尽量大于推荐值。

表 6-2 蛇形线铜厚和最小线宽/线间距设计参数

基铜厚度		8 层及以下最小线宽/线间距（mil）				8 层以上最小线宽/线间距（mil）			
（oz/Ft ² ）	公制（μm）	内 层		外 层		内 层		外 层	
		推荐值	最小值	推荐值	最小值	推荐值	最小值	推荐值	最小值
2	70	8/8	7/7	8/10	7.5/9.5	7/7	6.5/6.5	8/10	7/9
1	35	6/6	5.5/5.5	6/7	5.5/6.5	5.5/5.5	5/5	5.5/6.5	5/6
0.5	18	5.5/5.5	5/5	5.5/6.5	5/6	5/5	4.5/4.5	5/5.5	4.5/5.2

备注：设计文件的最小线宽及间距在允许情况下尽量大于推荐值；等长线间距（边缘到边缘）推荐为设计线宽的 2 倍。

6.2.2 制造的工艺及制造水平

PCB 在设计时，不要超越目前厂家批量生产时所能达到的技术水平，否则无法加工或加工成本高。如表 6-3 所示是目前业界的 PCB 工艺及生产制造能力。

表 6-3 PCB 工艺及生产制造能力

	样 板	批 量
层数	2~64 L	2~58 L
板厚	0.5~17.5mm	0.6~10mm
最小机械孔径	0.1mm	0.2mm
最小镭射孔径	3mil	4mil
HDI 类型	1+n+1、2+n+2、3+n+3	1+n+1、2+n+2
最小线宽&间距	3/3mil	4/4mil
阻抗控制	+/- 5%	+/- 10%
最大铜厚	12oz	6oz
最大板厚孔径比	18:1	16:1
最大板子尺寸	650mm×1130mm	610mm×1100mm
板材	FR4/Hi-Tg/Rogers/Halogen Free/RCC/PTFE/Nelco/混压材料	
表面处理	HASL、HASL PB FREE Immersion Gold/Tin/Silver Gold Finger Plating OSP、Immersion Gold + OSP	
特殊加工	埋盲孔、台阶槽、金属基板、埋入式电阻、埋入式电容、混压、软硬结合、背钻等	

6.2.3 PCB 设计的工艺要求（PCB 工艺设计要考虑的基本问题）

1. PCB 的厚度要求

PCB 的厚度指的是其标称厚度，即绝缘层加铜箔的厚度，应依据结构、板尺寸大小和所安装元件的质量选取。一般贴装机运行的板厚是 0.5~4.5mm，一般 14 层以内的单板厚度可以选择为 1.6mm，而 16 层以上的单板厚度需要在 2mm 以上。在某些设计中，因为受限于导轨宽度，而 PCB 的叠层又不能减少，所以在这种情况下，一般采用削边的方式，将 PCB 和导轨接触的区域削薄（要削的区域不能走线）。

推荐采用的 PCB 厚度有 0.5mm、0.7mm、0.8mm、1mm、1.5mm、1.6mm、1.8mm、

2mm、2.2mm、2.3mm、2.4mm 和 3.0mm。有如下注意事项：

- ① 1mm 厚度 PCB 的最大拼版尺寸是 200mm×150mm；
- ② 当板面较大或无法支持时，应选择 2~3mm 厚的板；
- ③ 常规下双面金手指板厚度为 1.5mm；多层金手指板厚为 1.0mm 和 1.6mm；
- ④ 有负荷振动条件下，要根据振动条件采取缩小板的尺寸或加固和增加支持点的办法，1.6mm 板厚的 PCB 仍然可以使用；

⑤ 只装配集成电路、小功率晶体管、电阻、电容等小功率元器件，在没有较强的负荷振动条件下，使用厚度为 1.6mm PCB 的尺寸在 500mm×500mm 之内。

对于板厚的公差，一般当 PCB 的板厚 $\leq 1.0\text{mm}$ 时，板厚公差为 $\pm 0.1\text{mm}$ ；当板厚 $> 1.0\text{mm}$ 时，板厚公差为 $\pm 10\%$ 。

2. PCB 走线阻抗及叠层设计

走线的阻抗和叠层主要依据板厚、层数、阻抗值要求和电流大小等基板要求确定，叠层的设计方法在前文已做了详细的论述。对于走线阻抗的控制，目前业内在 PCB 打样阶段，走线阻抗的公差可以控制在 $\pm 5\%$ ，批量阶段的阻抗可以控制在 $\pm 10\%$ 。

3. PCB 表面处理技术

PCB 的表面处理工艺最基本的目的就是为了保证良好的可焊性或电性能。因为铜长期裸露在空气中容易形成氧化物，所以需要铜进行处理，RoHS 环境设计的要求、无铅化和无卤化 PCB 表面处理要求已深入行业中。常见的 PCB 表面处理工艺有热风整平 (HotAirSolderLevel, HASL)、有机可焊性保护剂 (Organic Solderability Preservative, OSP)、沉金 (Immersion Gold)、化学镍钯金、沉锡 (Immersion Tin)、沉银 (Immersion Silver)，以及金手指 (Gold Finger Plating) 因反复拔插而要采用的电镀硬金。

热风整平 HASL 俗称喷锡，又名热风焊料整平，是在 PCB 表面涂覆熔融锡（铅）焊料并用加热压缩空气整（吹）平的工艺，使其形成一层既抗铜氧化，又可以提供良好可焊性的涂覆层。热风整平时，焊料和铜在结合处形成铜锡金属间化合物。喷锡厚度是 2~40 μm ，喷锡工艺要求焊盘间的最小距离是 8mil，大铜皮中间焊盘喷锡的距离是 12mil，设计的板厚范围是 0.6~4.00mm，引脚间距 pitch $\leq 0.5\text{mm}$ 的器件和 0201 封装器件不能采用。喷锡根据有铅和无铅分为有铅喷锡和无铅喷锡。

OSP 是有机可焊性保护剂，能够使 PCB 在存储和焊接过程中保持焊盘表面的可焊性。OSP 在铜和空气中间充当阻隔层，一般在焊盘的表面会有多层的 OSP 起防护作用，最新的 OSP 工艺能够在多次无铅焊接过程中保持良好的性能。OSP 工艺简单、成本低廉，在 PCB 生产表面处理中得到了广泛使用。通常 OSP 的厚度是 0.2~0.3 μm 。

沉金 (Immersion Gold) 是在铜面上包裹一层厚厚的、电性能良好的镍金合金，可以长期保护 PCB 的表面，对环境的忍耐性要强于其他表面处理的工艺。镀镍的原因是由于金和铜之间会相互扩散，而镍能够阻止金和铜之间的扩散，如果没有镍层，金会在数小时内扩散到铜中去。镍的一个好处是：镍的强度高，仅 5 μm 厚度的镍就可以限制高温下的 Z 方向的膨胀。沉金还可以阻止铜的溶解，有益于无铅组装。一般镍的厚度是 3~5 μm ，金的厚度是 0.05~0.1 μm ，采用沉金工艺时，焊盘间的最小间距是 4mil，一般板上有裸芯片或按键之类的，推荐使用此表面处理工艺。

化学镍钯金与沉金相比是在镍和金之间多了一层钯，钯可以防止出现置换反应导致的腐蚀现象，为沉金做好充分准备，金则紧密地覆盖在钯上面，提供良好的接触面。作为 PCB 的

焊接，镍的厚度是 $3\sim 5\mu\text{m}$ ，钯的厚度是 $0.05\sim 0.1\mu\text{m}$ ，金的厚度是 $0.03\sim 0.05\mu\text{m}$ ，化学镍钯金解决了焊盘效应，但成本较高。

目前所有的焊料都是以锡为基础的，锡层能与任何类型的焊料相匹配。沉锡工艺可以形成平坦的铜锡金属间化合物，该工艺具有和热风整平一样的可焊性且平坦性问题要比热风整平好很多；沉锡也没有化学镀镍金/沉金金属间的扩散问题。沉锡板的缺点是 PCB 不能存储太久。锡的厚度是 $0.8\sim 1.5\mu\text{m}$ 。

沉银工艺介于 OSP 和化学镀镍金/沉金之间，工艺比较简单、快捷；银在热、湿等复杂的环境下，依然可以提供良好的电性能。因为没有镍的原因，所以沉银不具备化学镀镍金/沉金的好物理强度。沉银是置换反应，它几乎是亚微米级的纯银涂层。银的厚度是 $0.1\sim 0.3\mu\text{m}$ 。

电镀硬金是为了提高产品的耐磨性，增加拔插次数而采用的表面处理技术，应用电镀硬金的典型代表是金手指。因电镀硬金的焊性不好，所以它不能用于常规器件的焊接。电镀硬金的镍厚是 $3\sim 5\mu\text{m}$ ，金厚 $0.25\sim 1.3\mu\text{m}$ ，金的厚度根据插拔次数来确定，一般 $1\mu\text{m}$ 厚度可以经受 1000 次插拔。

4. 焊盘及阻焊设计

焊盘外径设计主要依据布线密度及安装孔径和金属化状态而定；对于金属化孔孔径 $\leq 1\text{mm}$ 的 PCB，连接盘外径一般为元件孔径加 0.45mm (18mil) $\sim 0.6\text{mm}$ (24mil)，具体依布线密度而定。其他情况下，焊盘外径按孔径的 $1.5\sim 2$ 倍设计，但要满足最小连接盘环宽单边 $\geq 5\text{mil}$ 的要求。

PCB 上阻焊层的主要目的是防止表面铜皮的氧化，防止焊接时焊盘出现桥连现象，并起到电气隔离的作用。阻焊层的设计主要是确定焊盘开窗的方式和焊盘之间的间隙大小。阻焊油墨的颜色有绿色、黄色、黑色、蓝色、红色、白色和亚绿色。一般铜平面油墨的厚度是 $10\sim 18\mu\text{m}$ ，过孔及线边缘的阻焊油墨的厚度是 $5\sim 8\mu\text{m}$ 。根据不同的设计类别，可以划分为焊盘的阻焊设计、孔的阻焊设计及 BGA 类 IC 特殊阻焊的设计。

对 IC 的焊盘来说，一般阻焊开窗要比焊盘的尺寸大 5mil 以上（单边 2.5mil ）；相邻的 SMD 焊盘、SMD 焊盘和 THD 孔、SMD 焊盘和过孔、过孔和过孔之间要保留阻焊桥，最小阻焊桥的宽度是 4mil ；阻焊开窗的边缘距离附近的导体应留有 5mil 以上的间隔；散热焊盘或散热的敷铜应该做阻焊开窗；金手指的阻焊开窗应开整窗，上端和金手指的上端平齐，下端要超过金手指下端的板边；当 SMD 表面贴装的器件焊盘间隙 $\geq 7\text{mil}$ 时，采用单焊盘窗口设计，当间隙 $< 7\text{mil}$ 时，采用开整窗处理。

对于过孔来说，如果过孔设计为塞孔，则不进行开窗处理；当过孔用作测试点时，测试过孔的正面开窗是 $+5\text{mil}$ ，反面是焊盘直径 $+5\text{mil}$ ；非金属定位孔正反面阻焊开窗比孔径大 10mil ；金属化孔可以背面的阻焊比正面大。

BGA 封装的 IC，需要做塞孔处理的孔正反面都不做阻焊开窗；PCB 如果要采用波峰焊的工艺或当 BGA 的引脚间距小于 1.0mm 时，BGA 的过孔都要采用绿油塞孔的方式，如果要在 BGA 下加 ICT 测试点，则测试焊盘直径为 32mil ，阻焊开窗 37mil ；如果不采用波峰焊工艺或引脚间距在 1.0mm 以上的 BGA 芯片，BGA 下的过孔即可采用引脚间距小于 1.0mm 的方法，也可以直接用 BGA 过孔做测试孔，不做塞孔处理；过孔阻焊层的尺寸比 TOP 层焊盘的直径大 5mil 以上，进行阻抗开窗，BOTTOM 层测试焊盘为 32mil ，阻焊开窗 37mil ，不做测试孔用的过孔需要做塞孔处理。

5. PCB 外形、拼版与焊接传送

在设计 PCB 的外形时，需要与结构工程师确认电路板结构的可装配性。PCB 的外形如无特殊要求，应尽量简单，如果采用矩形，则长宽比可以采用 3:2 或 4:3，当 PCB 外形为矩形，板子不需要拼版时，板子的 4 个角倒角为圆角或 45° 角；如果板子需要做拼版，要求拼版后的板子的 4 个角为圆角或 45° 斜角，圆角或 45° 斜角的最小倒角半径是 1mm。

为了减少焊接时 PCB 的变形，不需要做拼版处理的 PCB，一般将其长边作为焊接时传送的方向；在拼版时同样也应该将长边作为传送的方向；对于长短边之差大于 80% 的 PCB，长短边都可以作为焊接时 PCB 传送的方向。

为便于焊接时 PCB 的传送，PCB 沿传送边的两侧都要留出 $\geq 5\text{mm}$ 的宽度，在传送边的范围内不能有任何的器件或焊点。

为了满足设备的生产能力，提高生产的效率，一般都需要做拼版处理，常见的拼版方式有 V-CUT、桥连、V-CUT+桥连。一般 PCB 的最小贴装尺寸是 $60\text{mm} \times 60\text{mm}$ ，最大贴装尺寸是 $460\text{mm} \times 500\text{mm}$ 。对于拼版的处理，可以与 PCB 厂沟通确定最优的拼版方式。

为了在 PCB 焊接和测试的过程中能够准确地对 PCB 和大封装芯片进行精确定位，需要在 PCB 和大封装 IC 旁添加 MARK 光学定位点（简称 MARK 点），MARK 点位置信息如图 6-1 所示。基准点标记的最小直径为 1mm，最大直径为 3mm；基准点标记的周围应该有一块标记的空旷面积，空旷区的尺寸要等于标记的半径。其间距尺寸的最大值和最小值如图 6-2 所示。一般为了减少电镀或蚀刻不均匀对 MARK 点造成的影响，会在 MARK 点周围加保护环、保护铜线，一般是圆形或八边形，如图 6-3 所示。

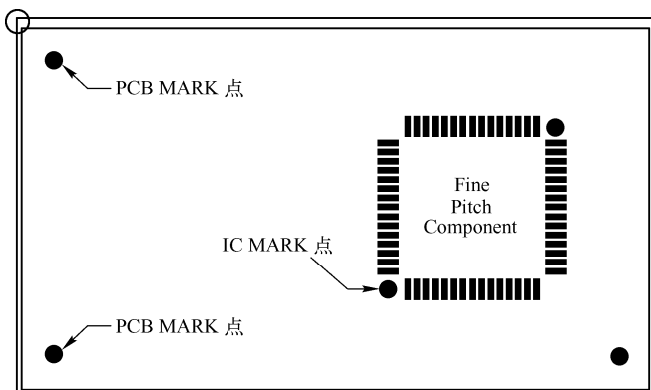


图 6-1 PCB 及 IC MARK 光学定位点

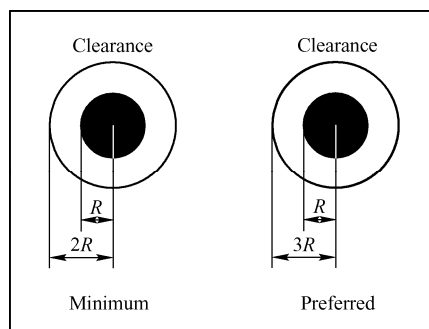


图 6-2 MARK 点的空旷区尺寸要求

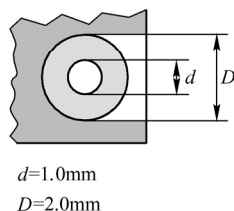
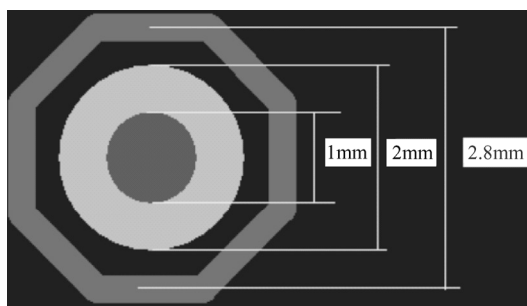


图 6-3 单板基准点及周边的保护铜线

6.2.4 PCB 布局的工艺要求

在 PCB 布局时, 元器件应尽可能规则、均匀地分布排列。有极性元器件(二极管、电解电容、钽电容等)的正负极布局时方向一致, 集成电路的引脚朝一个方向统一放置, 当布线有困难时, 需要特殊处理。元器件的规则排列方便检查, 利于提高贴片/插件速度; 元器件的均匀分布利于散热和焊接工艺的优化。考虑到焊接、检查、测试和安装的需要, 元器件之间的间隔不能太近。

1. 回流焊及可维修性对布局的要求

1) BGA 类 IC 的布局

在空间允许的情况下, 应尽量拉大元器件之间的布局。当有 BGA 元器件时, 为便于维修, 在 BGA 元器件周边 5mm 以内, 同 PCB 面(TOP 层或 BOTTOM 层)不允许布局其他元器件; 在空间拥挤的情况下, 同面布局元器件时, 也需要将元器件布置在 BGA 元器件周边 3mm 以外的距离; 一般情况下, BGA 元器件不允许布局在背面, 当背面布局有 BGA 元器件时, 不能在正面 BGA 元器件周围 8mm 的投影范围内放置 BGA 元器件, 如图 6-4 所示。

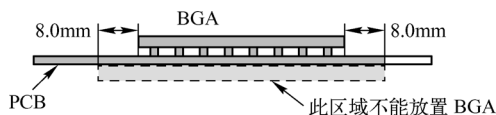


图 6-4 BGA 元器件的双面布局

2) 采用机器贴片元器件之间的距离

同种类的元器件, 元器件焊盘边缘最外围之间的距离 $\geq 0.3\text{mm}$; 异种元器件焊盘边缘最外围之间的距离 $\geq 0.13h + 0.3\text{mm}$ (h 为周围近邻元器件的最大高度差)。

3) 可维修元器件之间的距离

小或高度低的元器件不能放置在大或高的元器件中间; PLCC、QFN、QFP 和 SOP 各自之间和相互之间的间隙 $\geq 2.5\text{mm}$; QFP、SOP 与 Chip、SOT 之间的间隙 $\geq 1\text{mm}$; PLCC、QFN 与 Chip、SOT 之间的距离 $\geq 2\text{mm}$; PLCC 表面贴脚座与其他元器件的间隙 $\geq 3\text{mm}$ 。元器件之间的距离图示如图 6-5 所示。

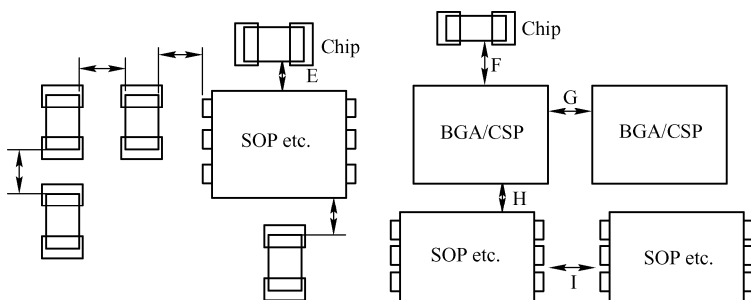


图 6-5 元器件之间的距离图示

当插件元器件在正面进行布局时, 元器件本体距离其他元器件的距离为 1.5mm; 插件元器件背面手工焊接时, 元器件本体距离其他元器件的距离是 2mm, 在背面采用波峰焊接时, 元器件本体距离其他元器件的距离是 4mm。

2. 波峰焊对布局的间距要求

1) 相同封装的间距

相同封装的元器件布局时，要尽量整齐一致，元器件布局的方向呈现一致性，如图 6-6 所示，其布局时的间距要求如表 6-4 所示。

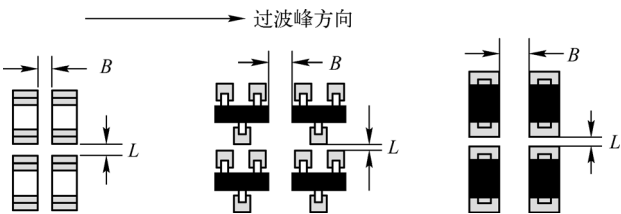


图 6-6 相同封装的元器件布局

表 6-4 相同封装元器件布局时的间距要求

	焊盘间距 L (mm/mil)		元器件本体之间的间距 B (mm/mil)	
	最小间距	推荐间距	最小间距	推荐间距
0603	0.76/30	1.27/50	0.76/30	1.27/50
0805	0.89/35	1.27/50	0.89/35	1.27/50
1206	1.02/40	1.27/50	1.02/40	1.27/50
≥ 1206	1.02/40	1.27/50	1.02/40	1.27/50
SOT 封装	1.02/40	1.27/50	1.02/40	1.27/50
钽电容 3216、3528	1.02/40	1.27/50	1.02/40	1.27/50
钽电容 6032、7343	1.27/50	1.52/60	2.03/80	2.54/100
SOIC	1.27/50	1.52/60	2.03/80	2.54/100

2) 不同封装的间距

不同封装的元器件在布局时，要错落有致，其布局距离图示如图 6-7 所示，不同封装元器件布局时的间距要求如表 6-5 所示。

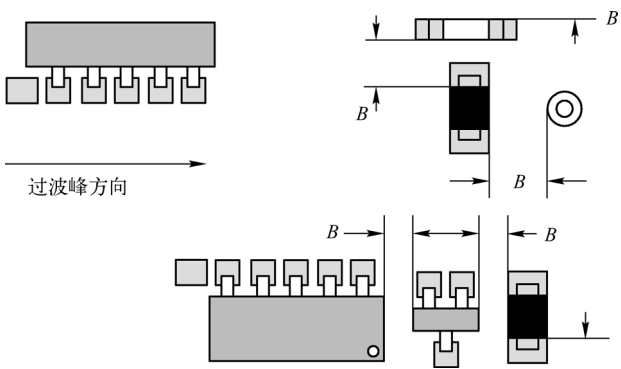


图 6-7 不同封装元器件的布局

表 6-5 不同封装元器件布局时的间距要求 (单位: mm)

封装尺寸	0603	0805	1206	≥1206	SOT 封装	钽电容 3216、3528	钽电容 6032、7343	SOIC	通孔
0603		1.27	1.27	1.27	1.52	1.52	2.54	2.54	1.27
0805	1.27		1.27	1.27	1.52	1.52	2.54	2.54	1.27
1206	1.27	1.27		1.27	1.52	1.52	2.54	2.54	1.27
≥1206	1.27	1.27	1.27		1.52	1.52	2.54	2.54	1.27
SOT 封装	1.52	1.52	1.52	1.52		1.52	2.54	2.54	1.27
钽电容 3216、3528	1.52	1.52	1.52	1.52	1.52		2.54	2.54	1.27
钽电容 6032、7343	2.54	2.54	2.54	2.54	2.54	2.54		2.54	1.27
SOIC	2.54	2.54	2.54	2.54	2.54	2.54	2.54		1.27
通孔	1.27	1.27	1.27	1.27	1.27	1.27	1.27	1.27	

3. 传送方向对布局的要求

传送方向表明了单板在流水线上的行进方向，用涂满白色丝印油墨的箭头在元器件面标注。箭头焊接面头部方向元器件先上锡，尾部方向元器件后上锡。

SMD 元器件的要求：无源元器件的长轴应垂直于工艺边方向，这样可以防止 PCB 受热产生变形时导致元器件破裂；SOIC 和 SOT 等元器件的长轴应平行于传送方向，这样可以预防焊接时桥连。SMD 元器件符合传送方向的布局如图 6-8 所示。

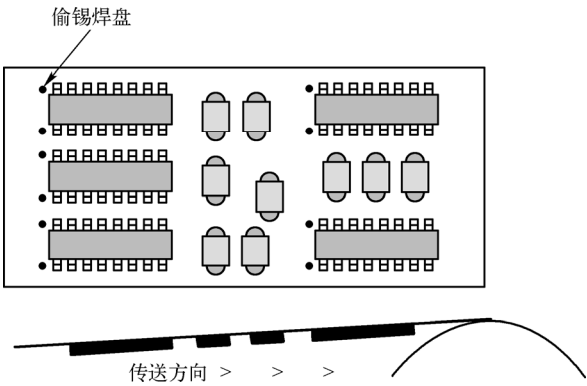


图 6-8 SMD 元器件符合传送方向的布局

接插类元器件布局时应使其轴线和传送方向垂直，防止过波峰焊时因一端先焊接凝固而使元器件产生浮高现象。

6.2.5 PCB 布线的工艺要求

PCB 走线应从焊盘中心引出，走线的宽度≤焊盘的宽度。

1. CHIP 器件的引脚出线方式

CHIP 器件的走线和焊盘连接要避免走线的不对称（特别是一端敷铜全连接时）。CHIP 器件的引脚出线方式如图 6-9 所示。

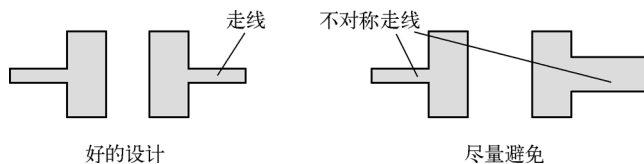


图 6-9 CHIP 器件的引脚出线方式

2. IC 类元器件的引脚出线方式

IC 类元器件的走线应从焊盘端面中心位置连接，如图 6-10 所示。

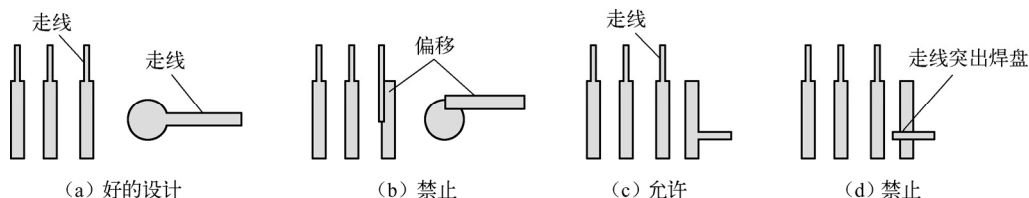


图 6-10 IC 类元器件的引脚出线方式

当和焊盘连接的走线比焊盘宽时，走线不能覆盖焊盘，应从焊盘末端走线；密间距的 SMD 焊盘引脚虚页号连接时，应从焊盘外部连接，不允许在焊盘引脚中间直接连接，如图 6-11 所示。

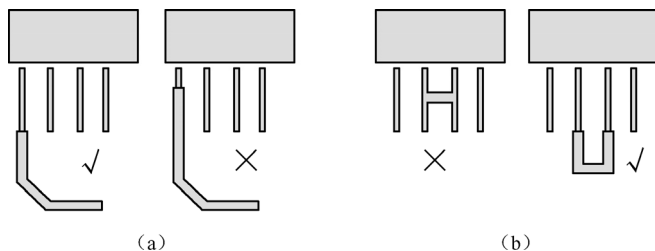


图 6-11 走线宽度大于焊盘引脚和相邻焊盘的引脚出线方式

6.2.6 丝印设计

丝印的设计包含丝印的油墨选择、丝印的大小、丝印的间距、丝印的方向、丝印的位号、丝印的极性或“1”脚标示、板名称及版本丝印、板条码丝印和其他丝印。

(1) 字符油墨的颜色一般有白、黄和黑，通常字符颜色为白色。对于全板喷锡的板子，一般采用黄色的油墨。

(2) 丝印的宽度与高度。当采用 1/2oz 的基铜时，丝印的宽度与高度是 4/25mil；当采用 1oz 的基铜时，丝印的宽度与高度是 5/30mil；当采用 2oz 的基铜时，丝印的宽度与高度是 6/45mil。字高与字符线宽之比 $\geq 6:1$ 。丝印不推荐使用在高密度 PCB 设计中，如手机板的设计。当丝印在 PCB 上因为元器件太密集放置不开时，可以用框将元器件框起来，然后用字母进行标注，并对应着器件的布局位置进行丝印的摆放，如图 6-12 所示。

(3) 丝印与需要焊接的焊盘、过孔和测试点灯要保持 6mil 以上的距离，丝印彼此之间的距离要 $\geq 6\text{mil}$ ，当丝印重叠无法辨认时需要调整。

(4) 丝印字符排列应遵循正视时位号的排列从左到右，从下往上的原则。

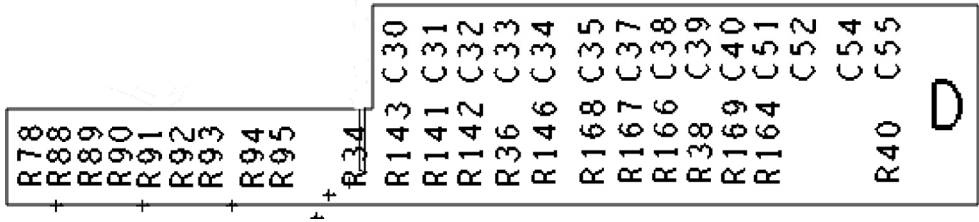


图 6-12 丝印在 PCB 上的框选标注

(5) 元器件丝印需要放置在元器件封装体图示的外边，不能被贴装后的器件遮挡；当 IC 器件有多个引脚时，需要标注 1 号引脚的位置，并采用·或Δ之类的符号标注 1 号引脚，对于引脚比较多的器件，如四周都有引脚的，为调试方便，可以在每一排引脚的第一个引脚和最后一个引脚进行标注；对于有极性要求的器件，需要用“+”或其他符号标注；为了调试的方便，转接座也需要进行引脚的标注。

(6) 为了便于识别板子的作用和日期。明确板子的制作日期、分类，需要放置板名和版本号。板名和版本号一般会放置在 PCB 上醒目的位置，且字符比一般的器件标号要大。

(7) 批量的 PCB，为便于记录和管理，需要在 PCB 上添加条形码，PCB 的条形码应尽量靠近 PCB 的板名和版本号，且长边与板子的传送方向平行，在 PCB 条形码区域内不能有焊盘直径大于 0.5mm 的导通孔，如有导通孔则需要用绿油进行覆盖处理。

(8) 其他的丝印标注有无铅、无卤、静电防护标志和 EMC 认证之类的，可以根据实际情况进行合适的标注。

6.3 DFT——设计的可测试性

为了验证设计的产品是否达到了所设计的指标，满足各项功能和性能的要求，要求设计的系统具备可测试性。从产品研发的阶段可以分为设计的可测试性验证和量产的可测试性验证，该基本概念在第 2 章测试的可行性分析中（2.3.5 节）已做了较为详细的论述。

6.4 DFA——设计的可装配性

DFA 考虑的因素是对贴片装配的要求，如 BGA 类芯片要求同布局平面，距离 BGA 芯片 5mm 内不允许有器件布局，在底部 8mm 投射面积内不允许底部布局 BGA 类的器件；阻容器件与阻容器件有最小布局距离的要求、阻容器件与 IC 类不同封装的器件有最小的布局距离等，这些都是为了满足 DFA 而考虑的因素，在 PCB 设计中考虑 DFM 时已详细考虑了 DFA 的因素，可参考 DFM 对器件布局的要求。

6.5 DFE——面向环保的设计

DFE——面向环保的设计，涉及产品的整个生命周期，并运用生命周期分析法对产品生命周期各个阶段产生或可能产生的环境影响进行分析，在设计阶段寻求解决方案，进而改进产品的设计或重新设计产品，减少并预防环境影响的出现。

目前针对 PCB 的设计来说，面向环保的设计主要是指根据 RoHS 标准限制有毒物质的使

用。限制的重金属包含 Pb（Lead 铅）、Hg（Mercury 汞）、Cd（Cadmium 镉）和 Cr⁶⁺（ChromiumVI 六价铬）；限制的溴化阻燃剂包含 Polybrominated Biphenyls（PBB's 多溴联苯）、Polybrominated Diphenyl Ethers（PBDE's，多溴联苯醚）。最高限量指标是：镉：0.01%（100 ppm）；铅、汞、六价铬，多溴联苯，多溴联苯醚：0.1%（1000 ppm）。电子电器产品限制使用的六类有害物质如表 6-6 所示。为使设计的 PCB 部件符合 RoHS，需要在物料选型、PCB 加工和 PCB 焊接等流程时，向厂家说明该要求，并提供其符合 RoHS 标准的相应证书文件。

表 6-6 电子电器产品限制使用的六类有害物质

NO	指令限制的物质	使用该物质的例子
1	铅（Pb）	焊料、玻璃、PVC 稳定剂、电池、易切削钢的部件、电子零件镀层、开关、电容器、二极管、振荡器、各种集成电路、电子元器件内部、热敏电阻封装、集电型红外探测器、热交换器
2	水银（汞）（Hg）	荧光灯管、HID 气体放电等、液晶背光、激光模块、启动元件、汞开关、抗震传感器、灯泡等
3	镉（Cd）	开关、继电器、恒温控制器、弹簧、连接器、外壳和 PCB、触头、电池
4	六价铬（Cr ⁶⁺ ）	金属附腐蚀涂层：螺钉、垫圈、螺母、PCM 钢板、镀锌钢板、铝压铸件、灯泡电极、封装部件、电磁防护罩等
5	多溴联苯（PBB）	阻燃剂、PCB、连接器、塑料外壳、电线电缆、通风装置、扼流圈、伺服放大器、编码器、激光变压器、线圈骨架、焊枪手柄等
6	多溴二苯醚（PBDE）	同上

6.6 本章小结

本章对硬件系统设计中的 DFX 做了论述，从 DFM 工艺的角度对 PCB 的基材特性及选择参数，PCB 制造的工艺及制造水平，PCB 设计的工艺要求，PCB 布局的工艺要求和 PCB 布线的工艺要求做了综合详细的阐述；对系统设计中要求设计的可测试性、设计的可装配性及设计的环保要求做了概要说明。

硬件系统原理图详细设计

7.1 原理图封装库设计

封装库设计是进行原理图设计的第一步，需要对电路设计中所用到的所有器件进行逻辑符号的建模。在进行原理图设计时，需要用到的逻辑符号包含电源网络、地网络、各类功能的 IC、二端元器件（如电阻、电容、二极管和发光二极管等）、三端器件（如三极管、场效应管等）、接插件（如排针、排母、JTAG 接口、USB 接口、VGA 接口、DVI 接口、RJ45 网口等）、按键和定位孔等。

一般在原理图设计工具中，电源和地网络都已经集成在原理图设计工具中了，在进行电路设计时可以直接调用。对于电源来说，一般单板上的电源种类比较多，为便于对电源进行合理的区分，一般需要将电源根据电源的属性进行重命名，如 VCC5V0、VCC3V3、VCC1V5 等。在进行电源名称的命名时，最好不要命名为 VCC3.3V 这种格式，因为在进行图纸打印时，容易因打印的问题而遗漏 3.3V 中间的点，不清晰明了。对于地网络来说，一般默认的都是 GND 属性的符号，一般会采用此属性的 GND 作为整个系统使用最多的接地网络，即被大多数 IC 的地属性引脚、下拉电阻的接地端、去耦电容的接地端等用作多点接地的符号；如果单板上模拟信号，需要将模拟地与数字地隔离，在无特殊说明的情况下，一般将 IC 的数字地默认为 GND 属性的符号，而将 AGND 属性的符号默认为模拟地的符号，当数字地有特殊说明或要求时，需要将系统的统一地命名为 GND，而将数字地命名为 DGND，模拟地命名为 AGND；当系统有大电流或高电压的电源部分，且噪声干扰比较大，需要将电源部分的地与系统的地进行隔离时，可以将电源部分的地命名为 PGND，而其他器件的公共地命名为 GND。在 OrCAD Capture 中地网络的常用符号如图 7-1 所示，为便于对系统的各个地进行区分，一般对地的命名如下。




- ① 公共地：，name: GND。
- ② 模拟地：，name: AGND。
- ③ 数字地：，name: DGND。



图 7-1 OrCAD Capture 中地网络的符号

对于 IC 器件，需要根据 Datasheet 上对各个器件引脚的定义建立逻辑模型。器件 NCN1188 的引脚逻辑符号分配如图 7-2 所示^[27]。在进行逻辑符号建模时，需要分清楚各个引脚的功能，根据引脚的属性，对引脚归纳如下：电源引脚（Power）、地引脚（GND）、输入引脚（IN）、输出引脚（OUT）、输入/输出引脚（I/O）、集电极开路型输出引脚（Open Collector）、无源引脚（Passive）和

高阻态引脚（Hiz）。为了便于在绘制完原理图后，使用原理图工具的差错功能，在进行原理图符号建模时，最好根据器件 Datasheet 上的引脚属性，对引脚进行设置；在对 CPU、RAM、ROM 和 FLASH 等建立原理图模型时，为便于后面进行原理图的仿真分析，需要根据 Datasheet 上引脚的属性对引脚进行设置。从引脚的逻辑分配图中，需要明确需要建模的逻辑符号的引脚数量（12 个引脚）及各个引脚的功能，然后在原理图建库功能中，对应着建立原理图的封装库文件。在对引脚的属性进行定义时，还需要器件的 Datasheet 部分及引脚的功能描述部分的信息，如图 7-3 所示是引脚属性的信息描述^[27]，根据引脚的属性分别对引脚进行设置。引脚属性中的无源引脚（Passive），当不清楚引脚的功能时，可以采用此引脚属性，采用此引脚属性的弊端是当利用原理图检查工具，进行电气检查时，有些数据流的错误会发现不了。虽然采用无源引脚（Passive）进行引脚设置，比根据 Datasheet 进行引脚设置要快捷得多，在进行原理图设计时，采用此引脚属性定义方法也可以生成 PCB 工具用的 Netlist，但是鉴于对原理图电气检查的需要、仿真分析的需要及标准封装库积累的需要，最好不要都采用源引脚（Passive）来对 IC 的各个引脚进行设置。当 IC 器件中有多个电源网络、地网络或多个 NC 网络时，最好将电源网络依次命名为 VCC1、VCC2、VCC3…；GND 网络依次命名为 GND1、GND2、GND3…；NC 网络依次命名为 NC1、NC2、NC3…

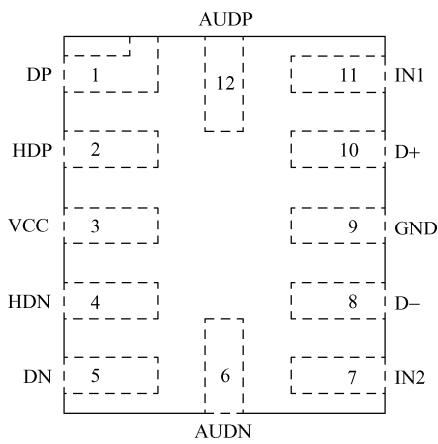


图 7-2 NCN1188 的引脚逻辑符号分配图

Name	Pin	Description
DP	1	USB Positive Path. If active, this pin is connected to D+ pin.
HDP	2	HD Positive Path. If active, this pin is connected to D+ pin.
VCC	3	Analog Supply. This pin is the analog and digital supply of the device. A 100 nF ceramic capacitor or larger must bypass this input to the ground. This capacitor should be placed as close a possible to this input.
HDN	4	HD Negative Path. If active, this pin is connected to D- pin.
DN	5	USB Negative Path. If active, this pin is connected to D- pin.
AUDN	6	Audio N. If active, this pin is connected to D- pin.
IN2	7	Input Selection 2. Do not float this pin.
D-	8	Negative data line. Must be connected to the D- pin of USB receptacle.
GND	9	Ground Reference. Must be connected to the system ground.
D+	10	Positive data line. Must be connected to the D+ pin of USB receptacle.
IN1	11	Input Selection 1. Do not float this pin.
AUDP	12	Audio P. If active, this pin is connected to D+ pin.

图 7-3 NCN1188 引脚属性的信息描述

对于二端元器件，一般系统中都会集成现有的原理图库，从开发者的角度来说，一般大型的公司都会对库进行专门的管理，在进行开发时，只需要使用相应的库就可以了。对大部分开发者来说，还是需要自己来维护库的，因此虽然对二端元器件，开发工具都集成了现成的封装库，但从长时间积累的角度出发，开发者应拥有自己的原理图封装库和 PCB 封装库。拥有自己的库，不仅熟悉，而且随着开发的进行，自己所使用的库会得到工程的实际检验，这不仅验证了原理图封装库的正确性，而且还验证了 PCB 封装库工艺的可用性。对于二端口元器件中有极性要求的器件，需要标注明确的符号，以便于在调试和焊接时查看，尤其是当原理图和 PCB 不是由一个工程师来完成时，此标注更为重要。如图 7-4 所示是钽电容的原理图封装。

对于三端元器件来说，三极管和场效应管应用得比较多，在三极管中，NPN 型 BJT 管子应用得比较多，在场效应管中，N-MOSFET（N 沟道金属氧化物场效应管）应用得比较多。根据三端极性的不同，BJT 管子分为基极（B）、发射极（E）和集电极（C），对应的 MOSFET 分为栅极（G）、源极（S）和漏极（D）。为便于电路图的正确连接，在调试时对三端元器件的掌控应清晰明了，在进行原理图封装库和 PCB 封装库的设计时，都应对三端器件的三个极性进行标注，如图 7-5 所示为 BJT 和 MOSFET 原理图库标注。

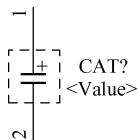


图 7-4 钽电容的原理图封装

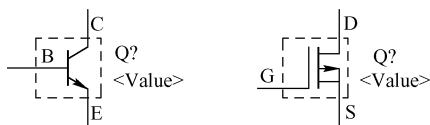


图 7-5 BJT 和 MOSFET 原理图库标注

接插件包含的种类也非常多，有时接插件会根据其物理实物的形状绘制逻辑符号，如 RS232 单接口、RS232 双接口、电池接口、电源的 DC 接口和 USB 接口等，其逻辑符号如图 7-6 所示。

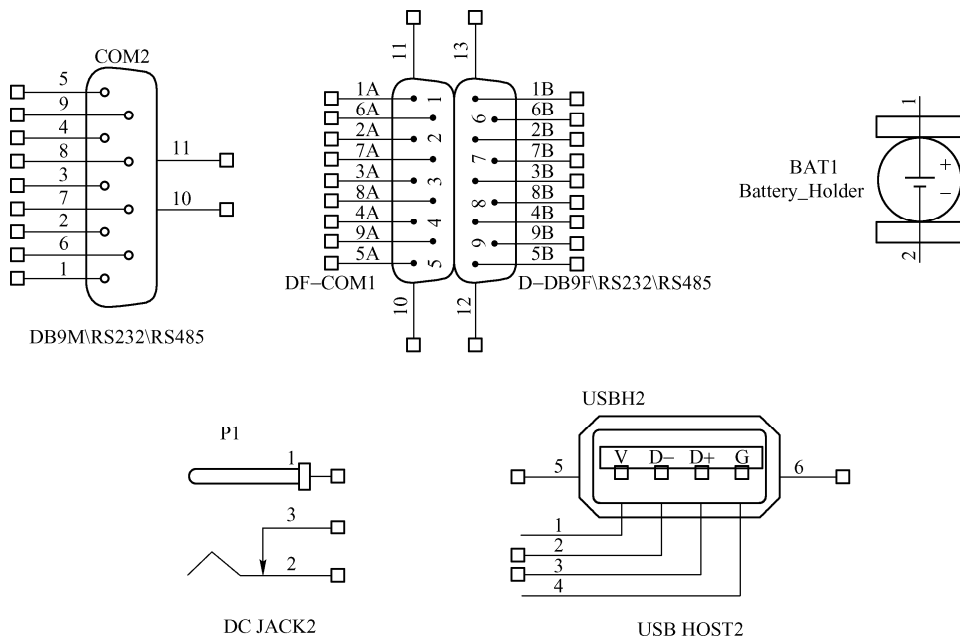


图 7-6 根据其物理实物形状绘制的逻辑符号

在第 1 章的用户接口要求部分介绍过目前常用的开关和按键有按键开关、轻触开关、防水轻触开关、带灯轻触开关、滑动开关、微动开关、限位开关、船型开关、拨动开关、叶片/复位开关、直键开关、拨轮/五项开关、按钮开关和钮子开关等。在进行按键的原理图逻辑封装时，为了直观和清晰，一般也会采用象形图示法，如图 7-7 所示为波动开关的几个逻辑符号。

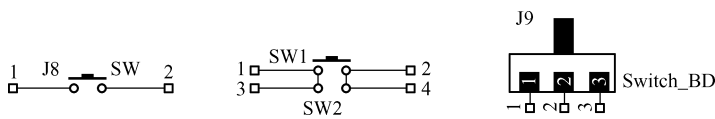


图 7-7 波动开关的逻辑符号

7.2 原理图设计

在进行原理图设计时，一般都是先设计系统的框图，然后再根据系统的框图进行逐步的细化，设计每一部分的具体电路，每个功能框图之间的连接都是通过各类常用接口来实现的，如 SPI 总线接口、I2C 总线接口、UART 串行通信接口、MII 接口、SGMII 通信接口、RGMII 通信接口、I2S 总线接口、DMA 接口、LVDS 接口、PCI 接口和 PCIE 接口等，在第 2 章的设计系统框图及接口关键链路部分对系统设计框图及关键链路进行了较为详细的论述。

一个设计完成的，基于 ARM9 S3C2416 核心板的系统框图如图 7-8 所示。框图的设计过程描述如下：根据第 1 章需要分析的部分对所设计的系统进行分析，并根据需要及第 2 章中的系统概要设计部分介绍的内容进行系统框图的设计。

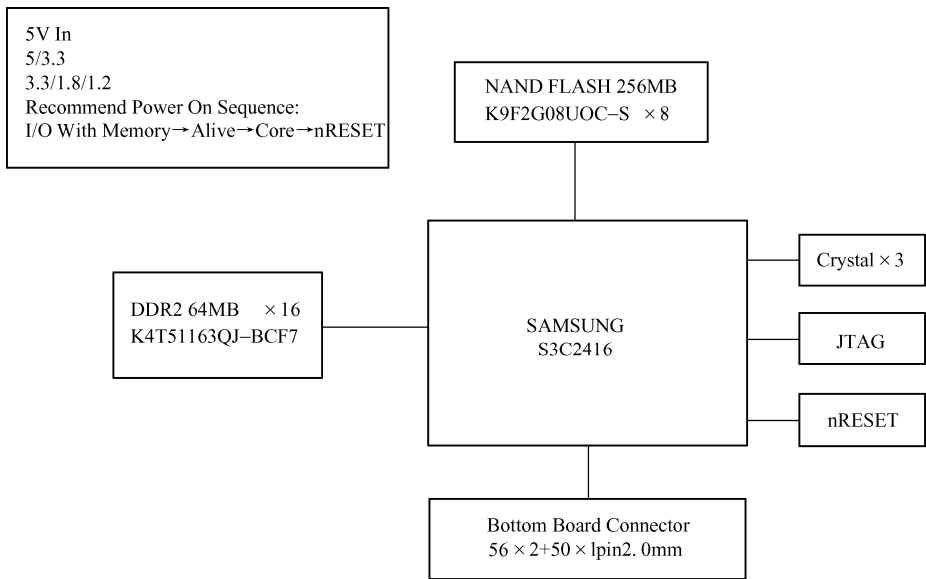


图 7-8 基于 ARM9 S3C2416 核心板的系统框图

(1) 系统供电部分是 5V 输入，芯片工作需要的电压逻辑电平值是 3.3V、1.8V 和 1.2V；根据功耗的分析，需要用到的电源芯片有 LDO 和 DC/DC；因为主 CPU 对上电的时序有一定的要求，所以为了控制对 CPU 的供电，需要使用带 Enable 功能的 DC/DC 电源芯片，又因为核心板的面积较小，且 CPU 对电源的输出稳定性有一定的要求，所以在选择电源供电芯片时，要选择 DC/DC 体积小且输出纹波小的供电芯片。在这里，根据供电需要，完成电源部分

的框图设计。

(2) 根据数据处理的需求, 需要采用较大容量的 RAM 来完成数据的吞吐。根据 CPU 主芯片的方案可知支持的 RAM 种类包含 SDRAM、DDR SDRAM 和 DDR2 SDRAM, 根据数据处理速率的要求、RAM 的可批量采购性和成本要求等进行综合考虑, 选定 DDR2 SDRAM 作为 CPU 的 RAM。选定 DDR2 作为存储器后, 就可以根据 DDR2 芯片的特性, 搭建符合 DDR2 工作的外围电路。根据数据处理速率、成本和采购周期等进行综合考虑后, 选定 RAM 的型号, 并完成其功能框图的设计。

(3) 根据设计需要, 软件系统会采用 Linux 系统, 因此需要选定系统存储的媒介。因主 CPU 支持 SD CARD 和 Nand Flash 等, 所以根据程序和数据对存储空间的需求及 PCB 贴装的便利性, 选择 Nand Flash 作为程序和数据存储的媒介。选定 Nand Flash 作为存储器后, 设计存储框图并根据 Nand Flash 设计外围匹配的电路。

(4) 系统的运行需要源源不断的时钟信号来完成数据的采样, 而时钟信号的源泉一般是由晶体或晶振提供的。根据主 CPU 时钟信号输入要求, 需要配置 3 个晶振作为系统框图的一部分。

(5) 系统需要 JTAG 接口进行调试, JTAG 可以为标准的 JTAG 接口, 为节省 PCB 面积也可以采用非标准的接口, 采用外接引线的方式进行连接。

(6) 系统需要进行复位时, 需要外接复位控制。一般复位信号都需要持续几百毫秒的低电平电位, 一般主芯片的复位引脚都是外接专门的复位 IC。因此复位部分也作为系统框图的一个组件。

由此根据需求分析及系统框图的设计要点, 完成了图 7-8 所示的核心板系统框图。

在完成了系统框图的设计后, 就可以根据电路的系统框图及各部分电路的功能进行较为详细的电路设计了。在详细的电路设计之前, 一般会将各个功能电路分散到多个图纸, 每张图纸只完成各个功能电路, 如图 7-9 所示是基于 ARM9 S3C2416 和 MST6M181 功能电路划分的工程图纸架构。从工程图纸架构可以看出, 一般在进行电路图纸页数划分时, 大体可以分为主 CPU 部分、电源部分、存储部分 (RAM 和 Flash, RAM 复杂时单独一张图纸)、外围各类常用接口 (USB、RJ45、串口等) 和其他 (不好归类的电路)。各个页面电路之间是通过原理图工具中的页间逻辑连接关系进行连接的, 页间的连接关系比同一页内的网络连接关系等级要高, 为便于管理, 一般会对各个功能电路进行数字编号。

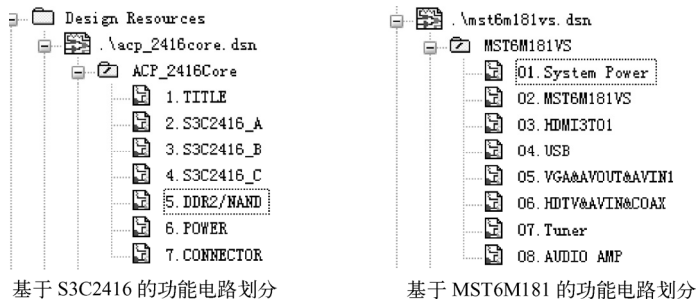


图 7-9 基于不同 CPU 的工程图纸架构

7.2.1 电阻特性分析

导体对电流的阻碍作用称为电阻, 用符号 R 表示, 单位为欧姆、千欧、兆欧, 分别用 Ω 、 $K\Omega$ 、 $M\Omega$ 表示。电阻有不同的分类方法, 按材料分, 有碳膜电阻、水泥电阻、金属膜电

阻和线绕电阻等不同类型；按功率分，有 $\frac{1}{16}\text{W}$ 、 $\frac{1}{8}\text{W}$ 、 $\frac{1}{4}\text{W}$ 、 $\frac{1}{2}\text{W}$ 、 1W 和 2W 等额定功率的电阻；按电阻值的精确度分，有精确度为 $\pm 5\%$ 、 $\pm 10\%$ 和 $\pm 20\%$ 等的普通电阻，还有精确度为 $\pm 0.1\%$ 、 $\pm 0.2\%$ 、 $\pm 0.5\%$ 、 $\pm 1\%$ 和 $\pm 2\%$ 等的精密电阻。电阻的类别可以通过外观的标记识别。而固定电阻按其制造材料又可分为好多类，但常用、常见的有 RT 型碳膜电阻、RJ 型金属膜电阻和 RX 型线绕电阻，还有近年来开始广泛应用的片状电阻。电阻的型号命名很有规律，第一个字母 R 代表电阻；第二个字母的意义是：T—碳膜，J—金属，X—线绕，这些符号是汉语拼音的第一个字母。在国产老式的电子产品中，常可以看到外表涂覆绿漆的电阻，那就是 RT 型的。而红颜色的电阻是 RJ 型的。一般老式电子产品中，以绿色的电阻居多。为什么呢？这涉及产品成本的问题，因为金属膜电阻虽然精度高、温度特性好，但制造成本也高，而碳膜电阻特别价廉，而且能满足民用产品要求。电阻归类如表 7-1 所示。

表 7-1 电阻的分类及特征

第一部分：主称		第二部分：材料		第三部分：特征			第四部分：序号
符号	意义	符号	意义	符号	电阻器	电位器	
R W	电阻器 电位器	T	碳膜	1	普通	普通	对主称和材料相同， 仅性能指标尺寸大小有区别，但基本不影响互换使用的产品，给同一序号；若性能指标、尺寸大小明显影响互换时，则在序号后面用大写字母作为区别代号
		H	合成膜	2	普通	普通	
		S	有机实芯	3	超高频	—	
		N	无机实芯	4	高阻	—	
		J	金属膜	5	高温	—	
		Y	氧化膜	6	—	—	
		C	沉积膜	7	精密	精密	
		I	玻璃釉膜	8	高压	特殊函数	
		P	硼酸膜	9	特殊	特殊	
		U	硅酸膜	G	高功率	—	
		X	线绕	T	可调	—	
		M	压敏	W	—	微调	
		G	光敏	D	—	多圈	
		R	热敏	B	温度补偿用	—	
				C	温度测量用	—	
				P	旁热式	—	
				W	稳压式	—	
				Z	正温度系数	—	

常用贴片电阻的大小尺寸规格（英制代码，以英寸为单位）有 0402、0603、0805、1206、1210、1812 和 2225，其中前两位表示封装电阻的长度，后两位表示封装电阻的宽度，各英制代码对应的 mm 单位大小如下。

- 0402=1.0mm×0.5mm
- 0603=1.6mm×0.8mm
- 0805=2.0mm×1.2mm
- 1206=3.2mm×1.6mm
- 1210=3.2mm×2.5mm
- 1812=4.5mm×3.2mm

2225=5.6mm×6.5mm

电阻的功率额度是电阻应用中一个非常关键的参数，在针对额定功率进行选型时，需要降额 20%使用。电阻的封装尺寸与功率有关，通常来说，封装尺寸和功率关系如下：

0201 1/20W

0402 1/16W

0603 1/10W

0805 1/8W

1206 1/4W

常用 5%精度和 1%精度的碳膜电阻的阻值如表 7-2 和表 7-3 所示。

表 7-2 5%精度的碳膜电阻的阻值

精度为 5%的碳膜电阻，以欧姆为单位的标称值									
1.0	5.6	33	160	820	3.9k	20k	100k	510k	2.7M
1.1	6.2	36	180	910	4.3k	22k	110k	560k	3M
1.2	6.8	39	200	1k	4.7k	24k	120k	620k	3.3M
1.3	7.5	43	220	1.1k	5.1k	27k	130k	680k	3.6M
1.5	8.2	47	240	1.2k	5.6k	30k	150k	750k	3.9M
1.6	9.1	51	270	1.3k	6.2k	33k	160k	820k	4.3M
1.8	10	56	300	1.5k	6.6k	36k	180k	910k	4.7M
2.0	11	62	330	1.6k	7.5k	39k	200k	1M	5.1M
2.2	12	68	360	1.8k	8.2k	43k	220k	1.1M	5.6M
2.4	13	75	390	2k	9.1k	47k	240k	1.2M	6.2M
2.7	15	82	430	2.2k	10k	51k	270k	1.3M	6.8M
3.0	16	91	470	2.4k	11k	56k	300k	1.5M	7.5M
3.3	18	100	510	2.7k	12k	62k	330k	1.6M	8.2M
3.6	20	110	560	3k	13k	68k	360k	1.8M	9.1M
3.9	22	120	620	3.2k	15k	75k	390k	2M	10M
4.3	24	130	680	3.3k	16k	82k	430k	2.2M	15M
4.7	27	150	750	3.6k	18k	91k	470k	2.4M	22M
5.1	30								

表 7-3 1%精度的碳膜电阻的阻值

精度为 1%的碳膜电阻，以欧姆为单位的标称值									
10	33	100	332	1k	3.32k	10.5k	34k	107k	357k
10.2	33.2	102	340	1.02k	3.4k	10.7k	34.8k	110k	360k
10.5	34	105	348	1.05k	3.48k	11k	35.7k	113k	365k
10.7	34.8	107	350	1.07k	3.57k	11.3k	36k	115k	374k
11	35.7	110	357	1.1k	3.6k	11.5k	36.5k	118k	383k
11.3	36	113	360	1.13k	3.65k	11.8k	37.4k	120k	390k
11.5	36.5	115	365	1.15k	3.74k	12k	38.3k	121k	392k
11.8	37.4	118	374	1.18k	3.83k	12.1k	39k	124k	402k
12	38.3	120	383	1.2k	3.9k	12.4k	39.2k	127k	412k

续表

精度为 1%的碳膜电阻，以欧姆为单位的标称值									
12.1	39	121	390	1.21k	3.92k	12.7k	40.2k	130k	422k
12.4	39.2	124	392	1.24k	4.02k	13k	41.2k	133k	430k
12.7	40.2	127	402	1.27k	4.12k	13.3k	42.2k	137k	432k
13	41.2	130	412	1.3k	4.22k	13.7k	43k	140k	442k
13.3	42.2	133	422	1.33k	4.32k	14k	43.2k	143k	453k
13.7	43	137	430	1.37k	4.42k	14.3k	44.2k	147k	464k
14	43.2	140	432	1.4k	4.53k	14.7k	45.3k	150k	470k
14.3	44.2	143	442	1.43k	4.64k	15k	46.4k	154k	475k
14.7	45.3	147	453	1.47k	4.7k	15.4k	47k	158k	487k
15	46.4	150	464	1.5k	4.75k	15.8k	47.5k	160k	499k
15.4	47	154	470	1.54k	4.87k	16k	48.7k	162k	511k
15.8	47.5	158	475	1.58k	4.99k	16.2k	49.9k	165k	523k
16	48.7	160	487	1.6k	5.1k	16.5k	51k	169k	536k
16.2	49.9	162	499	1.62k	5.11k	16.9k	51.1k	174k	549k
16.5	51	165	510	1.65k	5.23k	17.4k	52.3k	178k	560k
16.9	51.1	169	511	1.69k	5.36k	17.8k	53.6k	180k	562k
17.4	52.3	174	523	1.74k	5.49k	18k	54.9k	182k	576k
17.8	53.6	178	536	1.78k	5.6k	18.2k	56k	187k	590k
18	54.9	180	549	1.8k	5.62k	18.7k	56.2k	191k	604k
18.2	56	182	560	1.82k	5.76k	19.1k	57.6k	196k	619k
18.7	56.2	187	562	1.87k	5.9k	19.6k	59k	200k	620k
19.1	57.6	191	565	1.91k	6.04k	20k	60.4k	205k	634k
19.6	59	196	578	1.96k	6.19k	20.5k	61.9k	210k	649k
20	60.4	200	590	2k	6.2k	21k	62k	215k	665k
20.5	61.9	205	604	2.05k	6.34k	21.5k	63.4k	220k	680k
21	62	210	619	2.1k	6.49k	22k	64.9k	221k	681k
21.5	63.4	215	620	2.15k	6.65k	22.1k	66.5k	226k	698k
22	64.9	220	634	2.2k	6.8k	22.6k	68k	232k	715k
22.1	66.5	221	649	2.21k	6.81k	23.2k	68.1k	237k	732k
22.6	68	226	665	2.26k	6.98k	23.7k	69.8k	240k	750k
23.2	68.1	232	680	2.32k	7.15k	24k	71.5k	243k	768k
23.7	69.8	237	681	2.37	7.32k	24.3k	73.2k	249k	787k
24	71.5	240	698	2.4k	7.5k	24.9k	75k	255k	806k
24.3	73.2	243	715	2.43k	7.68k	25.5k	76.8k	261k	820k
24.7	75	249	732	2.49k	7.87k	26.1k	78.7k	267k	825k
24.9	75.5	255	750	2.55k	8.06k	26.7k	80.6k	270k	845k
25.5	76.8	261	768	2.61k	8.2k	27k	82k	274k	866k
26.1	78.7	267	787	2.67k	8.25k	27.4k	82.5k	280k	887k
26.7	80.6	270	806	2.7k	8.45k	28k	84.5k	287k	909k
27	82	274	820	2.74k	8.66k	28.7k	86.6k	294k	910k
27.4	82.5	280	825	2.8k	8.8k	29.4k	88.7k	300k	931k

续表

精度为 1%的碳膜电阻，以欧姆为单位的标称值									
28	84.5	287	845	2.87k	8.87k	30k	90.9k	301k	953k
28.7	86.6	294	866	2.94k	9.09k	30.1k	91k	309k	976k
29.4	88.7	300	887	3.0k	9.1k	30.9k	93.1k	316k	1.0M
30	90.9	301	909	3.01k	9.31k	31.6k	95.3k	324k	1.5M
30.1	91	309	910	3.09k	9.53k	32.4k	97.6k	330k	2.2M
30.9	93.1	316	931	3.16k	9.76k	33k	100k	332k	
31.6	95.3	324	953	3.24k	10k	33.2k	102k	340k	
32.4	97.6	330	976	3.3k	10.2k	33.6k	105k	348k	
10	33	100	332	1k	3.32k	10.5k	34k	107k	357k
10.2	33.2	102	340	1.02k	3.4k	10.7k	34.8k	110k	360k

综合前面的论述，在电路设计中，应用电阻时需要关注的参数归纳如下：电阻的阻值、电阻的精度、电阻的尺寸和电阻的额定功率。电阻的阻值在电路中都是经过计算得到的，有时候计算的阻值是非常用阻值，为了节省成本，便于采购还可以使用计算出的电阻值。一般采用电阻串联的方式来满足计算阻值的需求，如某电源电路中需要 860kΩ 的电阻，查常用电阻值表知道，没有 860kΩ 1%精度的电阻，但是有 430kΩ 1%精度的电阻，因此可以采用 2 个 430kΩ 电阻串联的方式，组成 860kΩ，电路图如图 7-10 所示。

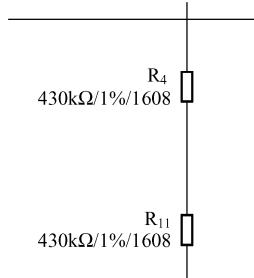


图 7-10 430kΩ电阻串联组成 860kΩ计算电阻值

电阻在电路中起限制电流的作用。上拉和下拉电阻是经常提到也是经常用到的电阻，在每个系统的设计中都用到了大量的上拉电阻和下拉电阻。在上拉和下拉时常常有的疑问是上拉电阻为何能上拉？下拉电阻为何能下拉？下拉电阻旁边为何串电阻？

上拉就是将不确定的信号通过一个电阻钳位在高电平，电阻同时起限流作用，下拉同理。上拉是对器件注入电流，下拉是输出电流；强弱只是上拉电阻的阻值不同，没有什么严格区分；对于非集电极（或漏极）开路输出型电路（如普通门电路），其提升电流和电压的能力是有限的，上拉电阻的功能主要是为集电极开路输出型电路提供输出电流通道。

当 IC I/O 端口节点为高电平时，节点处和 GND 之间的阻抗很大，可以理解为无穷大，这个时候通过上拉电阻（如 4.7kΩ、10kΩ电阻）接到 VCC 上，上拉电阻的分压几乎可以忽略不计；当 I/O 端口节点需要为低电平时，直接接 GND 就可以了，这个时候 VCC 与 GND 是通过刚才的上拉电阻（4.7kΩ、10kΩ）连接的，通过的电流很小，可以忽略不计。

电平值的大小、高低是相对于地电平来说的，因此在看电平值的大小时要参考地的电平值来看，看看那些引脚是否接在地上，与自己是否连接外围器件没有关系，因为其实高电平还是低电平是相对于地平面来说的。

在节点与+5V 之间接 10kΩ或 4.7kΩ的上拉电阻，能够把这个节点的电位拉上来，往往这个节点要求应用单片机或其他控制器来控制它（及这个节点与 I/O 连接）为高或低电平，如果单纯的想要使这点成为高电平，并且输出阻抗非常大，则直接接电源也无妨，但是如果单片机要使这个节点拉低，即单片机内部使节点接地，这样 5V 电源和地之间就短路了。

另外，当要求这个节点为高电平时，这个节点和地之间的阻抗一般非常大，如 100kΩ的阻抗，当上拉一个 10kΩ的电阻，这个点分得的电压为 $100k\Omega/(100k\Omega+10k\Omega)\times 5V= 4.5V$ ，这

样也可以拉到高电平。而当要求这个节点为低电平时，只要把它和地连接就可以了，电源和地之间有一个 $10\text{k}\Omega$ 的电阻，这样就不会短路了。当为低电平时，电源和地之间有一个负载形成的回路，有时候这个节点会再串接一个电阻，因为电流流向阻抗低的地方，所以电流会通过与电源相连的电阻流向地，而不是流向与这个节点相连的电阻，因为这个节点相连的电阻阻抗高，所以低电平时这个点的电势就是低电平。

可以这么认为，对于 IC 的 I/O 口来说，IC 内部通过控制高低电平相当于控制这个 I/O 口与其内部的 GND 或非常大的电阻相连，如 $100\text{k}\Omega$ ，当 I/O 口为低电平 0V 时，在 IC 的内部，是控制 IC 芯片 I/O 口的引脚在芯片内与 GND 相连接；当 I/O 口为高电平时，如 5V，这个时候 I/O 口引脚在芯片内是与非常大的电阻，如 $100\text{k}\Omega$ 相连接的。有时在 I/O 节点处会再串接一个小电阻值的电阻，如 68R ，因为电流流向阻抗低的地方，所以当芯片内部的 I/O 端口与 GND 相连为低电平时，电源与上拉电阻及芯片内部的 GND 形成环路进行流通，这时 I/O 口节点处的电流就会流向芯片内部的 GND，因为节点处串接了一个小电阻值的电阻，相对于 GND 来说是高阻，就是大一点点也是高阻，所以电流就不会流过这个串联的电阻。

当用下拉电阻时（所谓的上拉和下拉都是针对高阻态而言的），当 I/O 口为高阻态时，通过上拉电阻能够让其保持在高电平状态，具体如上文所述；当 I/O 口为高阻态时，用下拉电阻把这个口与 GND 相连接，高阻态电阻值很大，可以理解为断开，其实就是和芯片内部的很大阻值的电阻相连接，下拉的时候拉到地上了，没有电流，电平值为 0，除非是给这个引脚赋予一个高电平值它能够起作用。

上拉和下拉电阻的作用概括如下。

（1）提高电压准位：当 TTL 电路驱动 COMS 电路时，如果 TTL 电路输出的高电平低于 COMS 电路的最低高电平，这时就需要在 TTL 的输出端接上拉电阻，以提高输出高电平的值；OC 门电路必须加上拉电阻，以提高输出的高电平值。

（2）加大输出引脚的驱动能力，有的单片机引脚上也常使用上拉电阻。

（3）N/A pin（没有连接的引脚）防静电、防干扰：在 COMS 芯片上，为了防止静电造成损坏，不用的引脚不能悬空，一般接上拉电阻降低输入阻抗，提供泄荷通路。同时引脚悬空就比较容易接收外界电磁干扰。

（4）电阻匹配，抑制反射波干扰：长线传输中电阻不匹配容易引起反射波干扰，加上下拉电阻使电阻匹配，能有效地抑制反射波干扰。

（5）预设空间状态/默认电位：在一些 CMOS 输入端接上或下拉电阻是为了预设默认电位。当不用这些引脚时，这些输入端下拉接低电平或上拉接高电平。在 I2C 等总线上，空闲时的状态是由上下拉电阻获得的。

（6）提高芯片输入信号的噪声容限：输入端如果是高阻状态，或高阻抗输入端处于悬空状态，此时需要加上拉或下拉电阻，以免受到随机电平的影响，进而影响电路工作。同样，如果输出端处于被动状态，需要加上拉或下拉电阻，如输出端仅仅是一个三极管的集电极，从而提高芯片输入信号的噪声容限，增强抗干扰能力。

简单概括为：电源到器件引脚上的电阻叫上拉电阻，作用是平时使该脚为高电平；地到器件引脚上的电阻叫下拉电阻，作用是平时使该脚为低电平。低电平在 IC 内部与 GND 相连接；高电平在 IC 内部与超大电阻相连接。

某电视的机械按键是通过电阻分压的方式来识别不同功能按键的。按键上的印刷文字有 POWER、CH-、CH+、VOL-、VOL+、MENU 和 SOURCE，Power 按键电路设计如图 7-11 所示，CH-、CH+、VOL-、VOL+、MENU、SOURCE 电路设计如图 7-12 所示，虚线框内为

TV 主板侧电路，在这里给出主要是为了计算输出电压值。

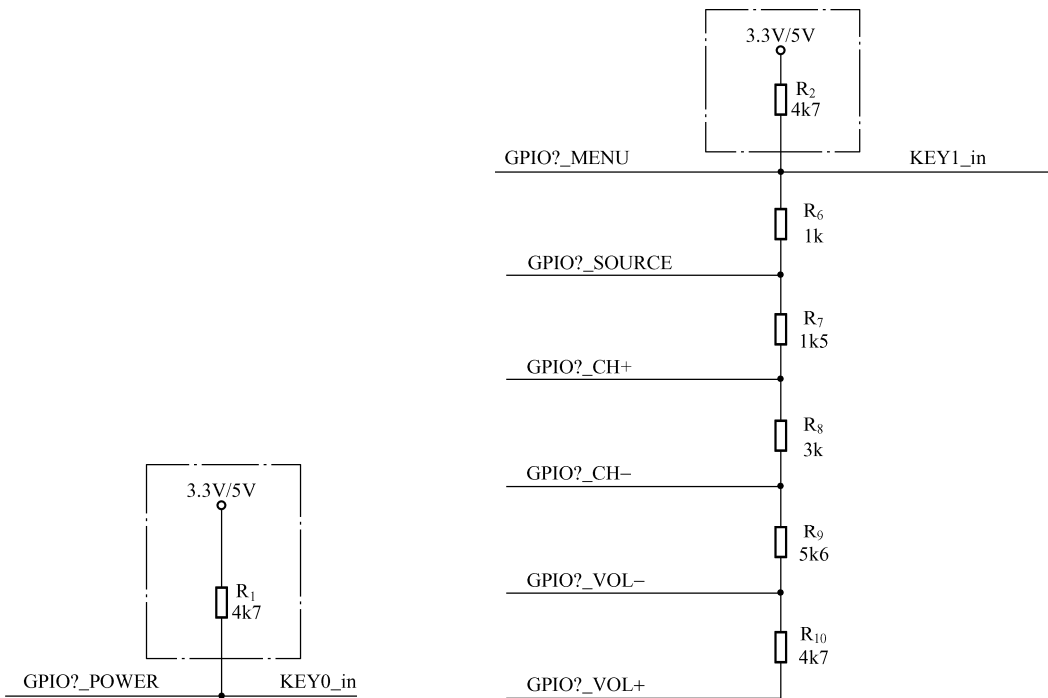


图 7-11 POWER 按键电路设计 图 7-12 CH-、CH+、VOL-、VOL+、MENU、SOURCE 电路设计

当 POWER 键按下时，相应的 GPIO（GPIO?_POWER）输出低电平，KEY0_in 输出低电平 0V；当 CH-键按下时，相应的 GPIO（GPIO?_CH-）输出低电平，KEY1_in 的输出电压为

$$V_{CH-} = \frac{R_6 + R_7 + R_8}{R_2 + R_6 + R_7 + R_8} \times 3.3V = \frac{5.5k\Omega}{4.7k\Omega + 5.5k\Omega} \times 3.3V \approx 1.779V$$

根据电阻的分压，可以计算出 POWER、CH-、CH+、VOL-、VOL+、MENU 和 SOURCE 的电平值依次为 0V、1.78V、1.15V、2.32V、2.54V、0.58V，主芯片在接收到不同的电平值时，就可以根据对应的电压阈值范围，进行控制命令的解析。

在 BJT 晶体三极管的基极端，上拉电阻和下拉电阻也起着至关重要的作用。在三极管的电路应用中，串接在基极上的电阻起限制基极电流的作用，如图 7-13 中的 R₁₁ 所示，如图 7-14 中的 R₂₁ 所示；上拉电阻使三极管基极的输入电平在默认情况下是高电平输入，当 CPU 有低电平信号输出时，外围电路响应；下拉电阻使晶体管的基极输入在默认情况下拉到低电平，如图 7-14 中的 R₂₂ 所示。

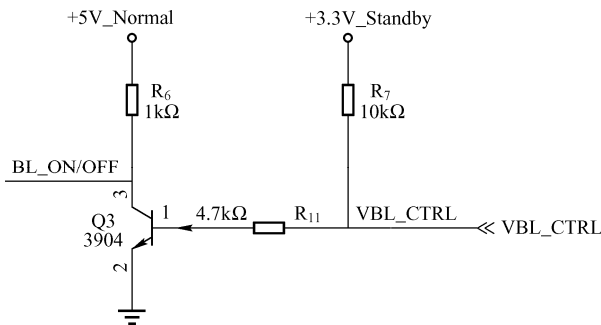


图 7-13 BJT 上拉电阻和串联电阻电路

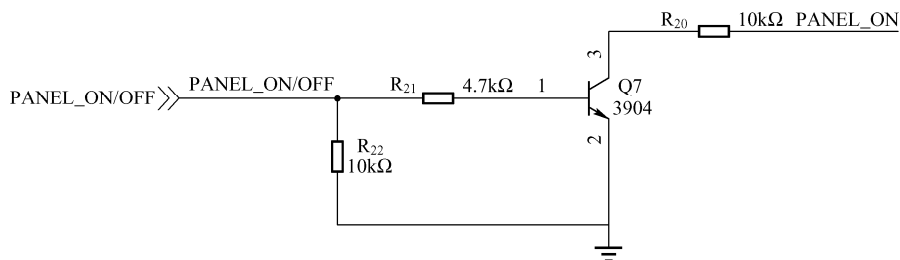


图 7-14 BJT 下拉电阻和串联电阻电路

7.2.2 电容特性分析

电容在电路设计中起着巨大的作用。电容无处不在，通过电容的应用，能够给板上所有器件的工作提供一个干净的电源。电容在电源完整性分析中的应用在第 4 章中已做了详细的论述。

电路设计中常用的电容种类有铝电解电容（Aluminum Electrolytic Capacitor）、钽电容（Tantalum Capacitor）、陶瓷电容（Ceramic Capacitor）、OSCON 固态电容和薄膜电容等。薄膜电容具有较小的公差、较高的容量、较高的稳定性和极低的压电效应，是 X、Y 安全电容的首选，在 SMPS 开关电源设计中得到了广泛应用，本节对此不展开论述。铝电解电容（Aluminum Electrolytic Capacitor）、钽电容（Tantalum Capacitor）和 OSCON 固态电容是极性电容，在使用时要注意其正负极，陶瓷电容（Ceramic Capacitor）是非极性电容。常用电容的种类如图 7-15 所示。

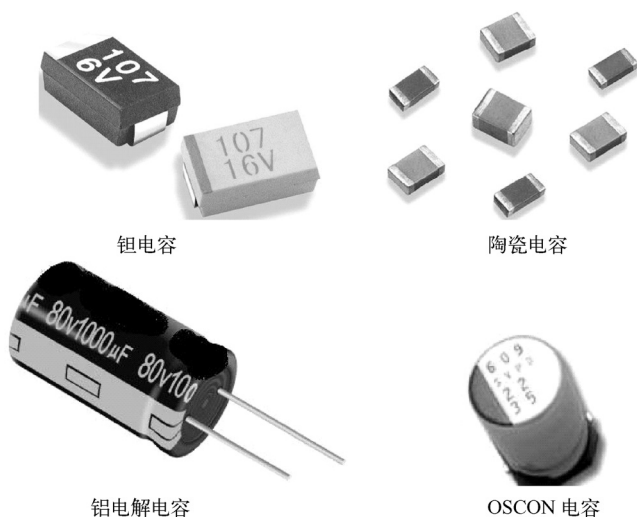


图 7-15 常用电容的种类

1. 铝电解电容（Aluminum Electrolytic Capacitor）

铝电解电容是由铝圆筒做负极，里面装有液体电解质，插入一片弯曲的铝带做正极而制成的电容器。铝电解电容的特点是容量大，但是漏电大、误差大、稳定性差，常用于交流旁路和滤波，在要求不高时也用于信号耦合。电解电容有正、负极之分，使用时不能接反。电解电

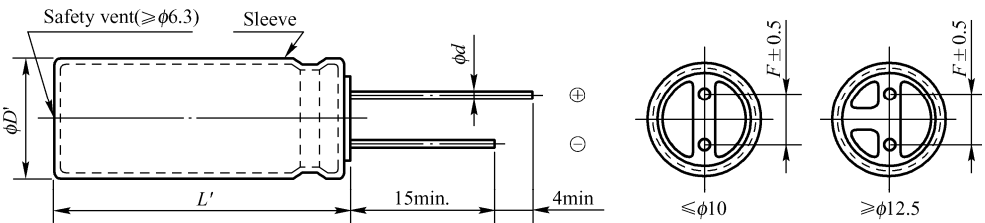
容常用于低频滤波电路中，容值范围是 0.1~22000μF。

额定工作电压是在规定的工作温度范围内，电容长期可靠地工作，它能承受的最大直流电压，即电容的耐压，也叫作电容的直流工作电压。如果在交流电路中，要注意所加的交流电压的最大值不能超过电容的直流工作电压值。常用的固定电容工作电压有 6.3V、10V、16V、25V、50V、63V、80V、100V、120V、160V、200V、250V、300V、350V、400V、450V、500V、550V、600V、630V、700V、800V 和 1000V。在滤波电路中，电容的耐压值不要小于交流有效值的 1.42 倍，电容在电路中实际要承受的电压不能超过它的耐压值。在非电源板设计中，常用耐压值是 6.3V、10V、16V、25V 和 50V 的电解电容。

因为铝电解电容内部采用的是液态电解液，所以随着产品的使用，铝电解电容内部的电解液会逐渐干涸，电容的标称容量值会慢慢变小，电解电容的等效串联电阻 ESR 会逐渐增大，从而使电解电容的滤波效果大大缩水。另外，因为采用电解液的原因，铝电解电容的温度特性也不好，在温差变化较大的应用环境下，其滤波效果也不好。因此，在使用环境苛刻、设备使用寿命长的设计中，应尽量避免使用铝电解电容。

在铝电解电容选型时需要关注的要点如下。

(1) 铝电解电容的封装问题。根据所设计电路的要求，选定铝电解电容的封装是贴片还是直插，一般贴片的成本会高于直插的，但是贴片的加工成本要低于直插的。某电解电容的封装尺寸如图 7-16 所示^[28]，在进行电路设计时，需要根据其规格要求，建立相应的封装。在某些客户要求超薄的设计中，电解电容的高度将是限制电解电容使用的一个限制因素，在 PCB 上空间足够的情况下，一般会在 PCB 上开槽，让电解电容躺在 PCB 上，以降低电路板因贴装器件而增高的高度。



Marking: BROWN SLEEVE, WHITE INK

ϕD	5	6.3	8	10	12.5	16	18	22
ϕd	0.5	0.5	0.6	0.6	0.6	0.8	0.8	0.8
F	2.0	2.5	3.5	5.0	5.0	7.5	7.5	10.0
$\phi D'$	$\phi D + 0.5 \text{ max.}$							
L'	$L + 1.5 \text{ max.}$			$L + 2.0 \text{ max.}$				

图 7-16 直插式铝电解电容封装规格

(2) 铝电解电容的容量、耐压值、封装宽度与长度。在进行电容选型时，电容的容量是一个非常关键的要素，一般电解电容容值的精度是±20%，在耐压值相同的情况下，随着电容容量的增大，电容的封装尺寸也会逐渐变大；在相同电容量的情况下，随着耐压值的逐渐增大，电容的封装尺寸也会慢慢增大。因此，在进行电容的容量、耐压值选择时，要合理根据其大小进行最终的定型。某铝电解电容的容值、耐压值及封装尺寸的关系如表 7-4 所示。

表 7-4 某铝电解电容的容值、耐压值及封装尺寸的关系^[28]

V_{DC} $\phi D \times L (mm)$	6.3			10			16		
	μF	IMP.	Ripple	μF	IMP.	Ripple	μF	IMP.	Ripple
5×11	150	0.58	210	100	0.58	210	56	0.58	210
6.3×11	330	0.22	340	220	0.22	340	120	0.22	340
8×11.5	680	0.13	640	470	0.13	640	330	0.13	640
8×15	1 000	0.087	840	680	0.087	840	470	0.087	840
8×20	1 200	0.069	1 050	1 000	0.069	1 050	680	0.069	1 050
10×12.5	820	0.080	865	680	0.080	865	470	0.080	865
10×16	1 200	0.060	1 210	1 000	0.060	1 210	680	0.060	1 210
10×20	1 500	0.046	1 400	1 200	0.046	1 400	1 000	0.046	1 400
10×25	2 200	0.042	1 650	1 500	0.042	1 650	1 200	0.042	1 650
10×30	2 700	0.031	1 910	2 200	0.031	1 910	1 500	0.031	1 910
12.5×16	1 800	0.049	1 450	1 500	0.049	1 450	1 000	0.049	1 450
12.5×20	3 300	0.035	1 900	2 200	0.035	1 900	1 500	0.035	1 900
12.5×25	3 900	0.027	2 230	3 300	0.027	2 230	2 200	0.027	2 230
12.5×30	4 700	0.024	2 650	3 900	0.024	2 650	2 700	0.024	2 650
12.5×35	5 600	0.020	2 880	4 700	0.020	2 880	3 300	0.020	2 880
16×15	2 700	0.042	1 940	2 200	0.042	1 940	1 500	0.042	1 940
16×20	5 600	0.027	2 530	3 900	0.027	2 530	2 700	0.027	2 530
16×25	6 800	0.021	2 930	5 600	0.021	2 930	3 900	0.021	2 930
16×31.5	8 200	0.017	3 450	6 800	0.017	3 450	4 700	0.017	3 450
16×35	10 000	0.015	3 610	8 200	0.015	3 610	5 600	0.015	3 610
16×40	12 000	0.013	4 080	10 000	0.013	4 080	6 800	0.013	4 080
18×15	3 900	0.043	2 210	2 700	0.043	2 210	2 200	0.042	1 940
18×20	6 800	0.026	2 860	5 600	0.026	2 860	3 900	0.026	2 860
18×25	10 000	0.019	3 140	6 800	0.019	3 140	4 700	0.043	2 210
18×31.5	12 000	0.015	4 170	8 200	0.015	4 170	5 600	0.015	4 170
18×35.5	15 000	0.014	4 220	10 000	0.014	4 220	8 200	0.015	3 610
18×40	18 000	0.012	4 280	12 000	0.012	4 280	10 000	0.012	4 280

(3) 电容的工作温度环境及使用寿命。

在进行电解电容的型号选型时，电容工作时的环境温度和使用寿命是由硬件系统使用时的环境温度和使用寿命来决定的。一般在电解电容规格书的首页，都会有工作温度和使用寿命的说明，如图 7-17 所示^[28]。



图 7-17 规格书中电容的工作温度和使用寿命

(4) 电容的阻抗特性、纹波特性。

对于电容的阻抗特性和纹波特性，一般都是在某一特定频率下求的值，如图 7-18 所示^[28]，

对于高频滤波的电容，一般需要全频段的频率阻抗特性曲线。

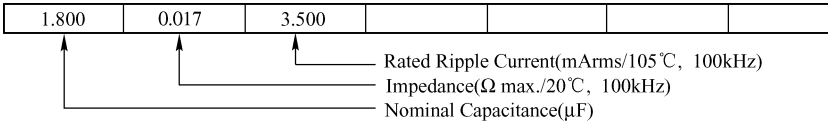


图 7-18 电解电容在特定频率下的阻抗特性和纹波特性

2. 钽电容（Tantalum Capacitor）

钽电容的全称是钽电解电容，也是电解电容的一种。钽电容使用钽作为介质，固态钽电性能优良、工作温度范围宽，基于钽的特性，钽电容适合在高温下工作，高频滤波性能好、体积小、容值较大，在高速 PCB 的电源设计中得到了广泛的应用，其容值范围是 2.2~560μF。

钽电容具有非常高的工作电场强度及单向导电性，在使用时钽电容的正负极要连接正确，如果正负极方向接反，电容发挥不了作用，且漏电流很大，短时间内会使电容发热损坏。钽电容的缺点是耐电压能力和耐电流能力较弱，一般在使用钽电容时，钽电容的工作电压值相对于标称的额定电压值要降额 50%以上使用，在钽电容后面所接的负载是感性负载、瞬态工作电流很大的情况下，钽电容的工作电压相对于标称的额定电压值要降额 70%以上使用。

钽电容选型时，同样要考虑电容的容值、耐压值、工作温度环境、等效串联电阻和容值精度（一般是±10%或±20%）等。钽电容的 EIA code 编码封装格式有 0402、0603、0805、1210、1206，对应 EIA Metric 封装的编码是 1005、1608、2012、3216、3528，钽电容的常用封装尺寸如图 7-19 所示^[29]。

Code	EIA Code	EIA Metric	Length(L)	Width(W)	Height(H)	Termination Spacing(S)	Minimum Termination Length(Lt)	Average Mass
A	1206	3216-18	3.20±0.20 (0.126±0.008)	1.60±0.20 (0.063±0.008)	1.60±0.20 (0.063±0.008)	1.80 min. (0.071 min.)	0.15 (0.006)	44.6mg
B	1210	3528-15	3.50 +0.20/-0.20 (0.138 +0.008/-0.008)	2.80 +0.20/-0.00 (0.110 +0.008/-0.004)	1.50 max.	2.00 min.	0.15 min.	90.0mg
K	0402	1005-07	1.00 +0.20/-0.00 (0.039 +0.008/-0.000)	0.50 +0.20/-0.00 (0.020 +0.008/+0.000)	0.50 +0.20/-0.00 (0.020 +0.008/-0.000)	0.40 min. (0.016 min.)	0.10 (0.004)	2.8mg
L	0603	1608-10	1.60 +0.20/-0.00 (0.063 +0.008/-0.000)	0.85 +0.15/-0.00 (0.033 +0.006/-0.000)	0.85 +0.15/-0.00 (0.033 +0.006/-0.000)	0.55 min. (0.022 min.)	0.15 (0.006)	8.6mg
R	0805	2012-15	2.00 +0.20/-0.00 (0.079 +0.008/-0.000)	1.35 +0.15/-0.00 (0.053 +0.006/-0.000)	1.35 +0.15/-0.00 (0.053 +0.006/-0.000)	0.70 min. (0.027 min.)	0.15 (0.006)	29.9mg

图 7-19 钽电容的常用封装尺寸

3. 陶瓷电容（Ceramic Capacitor）

陶瓷电容（Ceramic Capacitor）就是用陶瓷作为电介质，在陶瓷基体两面喷涂银层，然后经低温烧成银质薄膜作极板而制成的。因具有小尺寸、低等效串联电阻（ESR）、低成本、高可靠性和高纹波电流能力等优点，多层陶瓷（MLC）电容在电源电子产品中变得极为普遍。常用的陶瓷电容的容值范围是 0.5pF~100μF。

在前面章节中已详细论述过陶瓷电容的种类，常用到的陶瓷电容根据其温度特性和容值

精度，可以划分为 X7R、X5R、X5S、X5T、Y5V，NPO（COG），符号标示的第一位表示低温，第二位表示高温，第三位表示偏差，其温度特性与容值精度如表 7-5 所示。

表 7-5 陶瓷电容的种类

介质特性组别	工作温度范围	容值精度或温度特性
X7R	-55℃～+125℃	±15%
X5R	-55℃～+85℃	±15%
X5S	-55℃～+85℃	±22%
X5T	-55℃～+85℃	+22/-33%
Y5V	-30℃～+85℃	+22/-82%

NPO 是温度补偿性陶瓷电容，是陶瓷电容中最稳定的一种，其工作温度范围是 -55°～+125°，在该温度范围内，可以认为容值基本保持不变。

陶瓷电容在电源完整性的去耦中得到了广泛的应用，其高频特性、并联谐振特性、多种组合在电源完整性中的应用和去耦半径等分析，已在第 4 章的电源完整性分析方法中进行了详细的阐述。

陶瓷电容的常用封装格式也有 0402、0603、0805 和 1206，其对应的尺寸如表 7-6 所示。

表 7-6 陶瓷电容的尺寸规格（单位 mm）

尺寸规格	长度（L）	宽度（W）	端头宽度（L ₁ 、L ₂ ）	厚度（T）	厚度代码
0402	1.00±0.05	0.50±0.05	0.10～0.35	0.50±0.05	B
	1.00 ^{+0.05} ₋₀	0.50 ^{+0.13} ₋₀	0.10～0.35	0.50 ^{+0.13} ₋₀	N
0603	1.60±0.10	0.80±0.10	0.15～0.60	0.80±0.10	D
	1.60 ^{+0.20} ₋₀	0.80 ^{+0.20} ₋₀	0.15～0.60	0.80 ^{+0.20} ₋₀	K
0805	2.00±0.10	1.25±0.10	0.20～0.75	0.60±0.10	C
	2.00±0.20	1.25±0.20	0.20～0.75	0.85±0.15	Y
	2.00 ^{+0.2} _{-0.3}	1.25 ^{+0.2} _{-0.3}	0.20～0.75	1.25 ^{+0.2} _{-0.3}	H
1206	3.20±0.20	1.60±0.20	0.25～0.75	0.85±0.15	Y
	3.20±0.20	1.60±0.20	0.25～0.75	1.15±0.20	O
	3.20±0.20	1.60±0.20	0.25～0.75	1.60±0.20	L

4. OSCON 固态电容

OSCON 是三洋公司生产的一种性能比较好的电解电容。它采用在固体电解质里的高导电性有机半导体（TCNQ 复合盐）原理，以实现小型化、大容量及等效串联电阻小、使用寿命长的特点。由于等效串联电阻极为微小，频率数特性出色，所以它最适合用作转换电流平滑电容器和清除各种噪声的电容器。同时，与有机半导体（TCNQ 复合盐）相比较，可以更加体现出它的高导电性能。它在使用耐热性高的高分子导电性系列时也被大力推出，对于无铅化及设备的高可靠性、长寿命化都显示出无可比拟的优越性。OSCON 成本较低，当成本要求苛刻时，在电源电路中可以采用 OSCON 来代替钽电容。

从以上对比中可以看出，铝电解电容的容量大、额定电压高，但适应工作温度环境较差，适用于低频滤波的场合；钽电容具有较好的温度特性，具有较小的 ESR 和 ESL，高频滤波特性较好，但其承受冲击电压和冲击电流的能力不行，一般在设计中要降额 50%以上使用；陶瓷电容具有体积小、价格低和稳定性好的优点，广泛应用于电源的高频滤波中，其容值

较小，当需要大容值的电容时，需要考虑其他电容的类别。

7.2.3 电感特性分析

电感（Inductance of an Ideal Inductor）是闭合回路的一种属性，是一个物理量。当线圈通过电流后，在线圈中形成磁场感应，感应磁场又会产生感应电流来抵制通过线圈中的电流。这种电流与线圈的相互作用关系称为电的感抗，也就是电感，单位是“亨利（H）”。

电感在电路设计中的特性主要表现为：滤除高频谐波，通直流、阻交流；阻碍电流的变化，保持器件工作电流的稳定。当主芯片各端口的逻辑状态高速切换时，会有大量的高频谐波产生，即噪声的产生，通过采用 LC 低通滤波电路，可以实现高频噪声的滤除；电容的作用是通交流、隔直流，电感的作用与其相反，是通直流、隔交流；当供电负载发生变化或 I/O 状态切换时，电源部分电感会有大幅度的电流变化，变化的电流流过电感后，电感会产生与变化电流相反方向的电流，阻碍电流的变化，从而保证电源输出端输出较稳定的电流。

电感根据其应用场合的不同，可以分为电源用电感、低频信号电感和高频信号电感，无论哪种电感，在进行电感选型时需要核对的电感参数有电感值、直流电阻、额定电流和自谐振频率（ Q 值最大的频率）。

小电感值的封装包含 0402、0603、0805，电源类用的电感因电感值比较大，所以一般会采用较大的封装，如图 7-20 所示。

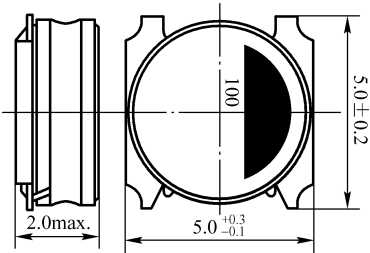


图 7-20 电源类电感用的封装

电感的焊接一般都有温度的要求，电感机贴时的升温时间要求如图 7-21 所示^[30]；在人工用烙铁进行焊接时，一般要求烙铁头的温度保持在 350℃ 以下，并且焊接最好在 3s 内完成。

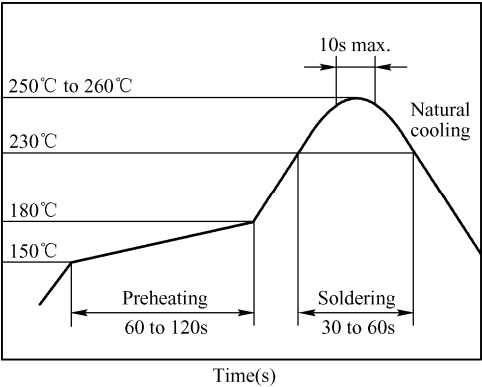


图 7-21 电感机贴时的升温时间要求

TDK 高频滤波电感的选型及参数列表如表 7-7 所示^[30]。

表 7-7 TDK 高频滤波电感的选型及参数列表

L		L measuring frequency (MHz)	Q Min.	Q measuring frequency (MHz)	Self-resonant frequency (GHz)		DC resistance (Ω)		Rated current (mA) Max.
(nH)	Tolerance				min.	typ.	max.	typ.	
1.0	±0.1,±0.2,0.3nH	100	—	250	15.0	20.0	0.03	0.01	1200
1.1	±0.1,±0.2,0.3nH	100	—	250	14.0	20.0	0.03	0.02	1200
1.2	±0.1,±0.2,0.3nH	100	—	250	13.0	18.3	0.03	0.01	1200
1.3	±0.1,±0.2,0.3nH	100	—	250	12.0	20.0	0.03	0.01	1200
1.5	±0.1,±0.2,0.3nH	100	23	250	11.0	19.7	0.04	0.02	1000
1.6	±0.1,±0.2,0.3nH	100	23	250	10.0	15.2	0.04	0.02	1000
1.8	±0.1,±0.2,0.3nH	100	23	250	9.0	15.1	0.04	0.03	1000
2.0	±0.1,±0.2,0.3nH	100	23	250	8.0	11.5	0.05	0.03	1000
2.2	±0.1,±0.2,0.3nH	100	23	250	8.0	12.1	0.06	0.04	1000
2.4	±0.1,±0.2,0.3nH	100	23	250	6.5	9.8	0.06	0.04	1000
2.7	±0.1,±0.2,0.3nH	100	23	250	6.5	9.6	0.07	0.04	900
3.0	±0.1,±0.2,0.3nH	100	23	250	6.0	9.4	0.08	0.06	900
3.3	±0.1,±0.2,0.3nH	100	23	250	6.0	9.0	0.08	0.06	900
3.6	±0.1,±0.2,0.3nH	100	23	250	5.5	8.4	0.09	0.07	900
3.9	±0.1,±0.2,0.3nH	100	23	250	5.0	7.7	0.09	0.07	900
4.3	±0.1,±0.2,0.3nH	100	23	250	5.0	7.1	0.10	0.08	800
4.7	±0.1,±0.2,0.3nH	100	23	250	5.0	7.7	0.11	0.08	800
5.1	±0.1,±0.2,0.3nH	100	23	250	4.5	7.2	0.12	0.09	800
5.6	±0.1,±0.2,0.3nH	100	23	250	4.5	6.5	0.13	0.10	800
6.2	±0.1,±0.2,0.3nH	100	23	250	4.0	5.9	0.13	0.09	700
6.8	±2%,±3%,±5%	100	23	250	4.0	5.8	0.14	0.10	700
7.5	±2%,±3%,±5%	100	23	250	4.0	5.6	0.16	0.12	600
8.2	±2%,±3%,±5%	100	23	250	3.6	4.9	0.16	0.12	550
9.1	±2%,±3%,±5%	100	23	250	3.4	4.5	0.17	0.13	550
10	±2%,±3%,±5%	100	23	250	3.3	4.6	0.19	0.15	500
12	±2%,±3%,±5%	100	23	250	2.8	3.8	0.24	0.19	450
15	±2%,±3%,±5%	100	23	250	2.3	3.2	0.28	0.22	400

从表 7-7 中可以得到电感的感值（nH）及精度范围（Tolerance）（会给出测试感值时的频率，本表格的测试频率是 100MHz），Q 值的最小值（Qmin）、Q 值测试时的频率（Q measuring frequency-MHz）、自谐振频率出现时的最小频率（Self-resonant frequency-GHz-min）、电感直流电阻的最大值和典型值（DC resistance-max and typ）、额定电流（Rated current），根据给出的参数就可以确定此类电感是否可以满足设计的需要。在选型中可以看出，一般电感值越大，对应的直流电阻越大；电感值越大，对应的谐振频率越小；电感值越大，对应的额定电流越小。

电感值随频率变化的关系^[31]如图 7-22 所示，Q 值随频率变化的关系^[31]如图 7-23 所示。

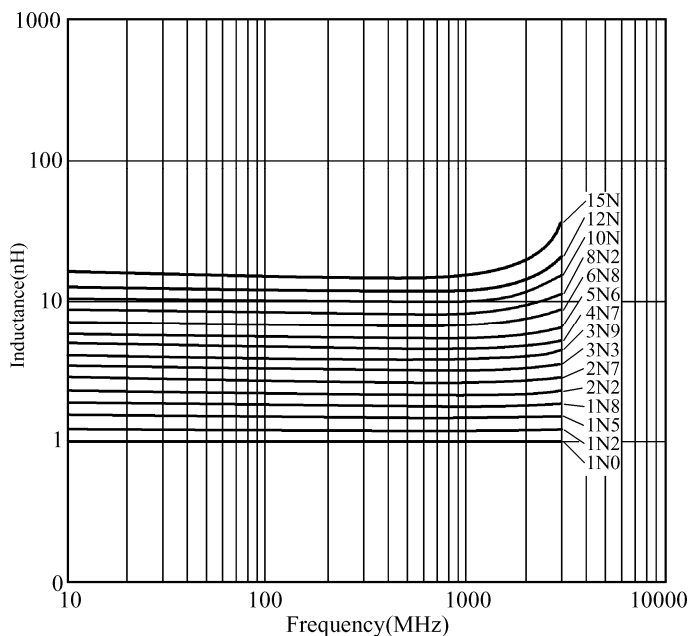
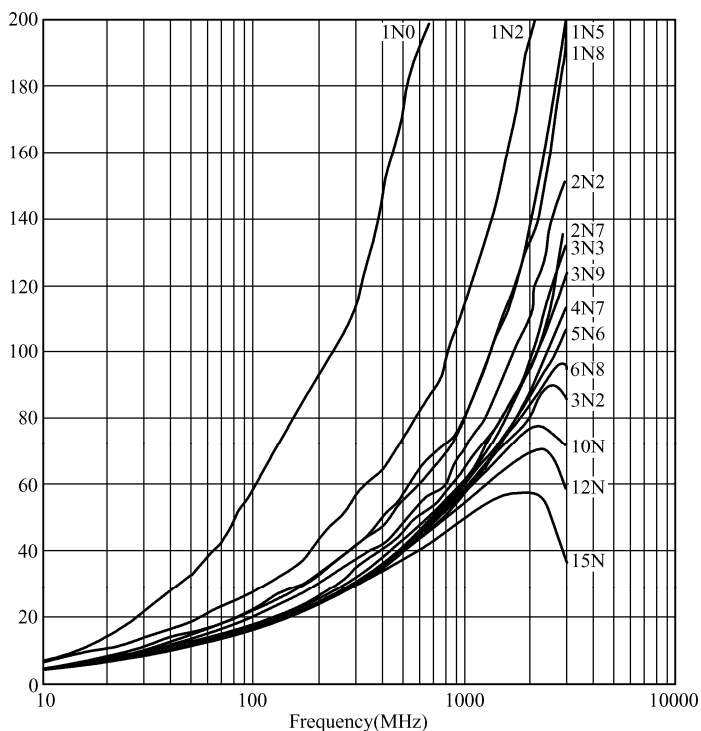


图 7-22 电感值随频率变化的关系

图 7-23 Q 值随频率变化的关系

从电感值随频率变化的关系图中可以看出，随着频率的提升，电感值开始时基本保持不变，当频率超过谐振频率后，电感会迅速增大（电感值不会一直增大，增大到一定程度后会迅速减小，图中未标注出）。

从 Q 值随频率变化的关系图可以看出，随着频率的升高， Q 值会先增大，然后随着频率

的逐步增加, Q 值会迅速下降。在对高频信号进行电感选型时, 应选择谐振频点高于工作频点的电感, 如果谐振频点低于工作频率, 会给系统信号带来很大的干扰噪声, 同样, 在设计 LC 低通滤波电路时, 噪声频点与电感的自谐振频点要错开, 如果噪声频点和自谐振频点一样, 信号叠加后会产生更大的噪声。

电感在不同的电路中应用时侧重的参数不同, 在设计高速电路时, 关注的是其谐振频点随频率变化的特性; 而在电源电路中使用时, 侧重的是其直流电阻和额定电压值等参数。当电感串接在电路上时, 要关注电感两端的压降。

7.2.4 磁珠特性分析

磁珠专用于抑制信号线、电源线上的高频噪声和尖峰干扰, 还具有吸收静电脉冲的能力。磁珠可用来吸收超高频信号, 像一些 RF 电路、PLL、振荡电路、含超高频存储器电路 (DDR SDRAM, RAMBUS 等) 都需要在电源输入部分加磁珠, 而电感是一种蓄能元件, 用在 LC 振荡电路和中低频的滤波电路等, 其应用频率范围很少超过 50MHz, LC 滤波电路是对噪声的反射, LC 电路中的 C 构建一条通往地平面的低阻抗信号通道, 可以将噪声排放到地平面上去。

下面分析 TDK MPZ 系列磁珠的特性, 对磁珠的应用进行讲解。

磁珠的焊接温度特性与 TDK 自身的电感类似, 可以参考电感的焊接温度曲线进行焊接操作。

一般磁珠根据其材质特性会适用于不同的带宽范围, 如 MPZ 系列根据材质的不同, 可以分为 B 材质、R 材质、S 材质、Y 材质和 D 材质。不同材质的频率阻抗特性^[30]如图 7-24 所示, 在磁珠选型时, 可以根据要处理的信号频带范围进行初步的选型, 确定磁珠所采用的材质, 从而确定磁珠的型号系列范围。

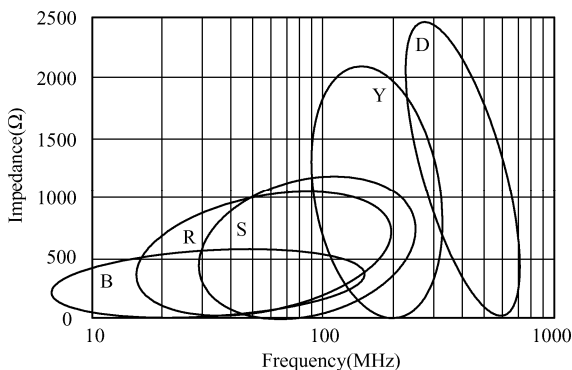


图 7-24 不同材质的频率阻抗特性

B 材质: 最适用于高速数字信号的形式。磁珠的 R 成分和 X 成分相同的频率为 5MHz, 可抑制高速数字信号的过孔、下冲和振荡。

R 材质: 可以产生大范围阻抗特性的宽频带对应型, 用于重视波形质量的数字信号线, 备有可在 10~200MHz 发挥效果的阻抗值。

S 材质: 可产生类似普通铁氧体磁芯阻抗特性的标准形式, 用于频带为 100MHz 左右的信号线, 备有可在 40~300MHz 发挥效果的阻抗值。

Y 材质: 以 100MHz 左右及以上频带为目标的高频带对应型, 用于原信号与对策频带分离的信号线, 备有可在 80~400MHz 发挥效果的阻抗值。

D 材质: 在低频下损失较少, 阻抗值可急速增加的高频对应型, 用于重视波峰值的信号线, 备有可在 300MHz~1GHz 发挥效果的阻抗值。

磁珠的等效电路如图 7-25 所示，磁珠中的电抗成分用 X 来表示，电阻成分用 R 来表示，电抗成分 X 和电阻成分 R 合成磁珠总的阻抗特性。

在 MPZ 系列中，MPZ1608S600A 的频率阻抗特性曲线^[30]如图 7-26 所示。从图中可以看出，磁珠的阻抗 Z 是由 X 和 R 共同作用的合集。在低频段时， X 感抗起主要作用；在高频段时， R 起主要作用。可见，在低频时，磁珠表现为感性，起反射噪声的作用，在高频时，磁珠表现为电阻性，起吸收噪声并转变为热能的作用。表现为两种特性的转折点是 X 和 R 曲线的交点，可以称此转折点为抗阻特性转折点。在转折点频率以下，磁珠表现为电感性，反射噪声；在转折点频率以上，磁珠表现为电阻性，磁珠吸收噪声并转换为热能。从频率阻抗特性曲线和转折点可以看出，转折点频率越高，磁珠表现为电阻性的频带越小，磁珠表现为电感性的频带越宽；转折点频率越低，磁珠表现为电阻性的频带越大，表现为电感性的频带越窄。因此在进行选型时，要根据信号频率和噪声频率进行合理的选择：当用于滤除噪声时，噪声的频带范围要大于转折点的频率，让噪声频带的范围都处于磁珠的电阻性起主要作用的频带范围内，从而吸收噪声并转化为热能；当磁珠用于信号滤波时，信号的频带范围要小于转折点的频率，让信号的频带范围落于磁珠起感性作用的范围内，减少信号的衰减。

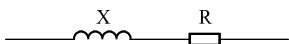


图 7-25 磁珠的等效电路

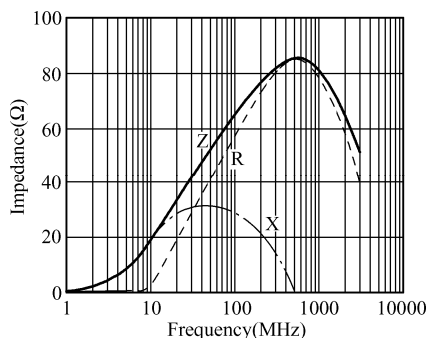


图 7-26 MPZ1608S600A 的频率阻抗特性曲线

在磁珠的选型中，还需要关注磁珠的自谐振频率，磁珠的谐振频点越低，电路因谐振而产生的波形振荡越小，而谐振频点越高则波形振荡越大。对于磁珠的选型，还需要关注的参数是额定电流和直流电阻。当温度上升到一定程度后，磁珠电流的额定值会急剧下降，不同磁珠的额定电流在温度没有超过 85°C 之前都是不变的，当温度值超过 85°C 后，额定电流急速下降，如图 7-27 所示^[30]。

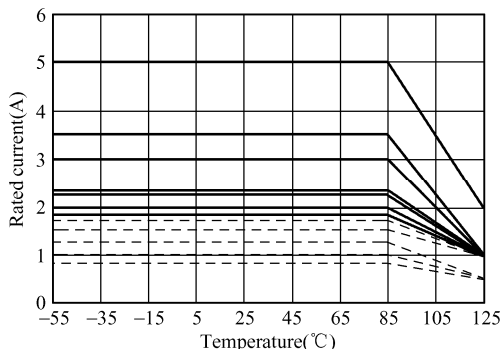


图 7-27 磁珠额定电流值随温度的变化

通过电感特性与磁珠特性的比较可以看出，磁珠与电感在选型时，需要共同关注的选型参数有以下几个。

(1) 频率特性曲线。磁珠与电感，随着频率的变化，都有对应的特性曲线，磁珠是频率与阻抗特性的曲线，电感是频率与感值的频率特性曲线及频率与 Q 值的特性曲线。

(2) 直流电阻。因直流电阻的存在都会产生一定的压降，所以在选型时要选择直流电阻的器件。

(3) 额定电流。电感和磁珠工作时都有电流上限的要求，超过额定电流就会对器件造成损伤，因此在选型时工作电流都要小于额定电流。

电感与磁珠的不同点有如下几个方面。

(1) 处理噪声的方式不同。电感与电容可以组成 LC 低通滤波电路，电容在电感和地之间构建一个低阻抗的路径，让高频噪声通过低阻抗的路径将噪声导到地平面上。在 LC 低通滤波电路中，电感在处理噪声时，没有从根本上清除噪声；磁珠处理噪声的方式是在低频时，磁珠表现为感性，反射噪声，在高频时电阻特性为主要特性，磁珠中的电阻吸收高频噪声并转换为热能，能够从根本上消除噪声。

(2) 自身是否产生危害的影响。电感与电容组成 LC 滤波电路时，因为 LC 都是储能元件，所以两者可能会产生自激，给电路带来影响；而磁珠是耗能元件，自身不会自激，不会给电路带来噪声的影响。

(3) 滤波的频率范围不同。电感在不超过 50MHz 的低频段时，就有较好的滤波特性，频率再高时，滤波效果不好；而磁珠利用其呈现出来的电阻特性吸收高频噪声，滤波的频率范围要远大于磁珠。

(4) 器件直流压降的不同。电感与磁珠都有直流电阻，同样级别的滤波器件，磁珠的直流电阻要小于电感，磁珠的压降也就小于同级别电感的压降。

7.2.5 BJT 应用分析

二极管是两端器件，其内部结构是一个 PN 结，因此二极管的特性是具备单向导电性。晶体三极管 (BJT) 是一种三端器件，内部含有两个离得很近的背靠背排列的 PN 结 (发射结和集电结)。当两个 PN 结加上不同极性、不同大小的偏置电压时，晶体三极管呈现不同的特性和功能。晶体三极管根据其 PN 结的结构，可以分为 NPN 型三极管和 PNP 型三极管，NPN 型三极管的逻辑符号如图 7-28 所示，PNP 型三极管的逻辑符号如图 7-29 所示。

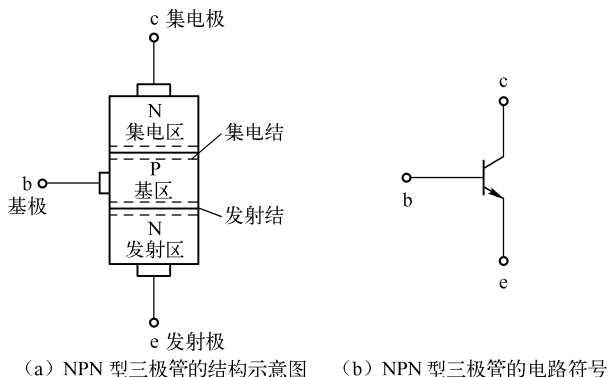
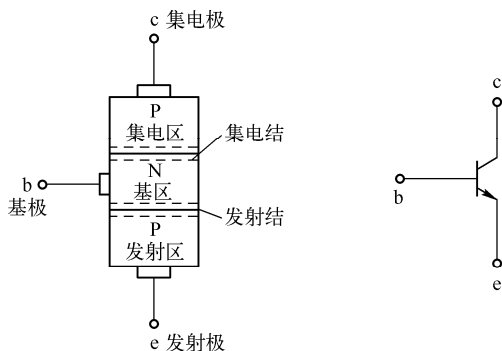


图 7-28 NPN 型三极管的逻辑符号



(a) PNP 型三极管的结构示意图 (b) PNP 型三极管的电路符号

图 7-29 PNP 型三极管的逻辑符号

无论是 NPN 型三极管还是 PNP 型三极管，当发射结加正向偏置电压，集电结加反向偏置电压时，三极管工作在放大模式；当发射结加反向偏置电压，集电结加反向偏置电压时，三极管工作在截止模式；当发射结加正向偏置电压，集电结加正向偏置电压时，三极管工作在饱和模式。如何能够正确理解三极管的工作原理，并正确使用三极管呢？

三极管放大的原理^[32]如图 7-30 所示，晶体管的输入信号通过器件输出，晶体管吸收此时输入信号的振幅信息，由电源重新产生输出信号。由于该输出信号比输入信号大，所以可以将输入信号放大而成为输出信号，这就是放大的原理。

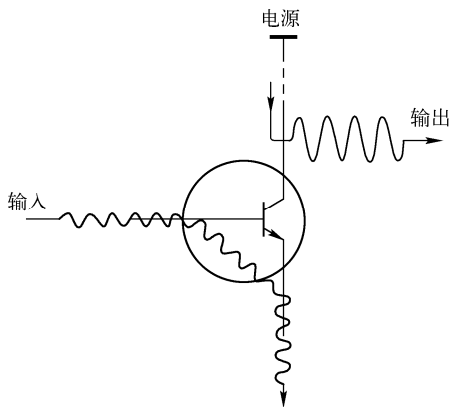


图 7-30 三极管放大的原理

晶体三极管的内部工作原理就是对基极与发射极之间流过的电流进行不断的监视，并控制集电极-发射极间的电流源，使基极-发射极间电流的数十至数百倍（以晶体管种类而异）的电流在集电极与发射极之间流动。也就是说，晶体管是用基极电流来控制集电极-发射极电流的器件。晶体三极管的内部工作原理^[32]如图 7-31 所示。

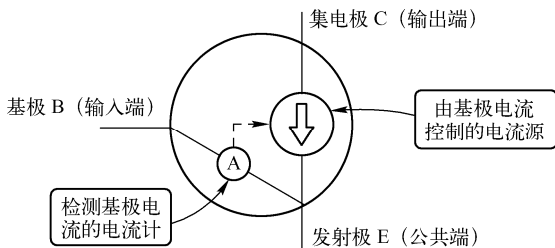


图 7-31 晶体三极管的内部工作原理

换句话说，为了让晶体管工作，设计一种外部电路使基极-发射极间的电流流动就可以了。晶体管有一个箭头方向，可以理解为在晶体管的基极-发射极间加入了一个二极管，而箭头的方向就是二极管的方向^[32]（如图 7-32 所示），当晶体管进行工作时（基极和发射极之间有电流的流动，NPN 时是从基极流向发射极，PNP 时是从发射极流向基极），基极-发射极间的压降与二极管的正向压降相同，为 0.6~0.7V。也就是说，设计电路时，将晶体管的基极-发射极间电压设为 $V_{be} \approx 0.6V$ ，使基极和发射极之间的二极管导通，就可以使基极-发射极间电流流动，然后再对电路的其他部分进行计算就可以了。

对于三极管的理解，可以用生活中一个很常见的实物来类比，这里以 NPN 型三极管进行说明，PNP 类似，只是方向相反而已，结论都适用。三极管就如同日常使用的水龙头，如图 7-33 所示，三极管的集电极 C 可以看作水龙头的进水口；发射极 E 可以看作水龙头的出水口；基极 B 可以看作水龙头的开关。在使用水龙头时，转动开关 B，当向右转动时，水流会慢慢增大，向右转到最大位置时，水流最大，此时开关 B 无法再向右旋转，即对应三极管的饱和模式；当向左旋转开关时，水流会逐渐减小，当向左旋转到底时，此时水流为 0，即对应三极管的截止模式。这样，开关 B 在最左侧时对应三极管的截止模式，在最右侧时对应三极管的饱和模式，在中间位置时对应三极管的“放大模式”。这样就很好理解了，其实三极管并没有起到放大的作用，一直以来所谓的放大都是被误解了。从上面的讨论中可知，为了让三极管能够工作，需要在基极和发射极之间去驱动那个二极管，让二极管导通，让基极和发射极之间有电流的流动。在水龙头的开关操作中，需要去旋转这个开关，旋转开关时需要向右旋转，这个向右旋转就相当于告诉水龙头，我要放水了，这个向右的动作就相当于从基极流向发射极的电流，两者都有一个方向上的动作。对于 PNP 型的三极管，类比水龙头时，原理是一样的，但是方向正好相反，当向左旋转开关时，电流是最大的，且这个时候的水流不再是从 C 流向 E，而是从 E 流向 C 了。

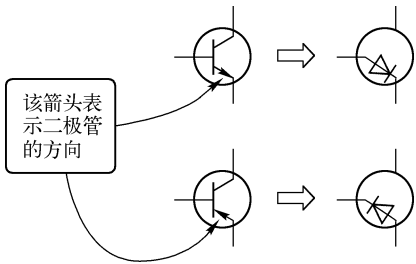


图 7-32 基极-发射极间的二极管

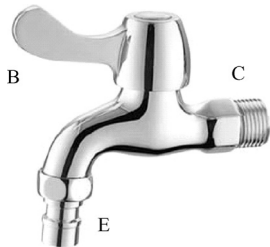


图 7-33 类比三极管的水龙头

在现代电子系统设计中，随着 IC 的集成度越来越高，在设计电路时，BJT 三极管作为逻辑开关管的使用非常广泛。BJT 管子作为开关管使用时，是利用了让三极管工作在饱和模式下，即在最左侧时 BE 关闭，在最右侧时 CE 导通。上面用水龙头的例子对三极管做了较为清晰的理解，在进行电路设计时，需要有一个可以量化的设计指标，即基极电流和集电极电流的关系来做量化分析。在进行三极管的饱和状态设计时，可以采用如下公式：

$$I_b * \beta > I_c$$

式中， I_b 是基极流入发射极的电流； β 是三极管的“放大倍数”（即 h_{FE} 器件的直流电流放大系数）； I_c 是集电极的电流。

有时需要用 BJT 三极管来对输入的信号做放大处理，在电路设计中，BJT 的选型可以按照如下步骤进行。

(1) 要明确制作什么样性能的电路或请制作这样性能的电路。也就是说，要有一个电路设计的规格书。

(2) 确定要使用电源的电压，来保证电路的正常工作。

(3) 选择所要使用的晶体管的类型，PNP 或 NPN，一般 NPN 类使用得要多一些。使用 PNP 晶体管的电路与使用 NPN 晶体管的电路，其电流方向相反，为了使偏置电压的极性相反，PNP 型晶体三极管偏置时将电源与 GND 进行交换。应根据 BJT 的 Datasheet 里的最大额定值选择，保证其不会在工作时损坏。在额定值内查看其电气特性，看其 h_{FE} （器件的直流电流放大系数）。

(4) 确定发射极或集电极的最佳电流工作点。这个要根据 BJT 的频率特性曲线与发射极电流或集电极电流的关系来看。 f_T 称为晶体管的特征频率，它表示交流电流放大系数为 1 时的频率。相对于噪声特性，BJT 同样存在噪声最小的集电极电流（ \approx 发射极电流）。在同一个晶体管中，频率特性最好的发射极电流与噪声特性最好的发射极电流是不同的。

(5) 电路的电压放大倍数是由接在电源与集电极 C 之间的电阻 R_C 和接在发射极和地之间的电阻 R_E 之间的电阻比值决定的。由于基极-发射极之间的电压 V_{BE} 随温度会变化，为使工作点稳定， R_E 的直流压降至少为 1V 以上， V_{BE} 本身就约为 0.6V， V_{BE} 的变动会使发射极电位也变动，集电极电流也发生变化。

(6) 晶体管的集电极损耗 $P_C = V_{CE} * I_C$ 。最好的设计方法是将集电极电位 V_C 设定在 V_{CC} 与 V_E 的中点。

(7) 基极电位是 $V_E + 0.6V$ ，基极电位一般由电阻分压得到。

使用三极管作为开关时，有时会出现电压钳位的问题，此时需要在合适的位置添加电阻进行处理。如图 7-34 所示，当三极管导通后，三极管的基极电压因为基极-发射极间二极管的原因，会被钳位在 0.6~0.7V，此时因基极和发射极间的电阻很小，所以会有很大的电流流过，会烧坏 BJT 管子，可以在 POWER_UP 和 1 基极之间串联电阻（如 4.7k Ω ）。

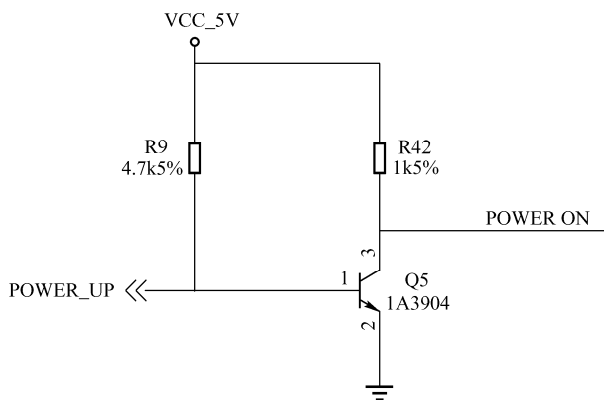


图 7-34 三极管的输入端钳制电压电路

晶体三极管常用在接口电平不匹配时的应用场合，BJT 在电平转换中的应用如图 7-35 所示是实现 5V 电平转 3.3V 电平的电路。在该电路中使用了 PNP 型三极管。IR_OUT_5V 是输入的无线红外信号，当 IR_OUT_5V 输入高电平时，此时 Q8 的发射极与基极之间的二极管无法导通，达不到开启二极管工作电流的条件，因此，此时的 Q8 处于截止状态，相当于水龙头处于关闭状态。 R_{21} 上拉电阻用来保证基极的时序，当 IR_OUT_5V 输出状态不确定时，基极为高电平。当 IR_OUT_5V 为低电平时，此时基极逻辑电平为 0V，Q8 的发射极和基极之间的电压达到开启它们之间二极管压降的压值，电流从发射极流向基极，此时发射极与集电极导

通，相当于水龙头放水了，此时 IR_CHECK 输出高电平，从而实现了 5V 与 3.3V 逻辑电平的转换（此处 5V 电平处需要做逻辑的翻转，即 5V 处的逻辑 0 对应 3.3V 处的逻辑 1；5V 处的逻辑 1 对应 3.3V 处的逻辑 0）。

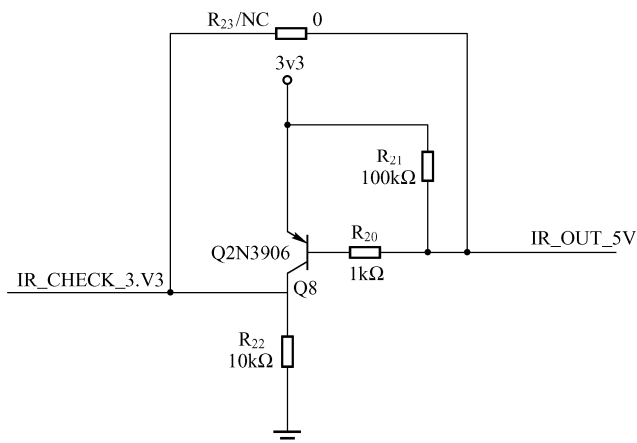


图 7-35 BJT 在电平转换中的应用

有时 BJT 还会用在 Boost 升压电路中，如图 7-36 所示是利用三极管的 12~40V 的升压电路。Tuner+40V_PWM2 输出 PWM（脉冲宽度调制）波，通过调整占空比，就可以控制加载到 Q8 三极管上的高、低电平的时间，从而控制 Q8 的集电极和发射极的导通与关断。当 PWM 波为高电平时，Q8 导通，此时 12V 经过电阻 R23，再经过功率电感 L2，再经过 Q8 的集电极和发射极接地，此时会有大的变化电流，电感 L2 感受到这部分变化电流后，会形成一个感应电动势，控制高电平在 Q8 上作用的时间，使 L2 上的感应电动势达到一定值后，PWM 再在 Q8 的基极上输入低电平，此时 Q8 截止，12V 电压+电感 L2 生成的感应电动势经过 VD1 后，加载到 CA4 上，从而输出所需要的 40V 电压。电路中的 R233 上拉电阻用来保证上电时的时序，CA4 用来滤除电源中的噪声。

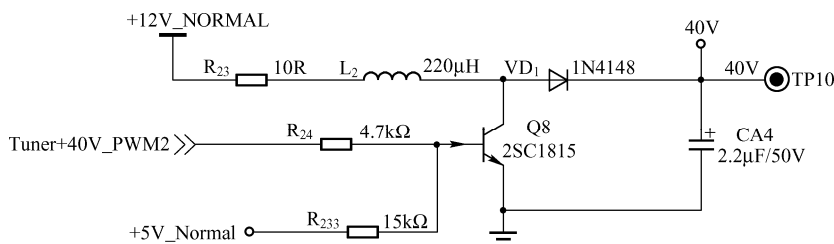


图 7-36 三极管在 Boost 升压电路中的应用

BJT 还常常用来组成图腾柱电路，图腾柱型驱动电路的作用在于提升电流提供能力，迅速完成对于门极电荷的充电过程。如图 7-37 所示，为了加速驱动 MOSFET 电源功率管的栅极，采用了图腾柱电路。三极管 Q18 的基极接单片机的 PWM 波，当 Q18 的基极输入低电平时，Q18 的集电极和发射极之间截止，Q19 和 Q20 的基极经 10kΩ 电阻 R82 上拉到 VCC (10V)（某电池电压），此时 Q19 的基极经过体内的 PN 结即二极管到达 Q19 的发射极，再到 R109，再到 R110，再接地构成回路，此时 Q19 的集电极和发射极之间将会导通，从而驱动后面的 MOSFET 管电路；当 Q18 的基极输入高电平时，Q18 导通，此时 Q19 和 Q20 的基极输入低电

平, Q19 截止, 此时 Q20 的发射极接后端电路的容性负载, 容性负载处于放电状态, 容性负载会经 R109 到 Q20 的发射极, 再到 Q20 的基极和集电极, 构成放电回路。图中的 R109 电阻起到 MOSFET 栅极限流的作用, VD₂₇ 是加速放电二极管。

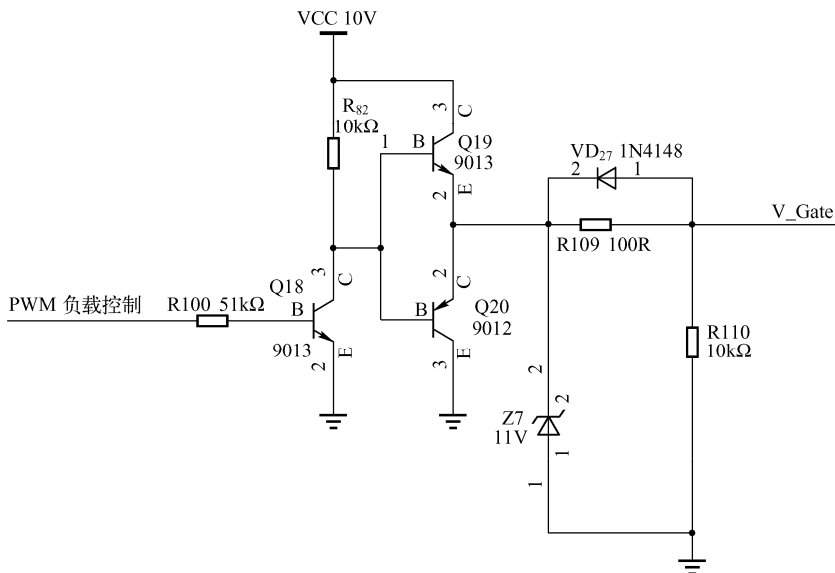


图 7-37 图腾柱电路

7.2.6 MOSFET 应用分析

场效应管有两种主要类型，分别是金属氧化物半导体场效应管（MOSFET）和结型场效应管（JFET）。在开关电路、Boost 电路、Buck 电路和 Buck-Boost 电路等的应用中，主要应用了金属氧化物半导体场效应管（MOSFET）。虽然两种类型的管子特性曲线上有所不同，但是其原理是一样的，为便于说明，在进行原理说明时，图示部分以 FET 来表示。

场效应管是一种利用电场效应来控制其电流大小的半导体器件。场效应管是三端器件，与 BJT 相对应，它也有三个电极，分别是栅极 G、漏极 D 和源极 S。MOSFET 可以被制造成增强型或耗尽型、P 沟道 MOSFET 和 N 沟道 MOSFET，N 沟道 MOS 管的结构及电路符号如图 7-38 所示，P 沟道 MOS 管的结构及电路符号如图 7-39 所示。实际应用的管子主要是增强型的 N 沟道 MOS 管和增强型的 P 沟道 MOS 管。

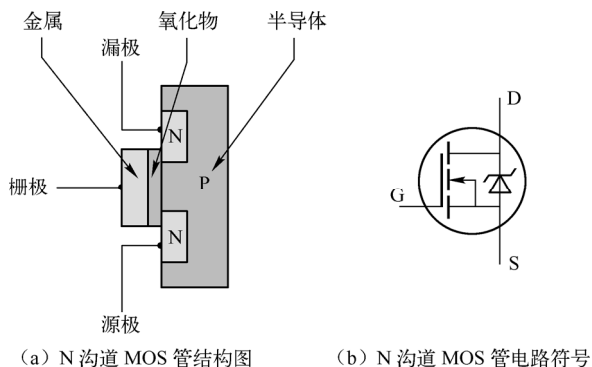


图 7-38 N 沟道 MOS 管 (N-MOSFET)

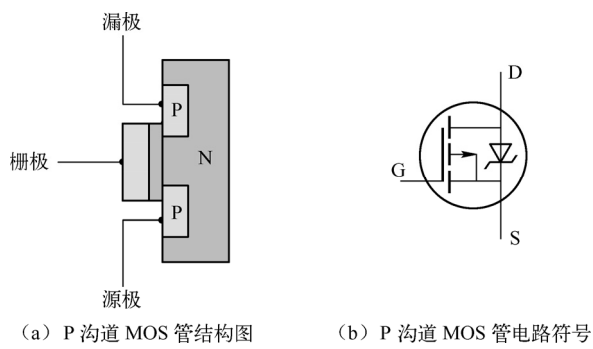


图 7-39 P 沟道 MOS 管 (P-MOSFET)

对于场效应管，可以与 BJT 进行对应理解。场效应管的栅极 G 与 BJT 三极管的基极 B 对应；场效应管的漏极 D 与 BJT 的集电极 C 对应；场效应管的源极 S 与 BJT 的发射极 E 相对应，如图 7-40 所示^[33]。虽然 MOSFET 与 BJT 的工作原理不同，但两个管子的对应理解，能够对理解 MOSFET 的工作过程有一定的帮助。

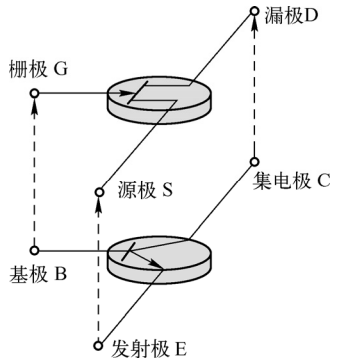


图 7-40 BJT 对应场效应管

场效应管 FET 的放大原理^[32]如图 7-41 所示，FET 的输入信号通过器件输出，FET 吸收此时输入信号的振幅信息，由电源重新产生输出信号。由于该输出信号比输入信号大，所以可以看成将输入信号放大而成为输出信号，这就是 FET 的放大原理。

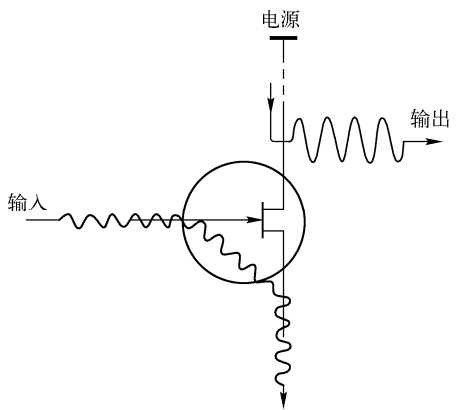


图 7-41 FET 的放大原理

FET 的内部工作原理就是：FET 对加在栅极 G 和源极 S 之间的电压不停地监视，控制漏极 D 和源极 S 之间的电流源，使漏极 D 和源极 S 之间流动的电流与栅极 G 的电压成正比。FET 的内部工作原理^[32]如图 7-42 所示，即 FET 是由加载在栅极上的电压来控制漏极-源极之间电流的器件。为了使 FET 工作，设计外部电路使栅极-源极间加上电压即可。

对于 FET 的理解，也可以用水龙头的工作进行类比，如图 7-43 所示。FET 的漏极 D 可以看成水龙头的进水口；源极 S 可以看成水龙头的出水口；栅极 G 可以看成水龙头的开关。在使用水龙头时，转动开关 G，当向右转动时，水流会慢慢增大，向右转到最大位置时，水流最大，此时开关 G 无法再向右旋转，对应 FET 的饱和区；当向左旋转开关时，水流会逐渐减小，当向左旋转到底时，此时水流为 0，对应 FET 的截止区。因此，当开关 G 在最左侧时，对应 FET 的截止模式，在最右侧时对应 FET 的饱和模式，在中间位置时对应 FET 的“放大模式”。这样就很好理解了，其实 FET 并没有起到放大的作用，一直以来所谓的放大都是被误解了。从上面的讨论中，我们知道，为了让 FET 能够工作，需要在栅极 G 和源极 S 之间加载驱动电压。在水龙头的开关操作中，需要去旋转这个开关，旋转开关时，需要向右旋转，这个向右旋转就相当于告诉水龙头，我要放水了，这个向右的动作就相当于是在栅极和源极之间加上电压，两者都有一个方向上的动作。

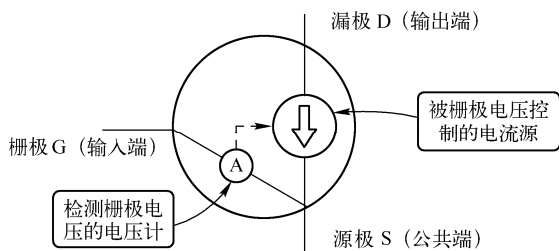


图 7-42 FET 的内部工作原理



图 7-43 类比 FET 的水龙头

在电路设计中主要应用的是增强型的 NMOS 管和增强型的 PMOS 管，这两种增强型 MOS 管中比较常用的是 NMOS，原因是 NMOS 的导通电阻小且容易制造。因此在开关电源和马达驱动的应用中，一般采用 NMOS。在 MOS 管内部，漏极和源极之间会寄生一个二极管。这个叫体二极管，在驱动感性负载（如马达）时，这个二极管很重要，并且只在单个 MOS 管中存在此二极管，在集成电路芯片内部通常是没有的。MOS 管的三个引脚之间有寄生电容存在，这不是我们需要的，而是由于制造工艺限制产生的。寄生电容的存在使得在设计或选择驱动电路时要麻烦一些，但没有办法避免。

MOS 管的导通特性在电路设计中经常用到，导通的意思是作为开关，相当于开关闭合。

NMOS 的特性： V_{gs} 大于一定的值就会导通，适合用于源极接地时的情况（低端驱动），只要栅极电压达到一定电压（如 4V 或 10V，其驱动电压需要查阅 Datasheet）就可以了。

PMOS 的特性： V_{gs} 小于一定的值就会导通，适合用于源极接 VCC 时的情况（高端驱动）。虽然 PMOS 可以很方便地用于高端驱动，但由于其导通电阻大、价格贵、替换种类少等原因，在高端驱动中通常还是使用 NMOS。在高端驱动中使用 NMOS 时，一般源极会接一定电压值的电源或负载，此时需要栅极驱动电压高于源极一定的数值。

从 MOS 管的结构中可以看到，在 GS 和 GD 之间存在寄生电容，而 MOS 管的驱动实际上就是对电容的充放电。对电容的充电需要一个电流，因为对电容充电瞬间可以把电容看成短路，所以瞬间电流会比较大。设计 MOS 管驱动时第一要注意的是可提供的瞬间短路电流的值。普遍用于高端驱动的 NMOS，导通时需要栅极电压大于源极电压。而高端驱动 MOS 管

导通时源极电压与漏极电压（VCC）相同，因此这时栅极电压要比 VCC 大（4V 或 10V，门限电压可以查阅 Datasheet）。如果在同一个系统里，要得到比 VCC 大的电压，就要专门的升压电路了。很多马达驱动器都集成了电荷泵，要注意的是应该选择合适的外接电容，以得到足够的短路电流去驱动 MOS 管。

如何进行 MOSFET 的选型呢？对于 MOSFET 的特性，在 Datasheet 中都有详细的定义，如表 7-8 所示是 k0389dpa MOSFET 的部分参数。为对 MOSFET 进行精确的选型，需要对 MOSFET 的参数精确把握，只有明白了 MOSFET 各个参数的含义才能够根据设计的需要选定合适的 MOSFET。

表 7-8 k0389dpa MOSFET 的部分参数

Item	Symbol	Ratings		Unit
		MOS1	MOS2	
Drain to source voltage	V_{DSS}	30	30	V
Gate to source voltage	V_{GSS}	± 20	± 20	V
Drain current	I_D	15	20	A
Drain peak current	$I_{D(pulse)}^{Note1}$	60	80	A
Reverse drain current	I_{DR}	15	20	A
Avalanche current	I_{AP}^{Note2}	8	11	A
Avalanche energy	E_{AR}^{Note2}	6.4	12.1	mJ
Channel dissipation	P_{ch}^{Note3}	10	10	W
Channel temperature	T_{ch}	150	150	°C
Storage temperature	T_{stg}	-55~+150	-55~+150	°C

MOSFET 的参数含义如下。

V_{ds} : DS 的击穿电压。当 $V_{gs}=0V$ 时，MOS 的 DS 所能承受的最大电压。

$R_{ds(on)}$: DS 的导通电阻。当 $V_{gs}=10V$ 时，MOS 的 DS 之间的电阻。

I_d : 最大 DS 电流，会随温度的升高而降低。

V_{gs} : 最大 GS 电压，一般为-20~+20V。

I_{dm} : 最大脉冲 DS 电流，会随温度的升高而降低，体现出抗冲击能力，与脉冲时间也有关系。

P_d : 最大耗散功率。

T_j : 最大工作结温，通常为 150° 和 175° 。

T_{stg} : 最大存储温度。

I_{ar} : 雪崩电流。

E_{ar} : 重复雪崩击穿能量。

E_{as} : 单次脉冲雪崩击穿能量。

BV_{dss} : DS 击穿电压。

I_{dss} : 饱和 DS 电流， μA 级的电流。

I_{gss} : GS 驱动电流，nA 级的电流。

g_{fs} : 跨导。

Q_g : G 总充电电量。

Q_{gs} : GS 充电电量。

Q_{gd} : GD 充电电量。

$T_{d(on)}$: 导通延迟时间, 从输入电压上升到 10% 开始到 V_{ds} 下降到其幅值 90% 的时间。

T_r : 上升时间, 输出电压 V_{DS} 从 90% 下降到其幅值 10% 的时间。

$T_{d(off)}$: 关断延迟时间, 从输入电压下降到 90% 开始到 V_{DS} 上升到其关断电压 10% 时的时间。

T_f : 下降时间, 输出电压 V_{DS} 从 10% 上升到其幅值 90% 的时间。

C_{iss} : 输入电容, $C_{iss}=C_{gd}+C_{gs}$ 。

C_{oss} : 输出电容, $C_{oss}=C_{ds}+C_{gd}$ 。

C_{rss} : 反向传输电容, $C_{rss}=C_{gc}$ 。

在电路设计中, 一般 BJT 会配合 MOSFET 来实现 MOSFET 漏极和源极之间的导通和闭合。BJT 管子常用的有 NPN 型和 PNP 型, MOSFET 常用的类型是增强型的 NMOS 和增强型的 PMOS, 因此在 BJT 和 MOSFET 配合使用时, 会有如下 4 种组合方式: NPN 型 BJT+增强型 PMOS、PNP 型 BJT+增强型 PMOS、NPN 型 BJT+增强型 NMOS 和 PNP 型 BJT+增强型 NMOS。

1. NPN 型 BJT+增强型 PMOS

NPN 型 BJT+增强型 PMOS 适用于控制信号是高电平时。MOS 管导通的控制电路如图 7-44 所示。PMOS 的源极 S 接 Input 信号端, 漏极 D 接电路后面的负载。一般在电源控制电路中, Input 为某一电平的电源 (如 5V、12V), Output 是另一个需要时序控制的电源, 当作为电源时序控制时, Input 和 Output 都是负载的供电电源, 电平值是相同的, 只是 Output 是否有电源的供应是受 Enable 信号控制的。在很多电子系统有上电时序控制的电路中, 此电路得到了广泛的应用。

该电路的工作流程是: 当 Enable 控制信号为低电平时, 此时 Q1 的基极 B 和发射极 E 之间的二极管处于关断状态, 基极 B 和发射极 E 之间没有电流的流动, 根据之前对 BJT 电路的理解知道, 此时 Q1 NPN 型三极管的集电极 C 和发射极 E 处于断开的状态。因为 Q1 的集电极 C (同时也是 PMOS 的栅极 G) 通过 100kΩ 的电阻 R_1 上拉到 Input 高电平信号或电源, 此时集电极 C (栅极 G) 是高电平, $V_{gs} \leq 0$, 根据 PMOS 导通的特性, 此时 PMOS 处于关断状态, Output 端没有信号输出。当 Enable 控制信号为高电平时, 三极管 Q1 的基极 B 和发射极 E 之间的二极管导通, 基极 B 和发射极 E 之间有电流的流动, 此时 Q1 的集电极 C 和发射极 E 处于导通状态, 从而将集电极 C 的电平拉低, 集电极 C (也是栅极 G) 的电位是 0V, $V_{gs} < 0$, 根据 PMOS 导通的要求, 此时 PMOS 导通, Output 与 Input 连通。当 U1 PMOS 导通后, 因为是 PMOS 的原因, 所以电源的传递方向是从源极 S 到漏极 D (如果是 NMOS, 电流的方向是从漏极 D 流向源极 S), 当 MOS 管工作时, 不管是 PMOS 还是 NMOS, 电流流动的方向都必须与体二极管的方向相反。对于 PMOS 来说, 如果电流流动的方向是从漏极 D → 源极 S, 则电流会直接从体二极管的正极流向体二极管的负极, PMOSFET 中的体二极管处于导通状态, PMOS 作为开关就失去作用了。因此 PMOSFET 在作为开关管使用来控制电源时, 源电源必须接在 PMOSFET 的源极 S 端, 后续接通的电源必须接在 PMOSFET 的漏极 D 端。因为对于 PMOS 管的驱动, 当 $V_{gs} < 0$ 时, PMOS 导通, 所以需要控制栅极的驱动电平就可以了。

电路中的 R_1 是必不可少的, 如果没有 R_1 , 则 PMOS 的栅极状态不确定, 可能为低电平, PMOS 会导通; R_4 是用来保证 Q1 在默认状态下是不导通的, 当 Enable 有确定状态时, R_4 可

以去掉，若为高阻态，则 R_4 必须要有； R_3 用来限制基极的电流（基极电流一般都很小）； C_1 和 R_2 构成延时电路，减缓驱动 MOS 栅极时的瞬态电流，有效地保护 MOS 管。

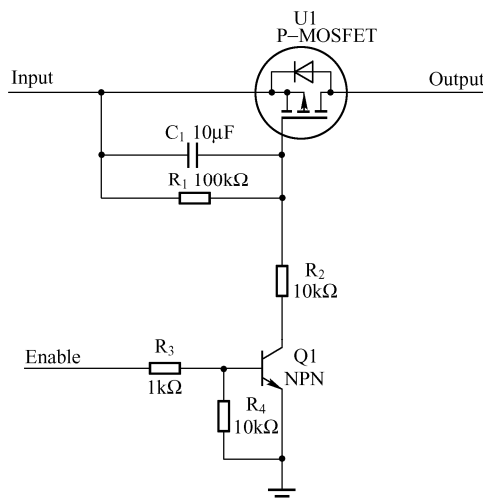


图 7-44 NPN 型 BJT+增强型 PMOS 控制电路

2. PNP 型 BJT+增强型 PMOS

PNP 型 BJT+增强型 PMOS 适用于控制信号为低电平时。PMOS 开关导通的控制电路如图 7-45 所示。

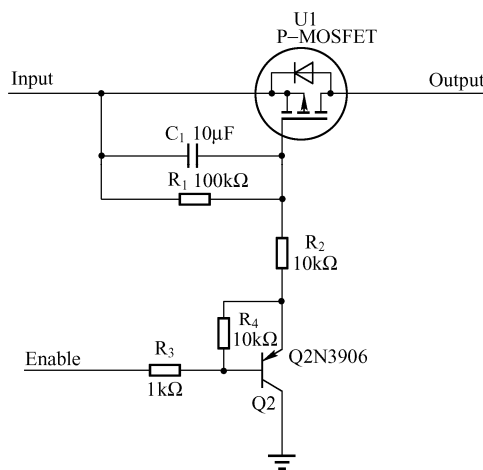


图 7-45 PNP 型 BJT+增强型 PMOS 控制电路

该电路的工作流程如下：当 Enable 信号为高电平时，Q2 的发射极 E 和基极 B 之间的二极管没有导通，发射极 E 和基极 B 之间没有电流的流动，三极管 Q2 的发射极 E 和集电极 C 处于断开状态，此时发射极 E 通过 R_2 和 R_1 上拉到 Input（高电平状态），PMOS 处于关断状态；当 Enable 控制信号为低电平时，Q2 的发射极 E 和基极 B 之间的二极管导通，发射极 E 和基极 B 之间有电流流过，三极管 Q2 的发射极 E 和集电极 C 之间导通，将发射极 E 的电平拉低，从而使得 PMOS 的栅极电位是 0V，此时符合 $V_{gs} < 0$ 的 PMOS 导通条件，PMOS 导通，电流从 Input 端流向 Output 端。

PNP 型 BJT+增强型 PMOS 的其他部件和注意事项与 NPN 型 BJT+增强型 PMOS 类似。

3. NPN 型 BJT+增强型 NMOS

当采用 NPN 型 BJT+增强型 NMOS 时，如图 7-46 所示，一般会想到因为要将栅极的电压与源极进行比较，所以要将源极接 Input 端，栅极接 Input+ V_{gs} 端，利用这种方式去驱动。此时会发现 $V_{gs} > 0$ ，满足驱动 NMOSFET 管导通的条件，但是 NMOS 的电流方向是从源极 S 流向漏极 D 的。即使是不控制 NMOS 的栅极，此电路中 NMOS 的源极和漏极也是导通的，根据 NMOS 的特性，在源极 S 和漏极 D 之间有一个体二极管，体二极管的正极接源极 S，负极接漏极 D，在源极 S 加电压的情况下，NMOS 已处于导通状态，再去控制 NMOS 的栅极已没有意义。

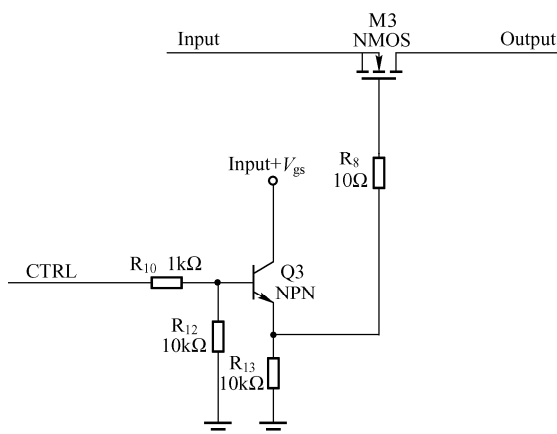


图 7-46 NPN 型 BJT+增强型 NMOS 控制电路

因此对电路进行更改，改变输入/输出的方向，如图 7-47 所示，此时 NMOS 的漏极 D 作为信号的输入，源极 S 作为信号的输出，但此时有个问题，就是源极的电平不定，不知道 Output 的电平值，从而不好确定栅极的驱动电压。MOSFET 的驱动是要在门极（栅极）和源极间有足够的电压，在一般的电路中，MOSFET 的源极接在系统的地上，则驱动电压只要是相对于系统地的电压就可以用来驱动 MOSFET。但是在这种情况下，MOSFET 的源极并没和系统地接在一起，这就意味着源极的电压可能是变化的。但是要驱动 MOSFET，其栅极和源极间电压要求是一定的，因此这时 MOSFET 的驱动电压就需要是一个和源极一起变化的电压。这个驱动电压就需要采用 MOSFET 的自举驱动电压或通过集成电路来进行控制，如 IR210X 系列的驱动芯片等。

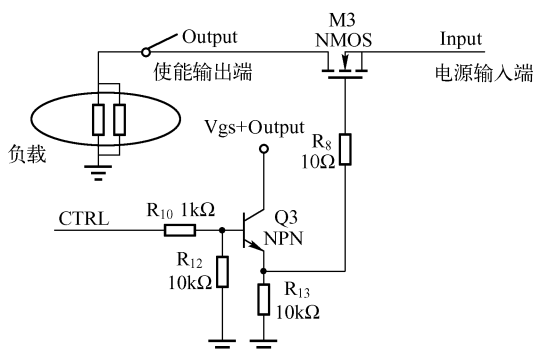


图 7-47 更改后的 NPN 型 BJT+增强型 NMOS 控制电路

有一种例外的情况，需要采用更改后的 NPN 型 BJT+增强型 NMOS 控制电路来进行控制：当栅极驱动电压可以确定比源极输出的电压高时，就不需要复杂的栅极驱动电路了。例如，某电路中， $V_{gs} + \text{Output} = 12\text{V}$ ， $\text{Input} = 3.3\text{V}$ 。该电路的工作流程如下：在上电的一瞬间， Input 漏极的电压是 3.3V ，此时因为后接负载（负载由许多由 3.3V 供电的 IC 组成）的原因，在上电最早一瞬间，可以理解为 NMOS 的源极 S 通过一个非常大的电阻接 GND 了，那么此时的源极电位是 0V ，CTRL 加载高电平控制信号， $\text{Input} + V_{gs} = 12\text{V}$ ，根据 NMOS 的导通条件知当 $V_{gs} > 0$ 时，会导通，此时 $V_{gs} = 12\text{V} > 0$ ，则 NMOS 管会导通，导通后，NMOS 管的源极电位会发生变化，由刚上电瞬间的 0V 变为 3.3V ，此时因为 $V_{gs} = 12\text{V} - 3.3\text{V} = 8.7\text{V} > 0\text{V}$ ，完全满足 NMOS 导通的条件，所以导通后电流的工作方向是从漏极 D 流向源极 S 的，符合 NMOS 作为开关管使用时的条件，此时电流从体二极管的负极流向体二极管的正极。

4. PNP 型 BJT+增强型 NMOS

采用 PNP 型 BJT+增强型 NMOS 时，电路如图 7-48 所示，此时也会出现与 NPN 型 BJT+增强型 NMOS 同样的情况，即 NMOS 的体二极管处于导通状态，NMOS 起不到开关的作用，此时需要对应的将电路更改，更改后的电路如图 7-49 所示。PNP 型 BJT+增强型 NMOS 的驱动与 NPN 型 BJT+增强型 NMOS 类似，可以参考 NPN 型 BJT+增强型 NMOS 的栅极驱动方式。

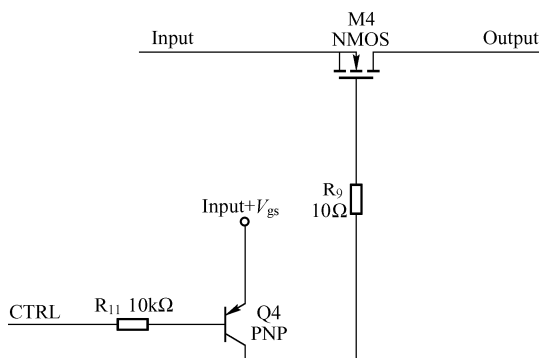


图 7-48 PNP 型 BJT+增强型 NMOS 控制电路

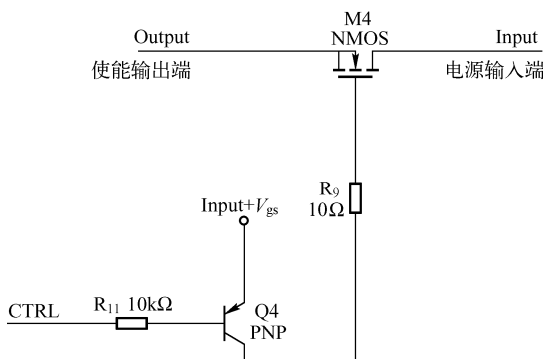


图 7-49 更改后的 PNP 型 BJT+增强型 NMOS 控制电路

对于 MOS 电路在电源中的应用，很多时候也会采用 NMOS+PMOS 的形式，如图 7-50 所示。当 Enable 控制端输出高电平时，Q27 的栅极-源极间的电压 $V_{gs} = 3.3\text{V} > 0\text{V}$ ，满足 NMOS 管导通的工作条件，此时 NMOS 的漏极 D 与源极 S 导通，电流从漏极 D 流向源极 S，Q26 的栅极电

位被拉低，其栅极和源极电压 $V_{gs}=-5V<0$ ，符合 PMOS 导通的条件，此时 Q26 的源极 S 和漏极 D 导通，电流从+5V 流向 VCC5B，从而控制 VCC5B 获得 5V 电压；当 Enable 控制端输出低电平时，Q27 的栅极-源极间的电压 $V_{gs}=0V$ ，不符合 NMOS 管导通的条件，此时 Q27 漏极为高电平，从而使得 Q26 的栅极也为高电平，Q26 处于关断状态，VCC5B 没有电源的供给。

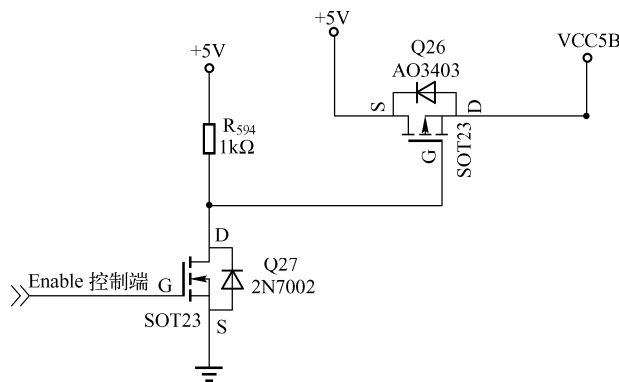


图 7-50 增强型 NMOS+增强型 PMOS 控制电路

- 对于 NMOS 和 PMOS 的驱动总结如下。
- ① NMOS 高端驱动：MOS 管可以用来控制电源的上电时序，使一端从另一端获得电流，当电路中的电流很大时，如 10A，因为同性能的 NMOS 的导通电阻小于 PMOS，所以此时电源的驱动电路一般都是采用 NMOS 来驱动的，应用 NMOS 时，需要工作在体二极管反向的条件下，此时 NMOS 的漏极 D 接外电源，源极 S 接电路负载，需要确定导通后栅极的驱动电压高于负载的供电电压，维持 $V_{gs}>$ NMOS 驱动的门限电压。
 - ② NMOS 低端驱动：NMOS 用于低端驱动时，NMOS 的源极接地，此时只要在栅极加载一定的驱动电压，就可以驱动 NMOS 的漏极和源极导通了。
 - ③ PMOS 高端驱动：PMOS 用于高端驱动时，源极接外接电源，漏极接后续负载，控制栅极的电位，当栅极电位为低电平 0V 时，PMOS 导通。PMOS 具有较大的导通电阻，价格比 NMOS 贵。
- MOS 管具有正的温度系数，即当温度升高时，导通阻抗会逐渐变大，如图 7-51 所示；而 BJT 管子具有负的温度系数，即当温度升高时，导通电阻会变小。MOS 管的这一特性适合并联电路中的均流，因此当电路中的电流很大时，一般会采用并联 MOS 的方法来进行分流。

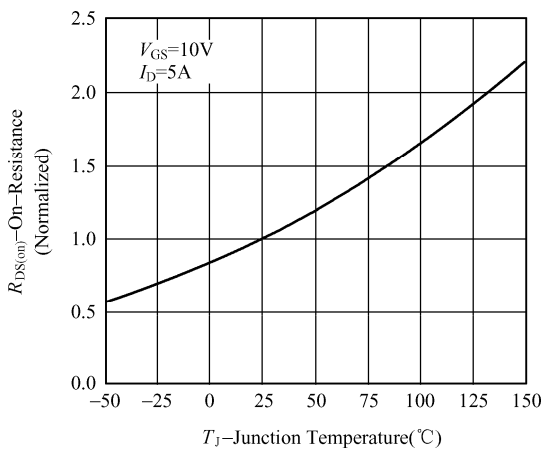


图 7-51 MOS 导通电阻随温度的变化曲线

采用 MOS 进行电流的均流，当其中一路电流大于另一路 MOS 中的电流时，电流大的 MOS 产生的热量就会多，从而引起导通阻抗的增大，减小流过的电流。MOS 管之间根据电流大小的不同来反复调节，最后可实现两个 MOS 管之间电流的均衡。如图 7-52 所示是采用 2 个 MOS 管并联实现的电流均衡。采用 2 个 MOS 管并联时，在电路上的布局要完全一致，2 个 MOS 管打的散热过孔数量一致、布局位置一致且 2 个 MOS 管采用同一个散热片，总之，原则就是尽量让 2 个 MOS 管的工作环境一致。

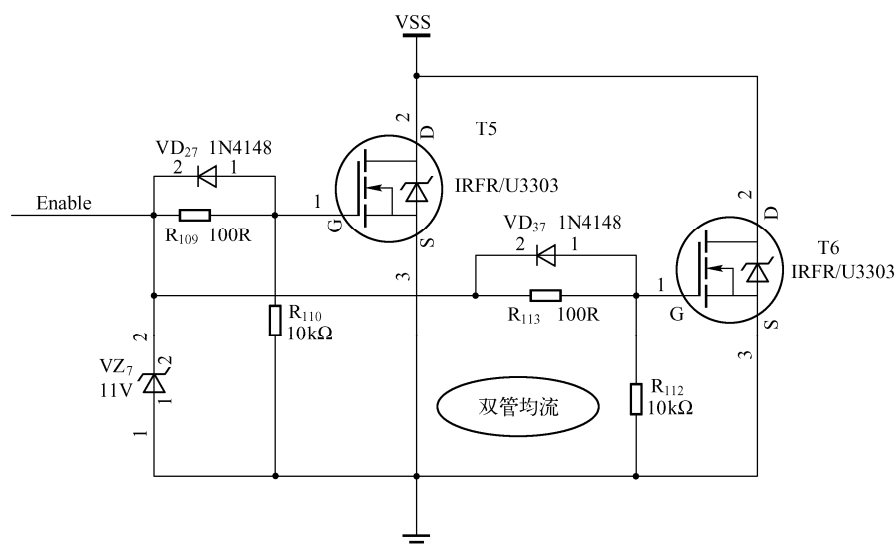


图 7-52 并联 MOS 管实现的电流均衡

7.2.7 LDO 应用分析

LDO (Low Dropout Regulator) 意为低压差线性稳压器，是新一代的集成电路稳压器，相对于传统的线性稳压器来说，它通常具有极低的自有噪声和较高的电源抑制比 PSRR (Power Supply Rejection Ratio)。LDO 是一个功耗很低的微型片上系统 (SoC)，它可用于电流主通道控制，芯片上集成了具有极低线上导通电阻的 MOSFET、肖特基二极管、取样电阻和分压电阻等硬件电路，并具有负载短路保护、过压关断、过热关断、反接保护、过流保护、过温保护、精密基准源、差分放大器和延迟器等功能。PG 是新一代 LDO，具有输出状态自检和延迟安全供电功能，也可称为 Power Good，即“电源好或电源稳定”。

LDO 的结构框图如图 7-53 所示，主要包括启动电路、恒流源偏置单元、使能电路、调整元件、基准源、误差放大器、反馈电阻网络和保护电路等。其基本工作原理是：系统加电，如果使能引脚处于高电平状态，则电路开始启动，恒流源电路给整个电路提供偏置，基准源电压快速建立，输出随着输入不断上升，当输出即将达到规定值时，由反馈网络得到的输出反馈电压也接近于基准电压值，此时误差放大器对输出反馈电压和基准电压之间的误差小信号进行放大，再经调整管放大到输出，从而形成负反馈，保证了输出电压稳定在规定值上，同理，如果输入电压变化或输出电流变化，这个闭环回路将使输出电压保持不变，即 $V_{out} = (R_1 + R_2) / R_2 \times V_{ref}$ 。

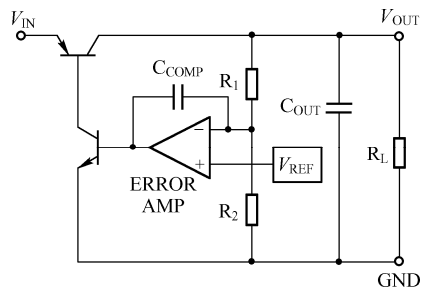


图 7-53 LDO 的结构框图

在进行 LDO 选型时，需要确认的参数有输入电压（Input Voltage）、输出电压（Output Voltage）、最大输出电流（Maximum Output Current）、输入/输出电压差（Dropout Voltage）、LDO 自身的功耗、线性调整率（Line Regulation）、负载调整率（Load Regulation）、接地电流（Ground Pin Current）和工作温度。为便于说明，下面以 AS1117 作为选型过程进行论述。

1. 输入电压（Input Voltage）

输入电压（Input Voltage）是 LDO 可以从外部连接的电源，根据不同的应用和输入电压的不同，需要选择不同输入电压范围的 LDO。

在 AS1117 的 Datasheet 中，推荐的输入电压的输入最大值是 15V，器件自身可以承受的最大电压是 20V，这样在进行输入电压选择时，输入电压的电压值一定要低于 15V。

2. 输出电压（Output Voltage）

输出电压（Output Voltage）是低压差线性稳压器最重要的参数，也是电子设备设计者选用稳压器时首先应考虑的参数。低压差线性稳压器有固定输出电压和可调输出电压两种类型。固定输出电压稳压器使用比较方便，而且由于输出电压是经过厂家精密调整的，所以稳压器的精度很高。另外，其设定的输出电压数值均为常用电压值，不可能满足所有的应用要求，而且外接元件数值的变化将影响稳定精度。

在 AS1117 中，有多个输出电压的型号，如表 7-9 所示^[34]，如 AS1117-3.3，在 5V 输入时，输出电压的范围是 3.25~3.349V。根据输出电压的需要选定相应的型号即可。

表 7-9 ADS1117 系列可以输出的电压值

Output Voltage	AS1117-1.2, $I_{OUT}=10\text{mA}$, $V_{IN}=3.2\text{V}$	1.174	1.2	1.224	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $3.0\text{V} \leq V_{IN} \leq 12\text{V}$	1.140	1.2	1.248	
	AS1117-1.5, $I_{OUT}=10\text{mA}$, $V_{IN}=3.5\text{V}$	1.485	1.5	1.515	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $3.0\text{V} \leq V_{IN} \leq 12\text{V}$	1.470	1.5	1.530	
	AS1117-1.8, $I_{OUT}=10\text{mA}$, $V_{IN}=3.8\text{V}$	1.773	1.8	1.827	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $3.2\text{V} \leq V_{IN} \leq 12\text{V}$	1.764	1.8	1.836	
	AS1117-2.5, $I_{OUT}=10\text{mA}$, $V_{IN}=4.5\text{V}$	2.462	2.5	2.538	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $3.9\text{V} \leq V_{IN} \leq 12\text{V}$	2.450	2.5	2.550	
	AS1117-3.3, $I_{OUT}=10\text{mA}$, $V_{IN}=5.0\text{V}$	3.250	3.3	3.349	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $4.75\text{V} \leq V_{IN} \leq 12\text{V}$	3.234	3.3	3.366	
	AS1117-5.0, $I_{OUT}=10\text{mA}$, $V_{IN}=7.0\text{V}$	4.925	5.0	5.075	V
	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $6.5\text{V} \leq V_{IN} \leq 12\text{V}$	4.900	5.0	5.100	

3. 最大输出电流（Maximum Output Current）

最大输出电流（Maximum Output Current）：用电设备的功率不同，要求稳压器输出的最大电流也不相同。通常，输出电流越大的稳压器成本越高。为了降低成本，在多个稳压器组成的供电系统中，应根据各部分所需的电流值选择适当的稳压器。

LDO 最大输出电流的说明在 Electrical Characteristics 中的 Current Limit 部分。在 AS1117 中，电流的输出范围是 1~1.4A。

4. 输入/输出电压差（Dropout Voltage）

输入/输出电压差（Dropout Voltage）是低压差线性稳压器最重要的参数。在保证输出电压稳定的条件下，该电压压差越低，线性稳压器的性能就越好。例如，5.0V 的低压差线性稳压器，只要输入 5.5V 电压，就能使输出电压稳定在 5.0V。

输入/输出电压差（Dropout Voltage）在 Electrical Characteristics 中的 Dropout Voltage 阐述，根据不同的输出电流，输入/输出压差会有所不同，如表 7-10 所示。

表 7-10 AS1117 不同输出电流时的输入/输出电压差

Conditions	Min	Typ	Max	Unit
$\Delta V_{REF}=1\%, I_{OUT}=0.1A$		1.11	1.2	V
$\Delta V_{REF}=1\%, I_{OUT}=0.5A$		1.18	1.25	V
$\Delta V_{REF}=1\%, I_{OUT}=1.0A$		1.26	1.4	V

5. 线性调整率（Line Regulation）

线性调整率（Line Regulation）是指在某负载电流的条件下，当输入电压变化时，对应输出电压的变化量。线性调整率越小，输入电压对输出电压的影响越小，LDO 的性能越优越。

线性调整率是在 Electrical Characteristics 中的 Line Regulation 进行说明的，AS1117 系列的线性调整率如表 7-11 所示。

表 7-11 AS1117 系列的线性调整率

AS1117-ADJ $I_{OUT}=10mA, 1.5V \leq V_{IN}-V_{OUT} \leq 12V$		0.035	0.2	%
AS1117-1.2 $I_{OUT}=10mA, 3.0V \leq V_{IN}-V_{OUT} \leq 12V$		10	15	mV
AS1117-1.5 $I_{OUT}=10mA, 3.0V \leq V_{IN}-V_{OUT} \leq 12V$		10	15	mV
AS1117-1.8 $I_{OUT}=10mA, 3.2V \leq V_{IN}-V_{OUT} \leq 12V$		10	15	mV
AS1117-2.5 $I_{OUT}=10mA, 3.9V \leq V_{IN}-V_{OUT} \leq 12V$		10	15	mV
AS1117-3.3 $I_{OUT}=10mA, 4.75V \leq V_{IN}-V_{OUT} \leq 12V$		10	15	mV
AS1117-5.0 $I_{OUT}=10mA, 6.5V \leq V_{IN}-V_{OUT} \leq 10V$		10	15	mV

6. 负载调整率（Load Regulation）

负载调整率（Load Regulation）是指在某输入电压的条件下，当负载电流变化时，对应输出电压的变化量。负载电流增大，输出电压将减小，负载电流减小，输出电压将增大。负载调整率越小，负载变化对输出端的影响越小，LDO 的性能越优异。

负载调整率是在 Electrical Characteristics 中的 Load Regulation 进行说明的，AS1117 系列

的负载调整率如表 7-12 所示。

表 7-12 AS1117 系列的负载调整率

AS1117-ADJ $V_{IN}-V_{OUT}=2V, 10mA \leq I_{OUT} \leq 1A$		0.2	0.4	%
AS1117-1.2 $V_{IN}=3V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV
AS1117-1.5 $V_{IN}=3V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV
AS1117-1.8 $V_{IN}=3.2V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV
AS1117-2.5 $V_{IN}=3.9V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV
AS1117-3.3 $V_{IN}=4.75V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV
AS1117-5.0 $V_{IN}=6.5V, 10mA \leq I_{OUT} \leq 1A$		8	20	mV

7. 接地电流（Ground Pin Current）

接地电流（Ground Pin Current）IGND 是指串联调整管输出电流为零时，输入电源提供的稳压器工作电流。该电流有时也称为静态电流，但是采用 PNP 晶体管作为串联调整管元件时，这种习惯叫法是不正确的。通常较理想的低压差稳压器的接地电流很小。

8. 工作温度与功耗

器件工作温度的选择需要根据产品自身工作的环境及 LDO 自身产生的热量来综合考虑。LDO 一般都会有散热焊盘，需要将散热焊盘充分打地孔，并且在散热焊盘部分进行阻焊开窗处理。

AS1117 的输出电压是可调的，其典型的工作电路如图 7-54 所示。因为是输出电压可调的 LDO，所以需要在外部分增加分压电阻，选择分压电阻时应尽量选择高精度的电阻，如±1%精度甚至更高精度的电阻。

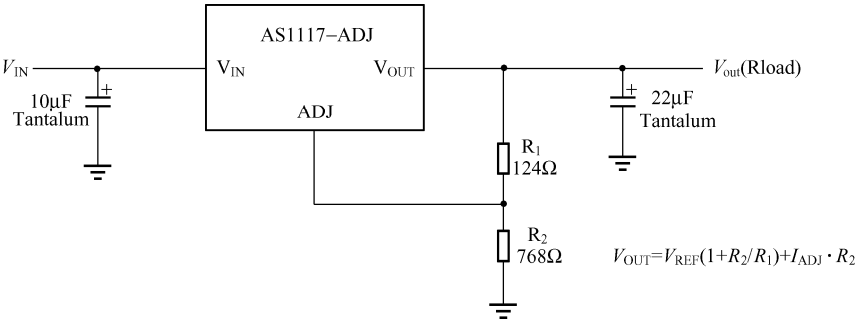


图 7-54 AS1117 输出电压的典型工作电路

7.2.8 DC/DC 应用分析

将一个不受控制的输入直流电压变换成为另一个受控的输出直流电压称为 DC/DC 变换。实现 DC/DC 变换有两种模式，一种是线性调节模式（Linear Regulator），另一种是开关调节模式（Switching Regulator）。线性调节模式（Linear Regulator）即前文讨论的 LDO 部分，而开关调节模式则是通过控制场效应管不断的导通和闭合对输出电压进行调节。

DC/DC 开关调节模式与线性调节模式相比具有以下明显的特点。

(1) 功耗小、效率高。在 DC/DC 变换中, 电力半导体器件工作在开关状态, 工作频率很高, 目前这个工作频率已达到数百甚至 1000kHz, 这使得电力半导体器件的功耗减少、效率大幅度提高。

(2) 体积小、质量轻。由于频率提高, 使得脉冲变压器、滤波电感、电容的体积、质量大大减小, 同时, 由于效率提高, 散热器体积也减小。还由于 DC/DC 变换无笨重的工频变压器, 所以 DC/DC 变换器体积小、质量轻。

(3) 稳压范围宽。目前 DC/DC 变换中基本使用脉宽调制 (PWM) 技术, 通过调节脉宽来调节输出电压, 对输入电压变化也可调节脉宽来进行补偿, 因此稳压范围宽。

DC/DC 变换按调制方式划分, 可以分为脉宽调制 (Pulse Width Modulation, PWM) 和频率调制 (Pulse Frequent Modulation, PFM) 两种方式, 脉宽调制时场效应管的工作频率保持不变, 通过调整脉冲宽度达到调整输出电压的目的。频率调制时保持开通时间不变, 通过调节场效应管的工作频率达到调整输出电压的目的。频率调制在 DC/DC 变换器设计中易产生谐波干扰, 且滤波器设计困难。脉宽调制 (PWM) 与频率调制 (PFM) 相比具有明显的优点, 目前在 DC/DC 变换中占据主导地位。还有混合式, 即在某种条件下使用脉宽调制 (PWM), 在另一条件下使用频率调制 (PFM)。

按输入与输出之间是否有电气隔离划分, DC/DC 变换器可分为隔离型和不隔离型。隔离型 DC/DC 变换器按半导体器件的个数可分为单管 DC/DC 变换器[单端正激 (Forward)、单端反激 (Flyback)]、双管 DC/DC 变换器[双管正激 (Double Transistor Forward Converter)、双管反激 (Double Transistor Flyback Converter)、推挽电路 (Push-pull Converter) 和半桥电路 (Half-bridge Converter) 等]、四管 DC/DC 变换器[即全桥 DC/DC 变换器 (Full-bridge Converter)]。不隔离型 DC/DC 变换器主要有降压式 (Buck) 变换器、升压式 (Boost) 变换器、升降压式 (Buck-Boost) 变换器、Cuk 变换器、Zeta 变换器和 Sepic 变换器等。

本节以 PWM 调制的降压式 (Buck) 变换器和升压式 (Boost) 变换器为主要阐述的内容。

DC/DC 变换器的要求及主要技术指标如下。

① 输入参数: 输入电压及输入电压变化范围; 输入电流及输入电流变化范围。

② 输出参数: 输出电压及输出电压变化范围; 输出电流及输出电流变化范围; 输出电压稳压精度。

输出电压稳压精度包括以下三个内容。

① 负载调整率, 即负载效应, 指当负载在 0~100% 额定电流范围内变化时, 输出电压的变化量与输出电压额定值的比值。

② 源效率是指当输入电压在规定范围内变化时, 输出电压的变化量与输出电压额定值的比值。

③ 输出电压纹波的有效值和峰-峰值。

1. 降压式 Buck 电路分析

Buck 电路又称为串联开关稳压电路或降压斩波电路。Buck 降压电路的原理图^[11]如图 7-55 中的 (a) 所示 (为提高开关速度一般采用 FET)。Buck 电路有两种基本工作模式, 即电感电流连续模式 CCM (Continuous Current Mode) 和电感电流断续模式 DCM (Discontinuous Current Mode)。电感电流连续是指输出滤波电感电流总是大于零, 电感电流断续是指在开关管关断期间有一段时间电感电流为零, 这两种状态之间有一个临界状态, 即在开关管关断末期

电感电流刚好为零。当电感电流连续时，Buck 变换器存在两种开关状态；当电感电流断续时，Buck 变换器存在三种开关状态，如图 7-55 中的 (b)、(c)、(d) 所示。

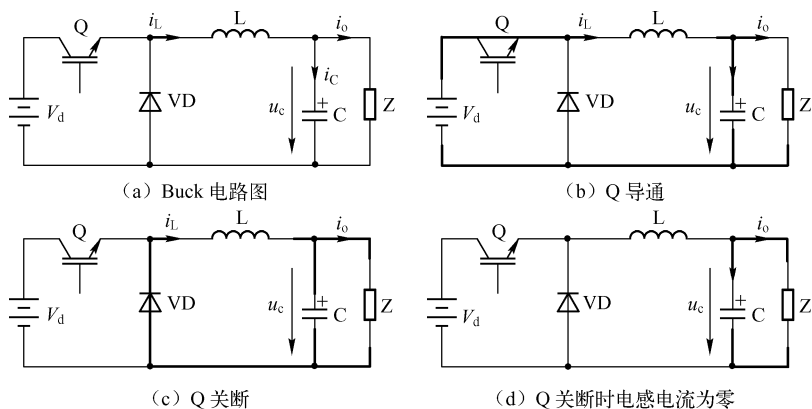


图 7-55 Buck 电路原理图及不同开关状态下的等效电路图

将如图 7-56 所示的电感电流连续时各工作状态的方波信号加到功率半导体器件的控制极，功率半导体器件在控制信号激励下周期性地开关。电感电流连续模式 CCM (Continuous Current Mode) 分析如下，其中工作状态切换时的各个波形如图 7-56 所示。

开关状态 1: Q 导通， $0 \leq t \leq t_{on}$ 。

$t=0$ 时刻，Q 管被激励导通，二极管 VD 中的电流迅速转换到 Q 管。二极管 VD 被截止，等效电路如图 7-55 (b) 所示，这时电感上的电压为

$$u_L = L \frac{di_L}{dt}$$

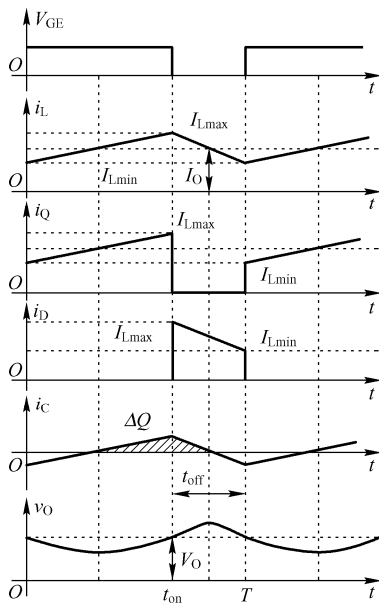


图 7-56 电感电流连续时的各工作状态

若 V_O 在这期间保持不变，则有

$$V_d - V_O = L \frac{di_L}{dt}$$

显然 $dt = t_{on}$ ，则有

$$\frac{V_d - V_O}{L} dt = di_L \Rightarrow \frac{V_d - V_O}{L} t_{on} = \Delta i_L \Rightarrow \Delta i_L = \frac{V_d - V_O}{L} t_{on}$$

即导通过程的电流变化：

$$(\Delta i_L)_{opened} = \frac{V_d - V_O}{L} t_{on}$$

开关状态 2：Q 关断， $t_{on} \leq t \leq T$ 。

$t=t_{on}$ 时刻，Q 关断，储能电感中的电流不能突变，于是电感 L 两端产生了与原来电压极性相反的自感电动势，该电动势使二极管 VD 正向偏置，二极管 VD 导通，储能电感中储存的能量通过二极管 VD 向负载供电，二极管 VD 续流，这就是二极管 VD 被称为续流二极管的原因。等效电路如图 7-55 (c) 所示，这时电感上的电压为

$$V_O = -L \frac{di_L}{dt}$$

显然 $dt = t_{off}$ ，则有

$$\frac{di_L}{dt} = -\frac{V_O}{L} \Rightarrow \Delta i_L = -\frac{V_O}{L} t_{off}$$

即关断过程的电流变化：

$$(\Delta i_L)_{closed} = \frac{V_O}{L} t_{off}$$

显然，只有 Q 管导通期间 (t_{on} 内) 电感 L 增加的电流等于 Q 管截止期间 (t_{off} 时间内) 减少的电流，这样电路才能达到平衡，才能保证储能电感 L 中一直有能量，才能不断地向负载提供能量和功率。

$$\frac{V_d - V_O}{L} t_{on} = \frac{V_O}{L} t_{off}$$

考虑到 $t_{on} = \delta T$ 和 $t_{off} = (1 - \delta) T$ ，可得：

$$V_O = \delta V_d$$

因此，Buck 电路的输出电压平均值与占空比 δ 成正比， δ 从 0 变到 1，输出电压从 0 变到 V_d ，且输出电压最大值不超过输入电压。

由于滤波电容上的电压等于输出电压，所以电容两端的电压变化量实际上就是输出电压的纹波电压 ΔV_O ， ΔV_O 的波形如图 7-56 中电感电流连续时的各工作状态所示。

因为 $i_C = i_L - i_O$ ，所以当 $i_L > I_O$ 时，C 充电，输出电压 V_O 升高；当 $i_L < I_O$ 时，C 放电，输出电压 V_O 下降，假设负载电流 i_O 的脉动量很小而可以忽略，则 $\Delta i_C = \Delta i_L$ ，即电感的峰-峰脉动电流 ΔI_L 即为电容 C 充放电电流。

$$Q = CV_O \Rightarrow \Delta Q = C \Delta V_O \Rightarrow \Delta V_O = \frac{\Delta Q}{C}$$

电容充电电荷量即电流曲线与横轴所围的面积：

$$\Delta Q = S = \frac{\frac{\Delta I_L}{2} \cdot \frac{T}{2}}{2} = \frac{\Delta I_L \cdot T}{8} \quad \Delta V_O = \Delta U_C = \frac{Q}{C} = \frac{\Delta I_L \cdot T}{8C} = \frac{\Delta I_L}{8Cf}$$

$$\Delta U_C = \frac{(V_d - V_o)}{8LCf^2} \delta = \frac{V_o(1-\delta)}{8LCf^2}$$

由上式可知，降低纹波电压，除与输入/输出电压有关外，增大储能电感 L 和滤波电容 C 可以起到显著效果，提高电力半导体器件的工作频率也能收到同样的效果。在已知 ΔU_C 、 V_d 、 V_o 和 f 的情况下，根据上述公式可以确定 C 和 L 的值。

设负载阻抗 $Z = R_L$ ，则电感平均电流为 $I_L = \frac{V_o}{R_L}$ 。

电感电流的最大值：

$$I_{L\max} = I_L + \frac{\Delta I_L}{2} = \frac{V_o}{R_L} + \frac{V_o(1-\delta)}{2Lf} = V_o \left(\frac{1}{R_L} + \frac{1-\delta}{2Lf} \right)$$

电感电流的最小值：

$$I_{L\min} = I_L - \frac{\Delta I_L}{2} = \frac{V_o}{R_L} - \frac{V_o(1-\delta)}{2Lf} = V_o \left(\frac{1}{R_L} - \frac{1-\delta}{2Lf} \right)$$

电感电流不能突变，只能近似地线性上升和下降，电感量越大，电流的变化越平滑；电感量越小，电流的变化越陡峭。当电感量小到一定值时，在 $t=T$ 时刻，电感 L 中储藏的能量刚刚释放完毕，这时 $I_{L\min} = 0$ ，此时的电感量被称为临界电感，当储能电感 L 的电感量小于临界电感时，电感中的电流就发生断续现象。

$$\frac{1}{R_L} = (1-\delta) \frac{1}{2Lf} \quad L_C = L = (1-\delta) \frac{R_L}{2f}$$

L_C 即为临界电感值，式中的 R_L 为负载电阻。

电感电流断续工作方式 DCM（Discontinuous Current Mode）的分析：电感电流断续时的工作波形如图 7-57 所示。

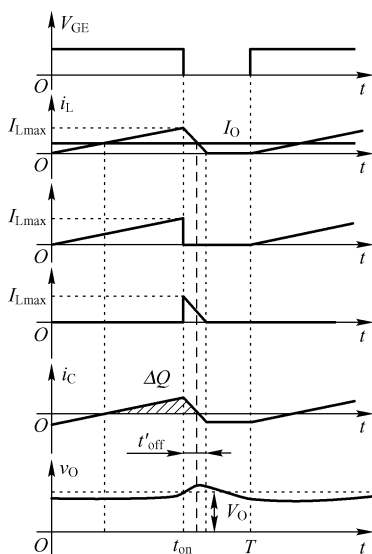


图 7-57 电感电流断续时的工作波形

如图 7-57 所示的电感电流断续时的工作波形有三种工作状态：①Q 导通，电感电流 i_L 从

零增长到 $I_{L\max}$ ；②Q 关断，二极管 VD 续流， i_L 从 $I_{L\max}$ 降到零；③Q 和 VD 均截止，在此期间 i_L 保持为零，负载电流由输出滤波电容供电。这三种工作状态对应三种不同的电路结构，如图 7-55 中的 (b)、(c)、(d) 所示。

Q 导通期间，电感电流从零开始增长，其增长量为

$$(\Delta i_L)_{\text{opened}} = \frac{V_d - V_O}{L} t_{\text{on}}$$

Q 截止后，电感电流从最大值线性下降，在 $t = t_{\text{on}} + t'_{\text{off}}$ 时刻下降到零，其减小量为

$$(\Delta i_L)_{\text{closed}} = \frac{V_O}{L} (t_{\text{on}} + t'_{\text{off}})$$

电感电流增长量和电感电流减小量在稳态时应相等：

$$\frac{V_d - V_O}{L} t_{\text{on}} = \frac{V_O}{L} (t_{\text{on}} + t'_{\text{off}}) \quad \frac{V_O}{V_d} = \frac{t_{\text{on}}}{t_{\text{on}} + t'_{\text{off}}} = \frac{t_{\text{on}}/T}{t_{\text{on}}/T + t'_{\text{off}}/T} = \frac{\delta}{\delta + \delta'}$$

电感电流连续时， $\delta + \delta' = 1$ ；电感电流断续时， $\delta + \delta' < 1$ 。

变换器输出电流等于电感电流的平均值：

$$I_L = \frac{1}{T} Q = \frac{1}{T} \times \frac{1}{2} \Delta i_L (t_{\text{on}} + t'_{\text{off}}) = \frac{\delta^2}{2fL} \left(\frac{V_d}{V_O} - 1 \right) V_d$$

上式表明，电感电流断续时， $\frac{V_O}{V_d}$ 不仅与占空比有关，而且与负载电流有关。

Buck 变换器的设计步骤如下。

① 选择续流二极管 VD。续流二极管选用快恢复二极管，其额定工作电流和反向耐压必须满足电路要求，并留一定的余量。

② 选择开关管的工作频率。最好工作频率大于 20kHz，以避开音频噪声。工作频率的提高可以减小 L、C，但开关损耗增大，因此效率减小。

③ 开关管可选方案：MOSFET、IGBT 和 GTR。

④ 占空比选择。为保证当输入电压发生波动时，输出电压能够稳定，则占空比一般选 0.7 左右。

⑤ 确定临界电感。 $L_c = (1 - \delta) \frac{R_L}{2f}$ ，电感选取一般为临界电感的 10 倍。

⑥ 确定电容。电容耐压必须超过额定电压；电容必须能够传送所需的瞬态电流值。电流有效值计算：电流波形为三角形，三角形高为 $\Delta i_L / 2$ ，底宽为 $T/2$ ，因此电容的电流有效值为

$$I = \Delta i_L / 2\sqrt{3}$$

⑦ 根据纹波要求，确定电容容量。

⑧ 确定连接导线。确定导线必须计算电流有效值 (RMS)，电感的电流有效值由下式给出：

$$I_{L\text{RMS}} = \sqrt{I_L^2 + \left[\frac{\Delta i_L / 2}{\sqrt{3}} \right]^2}$$

⑨ 由电流有效值确定导线截面积，由工作频率确定穿透深度（当导线为圆铜导线时，穿透深度为 $\sigma = \frac{66.1}{\sqrt{f}}$ ），然后确定线径和导线根数。

2. 升压式 Boost 电路分析

Boost 电路如图 7-58 (a) 所示, 等效电路如图 7-58 (b) 所示, 它是一个升压斩波电路。与 Buck 电路一样, Boost 变换器也有电感电流连续和断续两种工作方式, 电感电流连续时, 存在两种开关状态; 电感电流断续时, 存在三种开关状态。

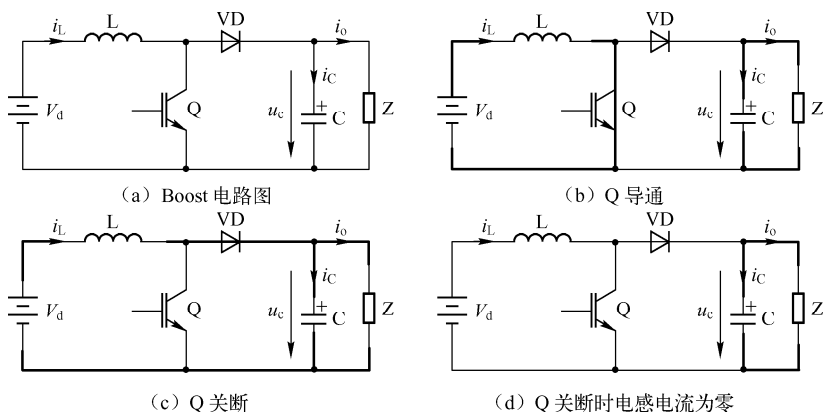


图 7-58 Boost 电路及不同开关状况下等效电路

电感电流连续模式 CCM (Continuous Current Mode) 的电路各点工作波形如图 7-59 所示, 电路稳定状态下的工作分析如下。

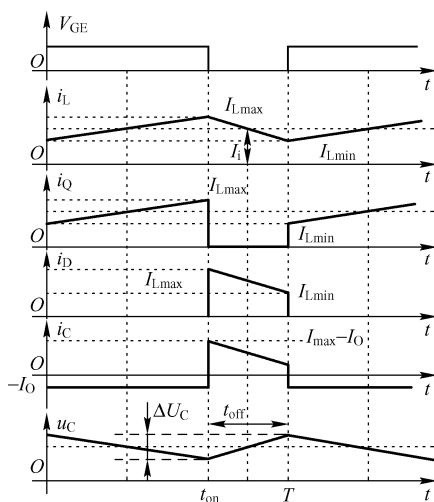


图 7-59 电感电流连续的 Boost 电路各点工作波形

开关状态 1: Q 导通

Q 管导通, 输入电压加到储能电感 L 两端, 二极管 VD 被反向截止, 等效电路如图 7-58 中的 (b) 所示, 流过电感的电流推导如下:

$$V_d = L \frac{di_L}{dt} \Rightarrow \frac{di_L}{dt} = \frac{V_d}{L} \Rightarrow \frac{di_L}{dt} = \frac{\Delta i_L}{t_{on}} = \frac{V_d}{L} \quad (\Delta i_L)_{opened} = \frac{V_d}{L} t_{on} = \frac{V_d}{L} \delta T$$

开关状态 2: Q 截止

Q 管截止, 二极管正向偏置而导通, 等效电路如图 7-58 中的 (c) 所示, 电源功率和储存

在 L 中的能量通过二极管 VD 输送给负载和滤波电容 C。此时流过电感的电流推导如下：

$$V_d - V_O = L \frac{di_L}{dt} \Rightarrow \frac{di_L}{dt} = \frac{V_d - V_O}{L} \Rightarrow \frac{di_L}{dt} = \frac{\Delta i_L}{t_{\text{off}}} = \frac{V_d - V_O}{L}$$

$$(\Delta i_L)_{\text{closed}} = \frac{V_O - V_d}{L} t_{\text{off}} = \frac{V_O - V_d}{L} (1 - \delta) T$$

显然，只有 Q 管导通期间（内）储能电感 L 增加的电流等于 Q 管截止期间（内）减少的电流，这样电路才能达到平衡，才能保证储能电感中一直有能量，才能不断地向负载提供能量和功率。解得：

$$V_O = \frac{V_d}{1 - \delta}$$

由上式可知，Boost DC/DC 变换器是一个升压电路，当占空比从零变到 1 时，输出电压从 V_d 变到任意大。

设负载阻抗 $Z = RL$ ，从能量守恒定律出发，输出电流 $I_O = V_O / RL$ ，电感平均电流即为输入电流 $I_L = I_i$ ，则有

$$V_d I_L = \frac{V_O^2}{R_L} \Rightarrow I_L = \frac{V_O^2}{V_d R_L} = \frac{\left(\frac{V_d}{1 - \delta} \right)^2}{V_d R_L} = \frac{V_d}{(1 - \delta)^2 R_L}$$

电感电流的最大值：

$$I_{L\text{max}} = I_L + \frac{\Delta i_L}{2} = \frac{V_d}{(1 - \delta)^2 R_L} + \frac{V_d \delta T}{2L}$$

电感电流的最小值：

$$I_{L\text{min}} = I_L - \frac{\Delta i_L}{2} = \frac{V_d}{(1 - \delta)^2 R_L} - \frac{V_d \delta T}{2L}$$

电感电流不能突变，只能近似地线性上升和下降，电感量越大，电流的变化越平滑；电感量越小，电流的变化越陡峭。当电感量小到一定值时，在 $t = T$ 时刻，电感 L 中储藏的能量刚刚释放完毕，这时 $I_{L\text{min}} = 0$ ，此时的电感量被称为临界电感，当储能电感 L 的电感量小于临界电感时，电感中电流就发生断续现象。

$$\frac{V_d^2}{(1 - \delta)^2 R_L} - \frac{V_d \delta T}{2L} = 0 \quad L_C = L = \frac{\delta(1 - \delta)^2 R_L}{2f}$$

滤波电容上的电压等于输出电压，电容两端的电压变化量实际上就是输出电压的纹波电压， ΔU_C 的波形如图 7-59 所示。若忽略负载电流脉动，则在导通期间电容泄放电荷量应等于在关断期间电容充电电荷量，反映了电容的峰-峰电压脉动量：

$$\Delta Q = C \Delta U_C = I_O t_{\text{on}} = I_O \delta T$$

$$\Delta U_C = \frac{\Delta Q}{C} = \frac{I_O \delta T}{C} = \frac{V_O \delta}{R_L C f}$$

由此可知，降低纹波电压，除与输出电压有关外，增大滤波电容 C 可以起到显著效果，提高电力半导体器件的工作频率也能收到同样的效果。

电感电流断续模式（Discontinuous Current Mode）的电路各点工作波形如图 7-60 所示，

电路稳定状态下的工作分析如下。

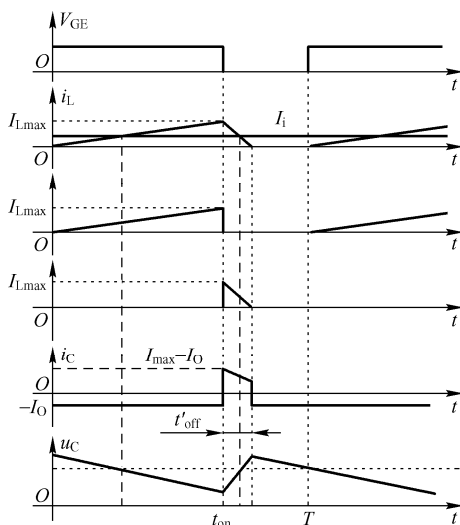


图 7-60 电感电流断续的 Boost 电路各点工作波形

Boost 变换器在电感电流断续时有三种开关状态：①Q 导通，电感电流从零增长到 $I_{L\max}$ ；②Q 关断，二极管 VD 续流，电感电流从 $I_{L\max}$ 降到零；③Q 和 VD 均截止，电感电流保持为零，负载由输出滤波电容供电。这三种工作状态的等效电路如图 7-58 中的 (b)、(c)、(d) 所示。

Q 导通期间，电感电流从零开始增长，其增长量为

$$(\Delta i_L)_{\text{opened}} = I_{L\max} = \frac{V_d}{L} t_{\text{on}}$$

Q 截止后，电感电流从 $I_{L\max}$ 线性下降，并在 $t = t_{\text{on}} + t'_{\text{off}}$ 时刻下降到零，即：

$$(\Delta i_L)_{\text{closed}} = I_{L\max} = \frac{V_O - V_d}{L} t'_{\text{off}}$$

$$\frac{V_O}{V_d} = \frac{t_{\text{on}} + t'_{\text{off}}}{t'_{\text{off}}} = \frac{\delta + \delta'}{\delta'}$$

式中， $\delta' = \frac{t'_{\text{off}}}{T}$ ，电感电流断续时， $\delta' < 1 - \delta$ 。

若 $t = t_{\text{off}}$ 时电流恰好等于零，则有

$$I_{L\max} = \frac{V_O - V_d}{L} t_{\text{off}}$$

$$I_{L\max} = \frac{V_d}{L} t_{\text{on}}$$

两边各自相加除以 2 得 $I_{L\max} = \frac{V_d}{Lf} \delta$ ，即临界电感。

电感电流临界连续时的平均值：

$$I_{LG} = I_i = \frac{1}{2} I_{L\max} = \frac{V_d}{2Lf} \delta$$

明确了 Buck 和 Boost 电路的拓扑结构及工作流程后, 就可以根据电路的需要选择合适的 FET 或 BJT 来作为电路的开关, 选择合适的续流二极管、回路电感及滤波电容。

7.2.9 处理器

当前常用的嵌入式处理器种类繁多, 根据其不同的应用领域、处理能力及架构大体可以分为嵌入式微处理器、嵌入式微控制器及数字信号处理器 (Digital Signal Processor, DSP)。微处理器根据其 CPU 架构的不同, 可以分为 ARM 架构、PowerPC 架构、MIPS 架构和 X86 架构等; 微控制器又称单片机, 就是将整个计算机系统集成到一块芯片中, 常用的类别有 8051 系列、PIC 系列、AVR 系列和 Cortex 系列等; 数字信号处理器对嵌入式系统结构和指令做了特殊的设计, 使其适合于执行 DSP 算法, 编译效率较高, 指令执行速度也较快。在数字滤波、FET 和谱分析等方面, DSP 算法正在大量进入嵌入式领域。

CPU 部分电路的设计是整个电路设计中最复杂也是最核心的, 根据需求分析, 选定设计所采用的硬件架构后, 整个系统的雏形也就确定了。对于任何工程项目的设计, 都不可能是从零开始的, 考虑到产品对市场的实时性, 设计都是在前人基础上进行的, 前人的基础包含搭建的开发平台 (包含各类库、开发规范、测试规范等)、DEMO 板及评估资料、原理图开发指南、PCB Layout 指南等。当拿到一个新的设计需求时, 该如何开始设计呢? 下面以 S3C2416 为例, 对 CPU 部分的电路设计过程进行说明。

在进行电路设计时, 需要将所用的资料收集齐, 对于本电路来说, 用到的资料有 S3C2416 芯片手册、设计指导 (Design Guide)、板级支持包 (BSP) 及 CPU 外围电路的一些说明。

S3C2416 的 Datasheet 有 672 页, 因项目开发时间的限制, 不可能把每页 Datasheet 都读得很懂后再进行开发, 在分析 Datasheet 时, 先看目录内容, 如图 7-61 所示^[35]。首先对该目录包含的内容进行分析, 说明如下。

(1) About this Documt: 关于该文档的一些说明。

(2) Table of Contents: 章节目录。

(3) 01-Overview: 介绍了芯片的总体资源配置, 该选项在根据需求分析, 进行 CPU 选型时可以直观快捷地将 CPU 的配置信息呈现给设计者。

(4) 02-SYSCON: Sytem Control 的简写, 系统的控制包含复位信息和时钟信号等。

(5) 03-MATRIX & EBI: MATRIX & EBI 总线的说明。

(6) 04-Bus Priority: Bus 优先级的说明, 在该项中, 对 16 类总线的优先级进行了说明。

(7) 05-SMC: 静态存储器的接口说明, 包含 SRAM、ROM、Flash EPROM、Burst SRAM、ROM and Flash 和 OneNAND。

(8) 06-DRAMC: 动态存储器接口说明, 包含 DDR SDRAM、DDR SDRAM 和 SDRAM。

(9) 07-Nand Flash: NAND Flash 存储控制器接口的说明。

(10) 08-DMA controller: DMA 控制器接口的说明。

(11) 09-Interrupt controller: 中断接口的说明。

+	About this Document
+	Table of Contents
+	01-Overview
+	02-SYSCON
+	03-MATRIX & EBI
+	04-Bus Priority
+	05-SMC
+	06-DRAMC
+	07-Nand Flash
+	08-DMA controller
+	09-Interrupt controller
+	10-IOport
+	11-Watchdog
+	12-PWM Timer
+	13-RTC
+	14-UART
+	15-USB HOST Controller
+	16-USB 2.0 Device
+	17-IIC bus interface
+	18-2D
+	19-HSSPI
+	20-HSMMC
+	21-LCD controller
+	22-TSADC
+	23-IIS Multi Audio Interface
+	24-AC97 Controller
+	25-PCM Audio Interface
+	26-ELECTRICAL DATA
+	27-MECHANICAL DATA

图 7-61 S3C2416 目录

- (12) 10-IOport: I/O 口的说明。
- (13) 11-Watchdog: 看门狗的说明。
- (14) 12-PWM Timer: PWM 定时器的说明。
- (15) 13-RTC: RTC 实时时钟的说明。
- (16) 14-UART: UART 串行通信接口的说明。
- (17) 15-USB HOST Controller: USB 作为 HOST 时的接口定义说明。
- (18) 16-USB 2.0 Device: USB 作为 Device (Slave) 时的接口定义说明。
- (19) 17-IIC bus Interface: IIC 总线接口说明。
- (20) 18-2D: 处理器的 2D 图像处理能力说明。
- (21) 19-HSSPI: SPI 总线接口说明。
- (22) 20-HSMMC: SD/MMC 存储总线接口。
- (23) 21-LCD controller: LCD 显示接口说明。
- (24) 22-TSADC: A/D 模拟/数字转换控制器接口说明。
- (25) 23-IIS Multi Audio Interface: IIS 总线接口说明。
- (26) 24-AC97 Controller: AC97 音频接口说明。
- (27) 25-PCM Audio Interface: PCM 视频接口说明。
- (28) 26-ELECTRICAL DATA: 芯片的电气特性参数, 包含供电电压的最大值、供电电压的推荐值和各个接口的逻辑电平等等。
- (29) 27-MECHANICAL DATA: 芯片的封装信息, 用于芯片 PCB Layout 的封装制作。

在明确了各个目录的包含内容后, 在后面的电路设计中, 就可以根据每个功能电路来分别查阅了。例如, 想知道 S3C2416 支持的 RAM 的具体信息, 就可以查找 06-DRAMC 部分, 这样可以明确 RAM 的信息, 其支持的 DDR2 架构是 4bank, 不支持 8bank, 则在进行 DDR2 的选型时只能采用 4bank 架构的, 不能采用 8bank 架构的。DDR2 参数信息如图 7-62 所示。

- DDR2 Features
 - Support DDR2 having 4-bank architecture, don't support 8-bank architecture.
 - Support 16-bit external data bus interface
 - Support AL(Additive Latency) 0, don't support posted CAS, it needs EMRS setting.
 - Don't support ODT and nDQS function, it needs EMRS setting.
 - All other features are same to the features of SDR/mDDR

图 7-62 DDR2 参数信息

阅读 Overview 部分的 Introduction 和 Features, 总体把控芯片的各个功能特性; 根据 Block Diagram 明确芯片的架构; 查阅引脚分布及引脚功能, 为进行详细设计做准备 (电路的详细设计阶段就是根据各个引脚的功能, 连接到其他芯片或接口的引脚上, 实现数据的输入和输出)。

只有明确了芯片各个部分的功能和各个引脚的功能, 才能够进行正确的电路连接。为加深对芯片所包含的各个功能及引脚特性的理解, 可以根据 Datasheet 进行原理图仿真库的建模, 通过建模的过程不仅可以熟悉芯片的各个功能模块, 而且对引脚的功能也可以有初步的理解。对于建库来说, 当有 Demo 板原理图时, 可以根据参考提供的封装进行修改, 如果没有可以参考的库, 需要根据 Datasheet 进行建模。对于芯片引脚众多的 CPU, 在原理图封装建模时, 为便于电路的设计、电路的理解和后期维护的方便, 需要将各个引脚按其所隶属的功能模块进行分类划分, 原理图封装库按模块划分建模如图 7-63 所示。

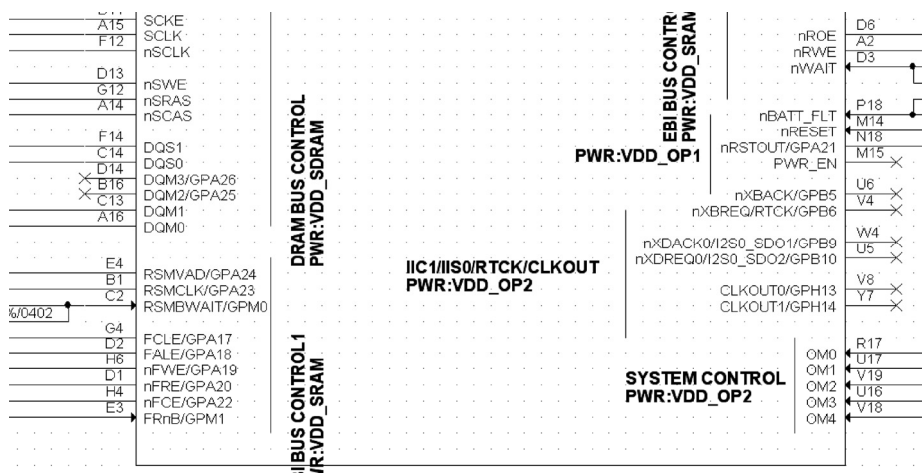


图 7-63 原理图封装库按模块划分建模

在明确了各个功能模块及各引脚的功能后，可以参照 Circuit Design CheckList 电路设计检查列表和 Demo 板的原理图来理解其各个部分的电路，在此基础上根据需求分析来更改或设计自己的电路。这部分工作比较烦琐，是整个系统电路设计的核心所在，在该阶段需要明确 CPU 各个控制部分的接口，针对各个接口的不同特性展开各个模块电路的设计工作。

对于 CPU 自身来说，在进行电路设计时，需要设计的部分包括电源/地网络、程序启动位置的配置、时钟信号的输入电路、CPU 的复位、上电时序的控制、外部存储的电路设计（EEPROM、NOR FLASH、NAND FLASH、MMC/SD 等）、各类对外接口（RJ45 以太网、UART 串口通信、USB）、各类总线和 A/D、D/A 等。

7.2.10 常用存储器

存储器是任何一个系统中必备的，根据存储器的不同作用，可以分为随机存储器 RAM 和只读存储器 ROM。只读存储器 ROM 包含 EEPROM 和 FLASH；随机存储器分为静态 SRAM 和动态 DRAM。存储器的分类如图 7-64 所示，本节对 ROM 及 DRAM 进行论述。对 DRAM 划分的一个基本依据是其工作电压的不同，如图 7-65 所示。

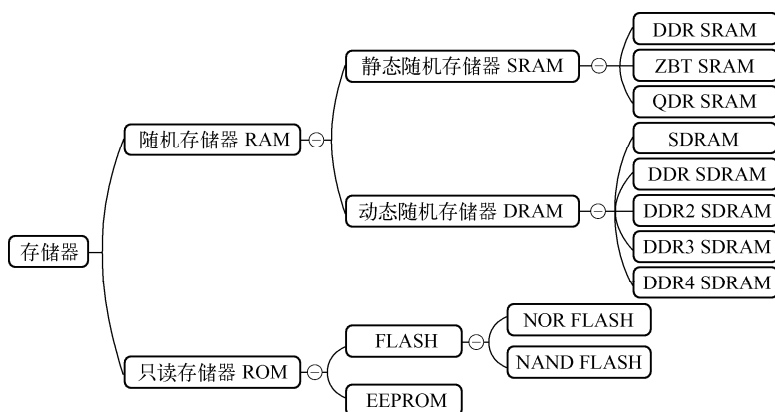


图 7-64 存储器的分类

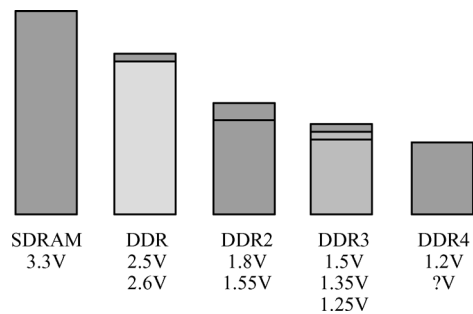


图 7-65 以工作电压对 DRAM 的划分

1. EEPROM

EEPROM（Electrically Erasable Programmable Read-Only Memory）指电可擦可编程只读存储器——一种掉电后数据不丢失的存储芯片，常用于单板信息，如 PCB 的版本信息、厂家名称和版本序列号等信息的存储。EEPROM 可以按“位”擦写，容量小。与 FLASH 相比，EEPROM 的写入时间短，擦写次数多。

常用的 EEPROM 有两种接口总线：SPI 总线和 I2C 总线，对于 EEPROM 电路的设计，把握这两种总线即可。ATMEL 公司的 SPI 接口 EEPROM 和 I2C 接口的 EEPROM 如图 7-66 所示^{[36][37]}。

SPI Serial
Electrically
Erasable and
Programmable
Read-only Memory

128K (16,384 x 8)
256K (32,768 x 8)

Atmel AT25128B
Atmel AT25256B

Atmel AT24C256C

I²C-Compatible (2-Wire) Serial EEPROM
256-Kbit (32,768 x 8)

DATASHEET

图 7-66 Atmel 公司的 SPI 接口 EEPROM 和 I2C 接口的 EEPROM

I2C（Inter—Integrated Circuit）总线是由 PHILIPS 公司开发的两线式串行总线，用于连接微控制器及其外围设备。是微电子通信控制领域广泛采用的一种总线标准。它是同步通信的一种特殊形式，具有接口线少、控制方式简单、器件封装形式小、通信速率较高等优点。其特征如下。

- ① 只要求两条总线线路：一条串行数据线 SDA，一条串行时钟线 SCL。
- ② 每个连接到总线的器件都可以通过唯一的地址和一直存在的简单主机/从机关系软件设定地址，主机可以作为主机发送器或主机接收器。
- ③ 它是一个真正的多主机总线，如果两个或更多主机同时初始化，数据传输可以通过冲突检测和仲裁防止数据被破坏。
- ④ 串行的 8 位双向数据传输位速率在标准模式下可达 100kbps，在快速模式下可达 400kbps，在高速模式下可达 3.4Mbps。
- ⑤ 连接到相同总线的 IC 数量只受到总线的最大电容 400pF 限制。

在进行 I2C 总线接口的 EEPROM 电路设计时，信号类型有电源网络和地网络、I2C 总线和 I2C 总线地址。AT24C02C I2C 总线接口的 EEPROM 电路设计如图 7-67 所示。

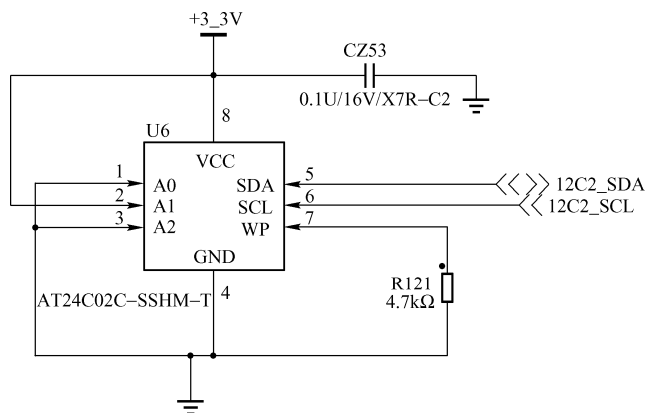


图 7-67 AT24C02C I2C 总线接口的 EEPROM 电路设计

AT24C 系列 EEPROM 利用 8 位地址位寻址，高 4 位“1010”是固定的，用来指示该操作是读操作还是写操作，当 I2C 总线上接有多个 EEPROM IC 时，所有连接的 EEPROM 都必须有不同的地址。设计电路时，需要通过 A0、A1 和 A2 设置 EEPROM 为不同的地址，便于 I2C 总线的寻址操作。因 I2C 总线信号 SCL、SDA 属于 OD（Open Drain，漏极开路）电路，所以在设计电路时，SCL 和 SDA 都需要做上拉处理。

SPI（Serial Peripheral Interface——串行外设接口）总线系统是一种同步串行外设接口，它可以使 MCU 与各种外围设备以串行方式进行通信以交换信息。SPI 有 3 个寄存器，分别为控制寄存器 SPCR、状态寄存器 SPSR 和数据寄存器 SPDR。外围设备包括 FLASH RAM、网络控制器、LCD 显示驱动器、A/D 转换器和 MCU 等。SPI 总线系统可直接与各个厂家生产的多种标准外围器件直接接口，该接口一般使用 4 条线：串行时钟线（SCLK）、主机输入/从机输出数据线 MISO、主机输出/从机输入数据线 MOSI 和低电平有效的从机选择线 NSS（有的 SPI 接口芯片带有中断信号线 INT，有的 SPI 接口芯片没有主机输出/从机输入数据线 MOSI）。

SPI 接口的 EEPROM 电路在设计时需要关注的网络是电源地网络、MOSI（主器件输出数据，从器件输入数据，此时 EEPROM 为数据输入状态）、MISO（主器件数据输入，从器件数据输出，此时 EEPROM 为数据输出状态）、SCLK（时钟信号，由主器件产生，此时 EEPROM 为 SCLK 接收端）、NNS（从器件使能信号，此时为 EEPROM 的 CS 片选信号）。SPI 接口的 EEPROM 电路设计如图 7-68 所示。

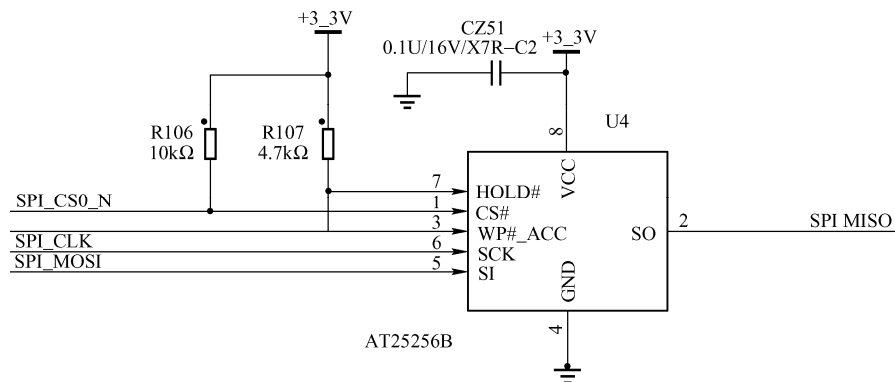


图 7-68 SPI 接口的 EEPROM 电路设计

2. FLASH

目前常用的 FLASH 主要有 NOR FLASH 和 NAND FLASH 两种规格。

NOR 技术（也称为 Linear 技术）闪速存储器是最早出现的 Flash Memory，目前仍是多数供应商支持的技术架构。它源于传统的 EPROM 器件，与其他 Flash Memory 技术相比，具有可靠性高、随机读取速度快的优势，在擦除和编程操作较少而直接执行代码的场合，尤其是纯代码存储的应用中广泛使用，如 PC 的 BIOS 固件、移动电话、硬盘驱动器的控制存储器等。

采用 NOR 技术的 Flash Memory 具有以下特点。

① 程序和数据可存放在同一芯片上，拥有独立的数据总线和地址总线，能快速随机读取，允许系统直接从 Flash 中读取代码执行，而无须先将代码下载至 RAM 中再执行。

② 可以单字节或单字编程，但不能单字节擦除，必须以块为单位或对整片执行擦除操作，在对存储器进行重新编程之前需要对块或整片进行预编程和擦除操作。由于采用 NOR 技术的 Flash Memory 的擦除和编程速度较慢，而块尺寸又较大，因此擦除和编程操作所花费的时间很长，在纯数据存储和文件存储的应用中，NOR 技术显得力不从心。

S29GL-P 是 SPANSION 的 NOR FLASH 系列芯片，可以提供的存储容量是 128MB、256MB、512MB 和 1GB，可以提供 56pin 的 TSOP 封装或 64ball 的 BGA 封装。下面以 S29GL128P 为例，对 NOR FLASH 的电路设计进行说明。

查阅 S29GL128P Datasheet 中的 Input/Output Description&Logic Symbol 中 NOR FLASH 引脚的定义，对引脚及电路设计描述如下。

① A25~A0：A25~A0 是 GL128P 的地址信号输入通道，在设计电路时，需要与 CPU 的存储专用地址总线相连。

② DQ15, DQ14~DQ0：数据信号，数据输入/输出的通道，在设计电路时，需要与 CPU 的存储数据总线相连；DQ15 引脚是复用引脚，除可以用来设置数据的输入和输出是否采用 word 模式外，还可以用来输入 LSB 信号（Least Significant Bit，最低有效位）。

③ CE#：片选信号，低电平有效。

④ OE#：输出使能信号，低电平有效。

⑤ WE#：写使能，低电平有效。

⑥ VCC：电源输入引脚。

⑦ VIO：通用 I/O 口的供电引脚，接 VCC 电源输入端。

⑧ VSS：地信号引脚。

⑨ NC：不连接的引脚。

⑩ RY/BY#：输出信号，当输出低电平时指示器件正在进行写入或擦除工作，当输出高电平时指示器件已准备就绪（在设计电路时一般作为测试引脚）。

⑪ BYTE#：输入信号，用于设置输入数据信号的宽度，当输入 0 时数据宽度为 8bit，当输入 1 时，数据宽度是 16bit。

⑫ RESET#：输入信号，用于芯片的硬件复位，低电平有效。

⑬ WP#/ACC：写保护或编程加速控制，当为低电平时为写保护功能，当为高电平时为编程加速，在设计电路时，一般都进行上拉处理。

⑭ RFU：保留引脚，不连接。

S29GL128P 电路设计如图 7-69 所示。

采用 NAND 技术的 Flash Memory 具有以下特点。

① 以页为单位进行读和编程操作，1 页为 256B 或 512B（字节）；以块为单位进行擦除操作，1 块为 4KB、8KB 或 16KB；具有快编程和快擦除的功能，其块擦除时间是 2ms；而 NOR 技术的块擦除时间是几百 ms。

- ② 数据、地址采用同一总线，实现串行读取。随机读取速度慢且不能按字节随机编程。
- ③ 芯片尺寸小，引脚少，是位成本（bit cost）最低的固态存储器。
- ④ 芯片包含有失效块，其数目最大可达到 3~35 块（取决于存储器密度）。失效块不会影响有效块的性能，但设计者需要将失效块在地址映射表中屏蔽起来。

从存储单元的角度考虑，NAND FLASH 可以分为 SLC（Single Level Cell，单层单元）和 MLC（Multi-Level Cell，多层单元）。SLC 的特点是成本高、容量小、速度快，而 MLC 的特点是容量大、成本低，但是速度慢。MLC 的每个单元是 2bit，相对于 SLC 来说整整多了一倍。不过，由于每个 MLC 存储单元中存放的资料较多，结构相对复杂，出错的概率会增加，必须进行错误修正，这个动作导致其性能大幅落后于结构简单的 SLC 闪存。在方案设计阶段需要根据程序运行的机制及客户的需求，选择合适的 Flash 存储。

K9F2G08U0C^[38]是 Samsung 的一款采用 SLC（Single Level Cell，1bit/cell）架构的 2GB NAND FLASH，可以提供的封装形式是 TSOP1 和 FBGA，其中 K9F2G08U0C-S 是 48pin TSOP1 封装，K9F2G08U0C-B 是 63pin FBGA 封装，本例以 K9F2G08U0C-S 进行说明。

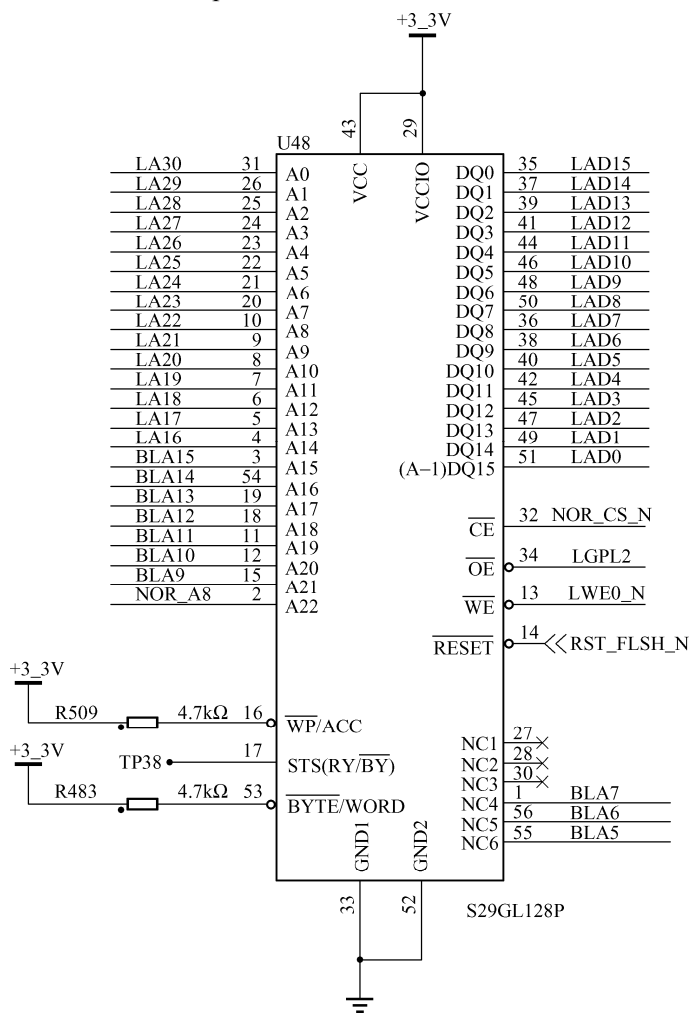


图 7-69 S29GL128P 电路设计

K9F2G08U0C 的引脚及电路设计描述如下。

- ① I/O[7:0]: 数据的输入/输出引脚，输入数据的内容包含命令、地址和数据，当进行读

- 操作时向外输出数据。当芯片不片选或输出被关掉时，I/O 口的逻辑状态处于高阻态。
- ② CLE：命令加载使能。CLE 高电平有效，当写使能有效时，会通过 I/O[7:0]将命令加载到 NAND FLASH。
 - ③ ALE：地址加载使能。ALE 高电平有效，当写使能有效时，会通过 I/O[7:0]将命令加载到 NAND FLASH。
 - ④ CE#：片选信号，低电平有效。
 - ⑤ RE#：读取数据使能，低电平有效。
 - ⑥ WE#：写数据使能，低电平有效。
 - ⑦ WP#：写保护，低电平有效，在电路设计中一般进行上拉处理。
 - ⑧ R/B#：可以输出两种状态，用于指示芯片当前的工作状态，当输出低电平时指示当前芯片在进行擦除和数据输出操作，当输出高电平时表示该芯片没有被片选或输出处于禁止状态。
 - ⑨ VCC/VSS：电源网络/地网络。
 - ⑩ NC：没有连接。

K9F2G08U0C-S NAND FLASH 的电路设计如图 7-70 所示。

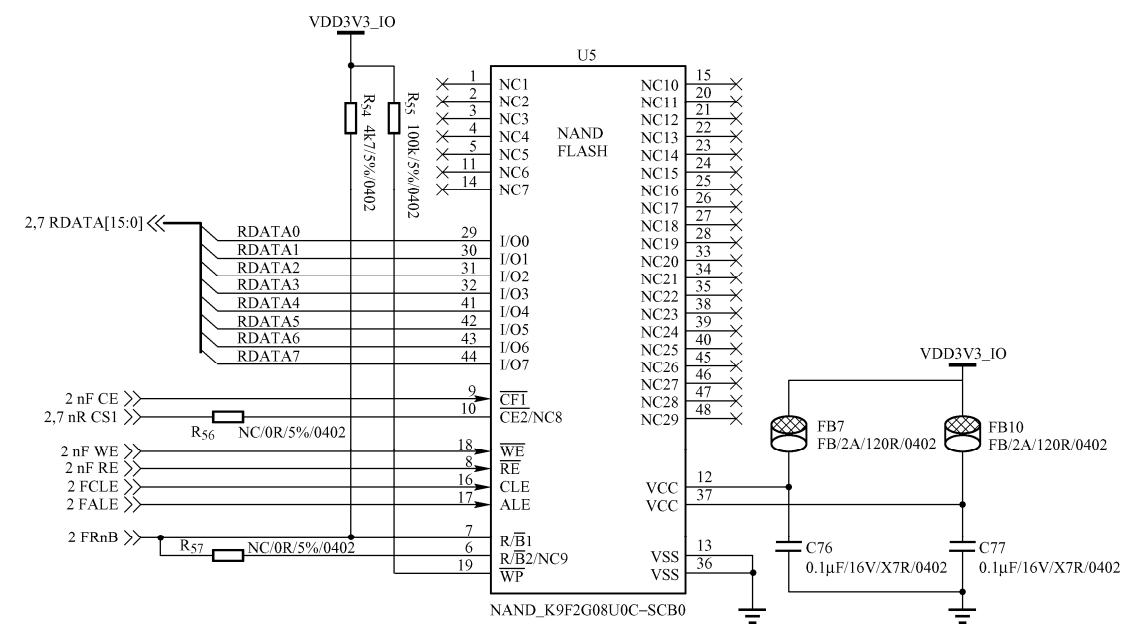


图 7-70 K9F2G08U0C-S NAND FLASH 的电路设计

3. SDRAM

SDRAM（Synchronous Dynamic Random Access Memory）指同步动态随机存储器，同步是指 Memory 工作需要同步时钟，内部命令的发送与数据的传输都以同步时钟为基准；动态特性是指存储阵列需要不断地刷新来保证数据不丢失；随机是指数据不是线性依次存储的，而是自由指定进行数据读/写。

SDRAM 内部的存储结构如图 7-71 所示，在进行取址操作时，需要依次获得 Bank 数、行地址和列地址，从而找到要读取或写入的数据。在进行系统设计时需要根据 Bank 数、行地址数、列地址数及位宽来计算 Memory 的大小，即

Memory 的容量=2^{行地址数}×2^{列地址数}×Bank 数×位宽（bit）

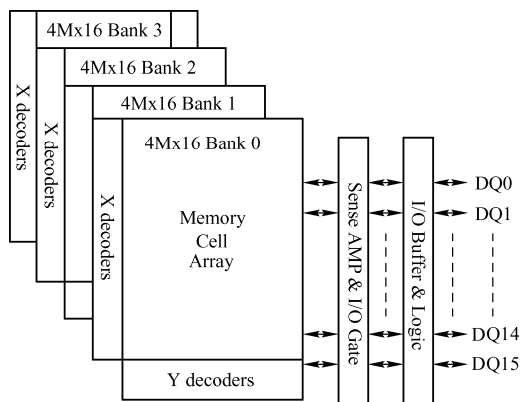


图 7-71 SDRAM 内部的存储结构

例如，某 SDRAM，行地址信号为 A0~A12，列地址信号线为 A0~A9，A11，数据信号线为 DQ0~DQ7，位宽为 8，Bank 数是 4。因此 Memory 的容量是 $2^{13} \times 2^{11} \times 4 \times 8\text{bit} = 536\,870\,912\text{bit} = 512\text{Mbit}$ 。

从以上 Memory 容量的计算可以看出，在进行 SDRAM 型号的选择时，要确认 Bank 数、行地址数、列地址数和位宽，这些信息确认后，需要与 CPU 的 Memory 接口部分进行确认，确认 CPU 部分是否支持 Memory 的位宽、是否支持 Memory 的 Bank 数、是否支持 Memory 的行地址数和列地址数。

常用的 SDRAM 数据位宽有 4bit、8bit 和 16bit 之分，SDRAM 厂家很多，但都遵循 JEDEC 标准，根据 SDRAM 的特性，将 SDRAM 的引脚性质归类如下。

① CLK：时钟输入信号，为源同步时钟信号，SDRAM 的所有输入信号都需要利用 CLK 的上升沿来采样。

② CKE：时钟信号使能控制。高电平有效，CKE 无效时内部所有与输入有关的功能模块都停止工作；当在设计中不需要 CKE 时，应将 CKE 信号上拉使能。

③ CS#：低电平片选信号，当 CS 有效后，SDRAM 才可以识别存储控制器发送来的信号。在设计中应将 CS 信号上拉处理。

④ RAS#：行地址选通信号，为输入信号，低电平有效。

⑤ CAS#：列地址选通信号，为输入信号，低电平有效。

⑥ WE#：写使能信号，为输入信号，低电平有效。

⑦ BA[]：Bank 地址信号，为输入信号。

⑧ A[]：地址信号，为输入信号。

⑨ DQ[]：数据信号，为输入/输出双向信号。

⑩ DQM：数据掩码信号，为输入/输出双向信号。DQM 与 DQ 总线的方向相同，高电平有效。当 DQM 有效时，数据总线上出现的对应数据将会被屏蔽。在 16bit 位宽的 SDRAM 中，分为 DQML 和 DQMH，DQML 用于屏蔽低 8 位数据，DQMH 用于屏蔽高 8 位数据。

⑪ VDD：SDRAM 的工作电压，采用 3.3V 供电。

⑫ VDDQ：SDRAM I/O 总线的供电电源，采用 3.3V 供电。

⑬ VSS：SDRAM 的地网络。

SDRAM 属于源同步时钟系统，对源同步时钟系统的分析在第 3 章已做了详细的论述。在 SDRAM 的设计中，进行时序分析的参数有：地址信号保持时间 (t_{AH}) 和建立时间 (t_{AS})；数据信号建立时间 (t_{DS}) 和保持时间 (t_{DH})；控制信号建立时间 (t_{CMS}) 和保持时间 (t_{CMH})；时钟信号高电平 (t_{CH}) 和低电平 (t_{CL}) 的最小脉宽；数据输出的保持时间 (t_{OH})。

基于 HY57V561620FTP-H^[39]的 SDRAM 电路设计如图 7-72 所示。

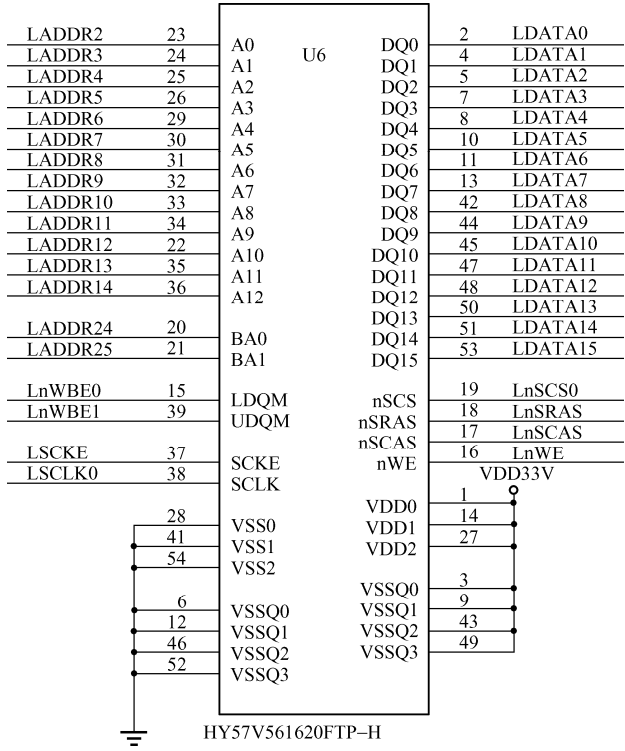


图 7-72 SDRAM 电路设计

4. DDR SDRAM

DDR SDRAM 是 Double Data Rate SDRAM 的缩写，是双倍速率同步动态随机存储器的意思。SDRAM 在一个时钟周期内只传输一次数据，它在时钟的上升期进行数据传输；而 DDR 内存则在一个时钟周期内传输两次数据，它能够在时钟的上升期和下降期各传输一次数据，因此称为双倍速率同步动态随机存储器。

DDR SDRAM 的 Memory 容量计算方法同 SDRAM 是一样的，DDR 与 SDRAM 在引脚上的变化是：DDR 的时钟信号 CK 和 CK#是差分时钟信号，增加了数据选通信号 DQS。DDR 不再依赖于时钟信号进行采样，而是采用多出来的 DQS（数据选通信号，Data Strobe）进行采样，DQ 是双向通信的，同样 DQS 也是双向通信的。在写操作时，数据由 CPU 发往 DDR，DQS 的边沿与 DQ 的中央对齐，DDR 数据接收端直接利用 DQS 的边沿对 DQ 进行采样；读操作时，数据由 DDR 发送给 CPU，DQS 的边沿与 DQ 的边沿对齐，在接收端的存取器对 DQS 偏移 1/4 个时钟周期后，使用其边沿对 DQ 进行采样。一般一个 DQS 单端信号与 8bit 位宽的 DQ 信号配合使用。

对于 DDR 来说，地址、命令和控制信号等单端信号仍采用时钟信号进行采样，此时的时钟信号是差分时钟，采样点是 CK 信号上升沿和 CK#信号下降沿的交叉点；DQ 信号和 DM 信号参考 DQS 进行双边沿采样。

同样，DDR SDRAM 也是源同步时钟系统，在设计时序时，参考时钟信号，地址信号需要满足建立时间 (t_{IS}) 和保持时间 (t_{IH}) 的要求；控制、命令信号需要满足建立时间 (t_{IS}) 和保持时间 (t_{IH}) 的要求；DQ 参考 DQS 需要满足 DQ 的建立时间 (t_{DS}) 和保持时间 (t_{DH}) 的要求；同时，DQS 和 CLK 需要满足一定的时序关系，它们之间的时序参数是 t_{dqsk} 。

为便于进行 DDR SDRAM 的电路设计，现对 DDR SDRAM 的引脚进行说明。

- ① CK、CK#：全局时钟输入。
- ② CKE：时钟使能信号输入。
- ③ CS#：片选信号输入。
- ④ RAS#：行地址信号，低电平有效。
- ⑤ CAS#：列地址信号，低电平有效。
- ⑥ WE#：写数据使能，低电平有效。
- ⑦ LDM、UDM：数据 mask 信号输入。
- ⑧ A[12:0]：地址信号输入端。
- ⑨ DQ[15:0]：数据信号输入、输出。
- ⑩ LDQS\UDQS：数据锁存信号输入/输出。
- ⑪ NC：空引脚。
- ⑫ DNU：不适用的引脚。
- ⑬ VDDQ：DQ 数据 I/O 口的供电引脚，采用 2.5V 供电。
- ⑭ VDD：器件的工作供电引脚，采用 2.5V 供电。
- ⑮ VSS：器件地。
- ⑯ VREF：SSTL_2 参考电压。
- ⑰ BA[……]：Bank 地址信号，为输入信号。

DDR SDRAM 16bit 电路设计如图 7-73 所示。

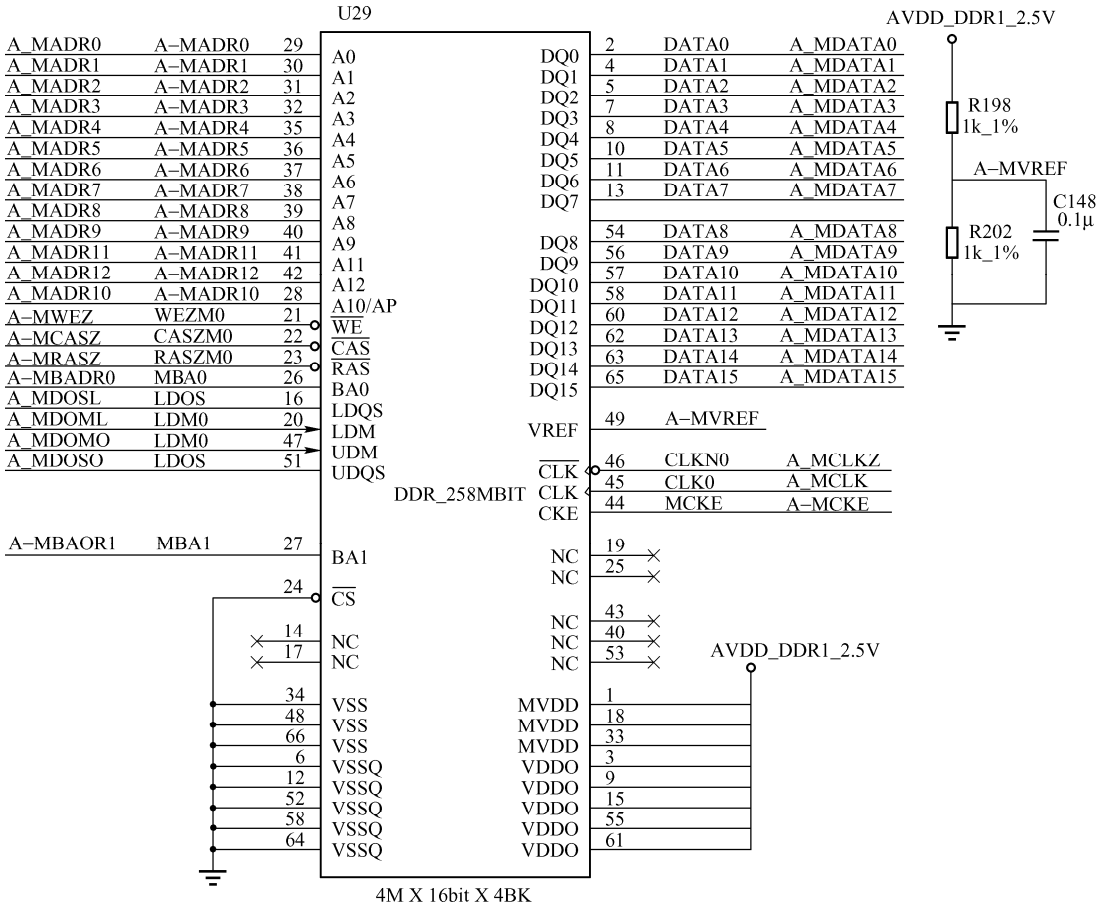


图 7-73 DDR SDRAM 16bit 电路设计

5. DDR2 SDRAM

DDR2 SDRAM 简称 DDR2，是第二代双倍数据率同步动态随机存取存储器（Double-Data-Rate Two Synchronous Dynamic Random Access Memory），是基于 DDR SDRAM 升级的技术。DDR2 的实际工作频率是 DDR 的两倍，这得益于 DDR2 内存拥有两倍于标准 DDR 内存的 4bit 预读取能力，如图 7-74 所示是 DDR 和 DDR2 预读取能力的对比。DDR2 与 DDR SDRAM 相比，采用了 ODT（On Die Termination），即片内部匹配终结技术。在 DDR SDRAM 中需要通过大量的外接终端电阻上拉到 VTT，以实现信号的匹配，DDR SDRAM 所有的地址、命令、控制和数据信号都需要进行终端匹配处理，大量的匹配电阻占用了大量的 PCB 面积，且 DQ、DM 信号是双向信号，在放置匹配电阻时很难选择。DDR2 SDRAM 提供了一个 ODT 引脚来控制芯片内部终结电阻的开关状态，ODT 用来进行 DQ、DQS、DM 类型号的终结，对于地址、命令、控制信号还是需要外接匹配电阻。

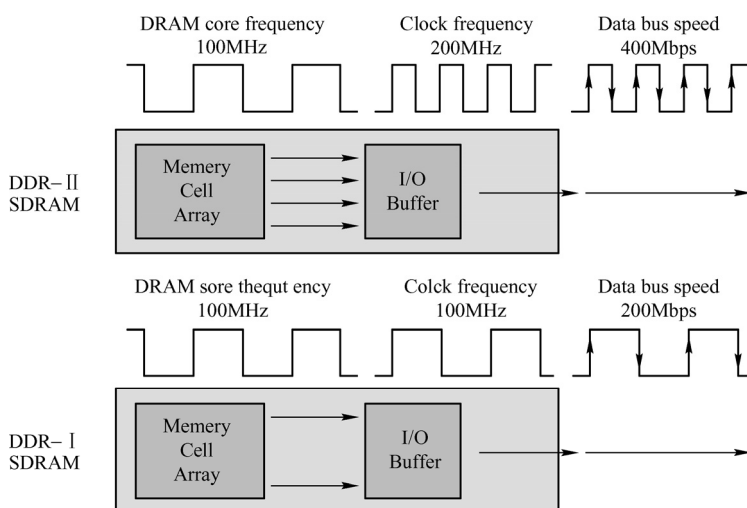


图 7-74 DDR 和 DDR2 预读取能力的对比

与 DDR SDRAM 采用单端 DQS 相比，DDR2 SDRAM 既可以采用单端 DQS 信号，也可以采用差分 DQS/DQS#信号。使用差分信号可以减少信号串扰的影响，减少 DQS 输出脉宽对工作电压和温度稳定性的依赖，因此一般在 533Mbps 以上的 DDR2 SDRAM 存储芯片中，都尽量采用 DQS/DQS#信号。

DDR2 SDRAM 采用 SSTL-1.8 电平，在相同存储容量和相同数据传输率的情况下，DDR2 具有更低的功耗。

同样，根据位宽的不同，DDR2 SDRAM 也可以分为 4bit、8bit 和 16bit 系列，位宽越多，采用的封装越复杂。一般 4bit 和 8bit 芯片采用 60 或 68 引脚的 FBGA 封装，16bit 的 DDR2 采用 84 或 92 引脚的 FBGA 封装。

对于 DDR2 SDRAM 来说，地址、命令和控制信号等单端信号仍采用时钟信号进行采样，此时的时钟信号是差分时钟，采样点是 CK 信号上升沿和 CK#信号下降沿的交叉点；DQ 信号和 DM 信号参考 DQS 进行双边沿采样。

同样, DDR2 SDRAM 也是源同步时钟系统, 在设计时序时, 参考时钟信号的信号包含地址信号、命令信号和控制信号, 地址信号需要满足建立时间 (t_{IS}) 和保持时间 (t_{IH}) 的要求; 控制和命令信号需要满足建立时间 (t_{IS}) 和保持时间 (t_{IH}) 的要求; DQ 参考差分选通信号 DQS/DQS# 需要满足 DQ 的建立时间 (t_{DS}) 和保持时间 (t_{DH}) 的要求; 同时, DQS/DQS# 和 CLK/CLK# 需要满足一定的时序关系, 它们之间的时序参数是 t_{dqsk} 。

为便于进行 DDR2 电路的设计, 现以 k4t51xx3qj 为例将 DDR2 引脚归纳如下^[21]。

- ① CK、CK#: 全局差分时钟输入信号。
- ② CKE: 时钟使能信号输入。
- ③ CS#: 片选信号输入。
- ④ RAS#: 行地址信号, 低电平有效。
- ⑤ CAS#: 列地址信号, 低电平有效。
- ⑥ WE#: 写数据使能, 低电平有效。
- ⑦ LDM、UDM: 数据 mask 信号输入。
- ⑧ A[13: 0]: 地址信号输入端。
- ⑨ DQ[15: 0]: 数据信号输入、输出。
- ⑩ DQS/DQS#: 差分数据选通信号, 与 DQ 一样是双向信号。
- ⑪ NC: 空引脚。
- ⑫ DNU: 不适用的引脚。
- ⑬ VDDQ: DQ 数据 I/O 口的供电引脚, 采用 1.8V 供电。
- ⑭ VDD: 器件工作的供电引脚, 采用 1.8V 供电。
- ⑮ VSS: 器件地。
- ⑯ VREF: SSTL_1.8 参考电压。
- ⑰ ODT: 终端匹配电阻, 适用于 DQ、DQS/DQS# 和 DM。
- ⑱ BA[2: 0]: Bank 地址。

基于 k4t51xx3qj 采用单端 DQS 数据选通信号的 DDR2 SDRAM 电路设计如图 7-75 所示; 基于 MT47H64M16HR3E 采用差分 DQS/DQS# 数据选通信号的 DDR2 SDRAM 电路设计如图 7-76 所示。

6. DDR3 SDRAM

DDR3 是在 DDR2 基础上采用的新型设计, 与 DDR2 SDRAM 相比, 它具有功耗和发热量较小、工作频率更高、降低显卡整体成本和通用性好的优势。目前 DDR3 SDRAM 在高性能吞吐应用上占领的市场份额最高。现以 DDR3 为例, 阐述内存数据读取传输相关的一些操作。

DDR3 的内部是一个存储阵列, 将数据“填”进去, 可以把它想象成一张表格, 如图 7-77 所示。和表格的检索原理一样, 先指定一个行 (Row), 再指定一个列 (Column), 就可以准确地找到所需要的单元格, 这就是内存芯片寻址的基本原理。对于内存, 这个单元格可称为存储单元, 那么这个表格 (存储阵列) 就是逻辑 Bank (Logical Bank, 下面简称 Bank)。

DDR3 内部 Bank 是一个 $N \times N$ 的阵列, B 代表 Bank 地址编号, C 代表列地址编号, R 代表行地址编号。如果寻址命令是 B1、R2、C6, 就能确定地址是图中黑格的位置。目前 DDR3 内存芯片基本上都是 8 个 Bank 设计, 也就是说一共有 8 个这样的“表格”。寻址的流程也就是先指定 Bank 地址, 再指定行地址, 然后指定列地址, 最终确定寻址单元。

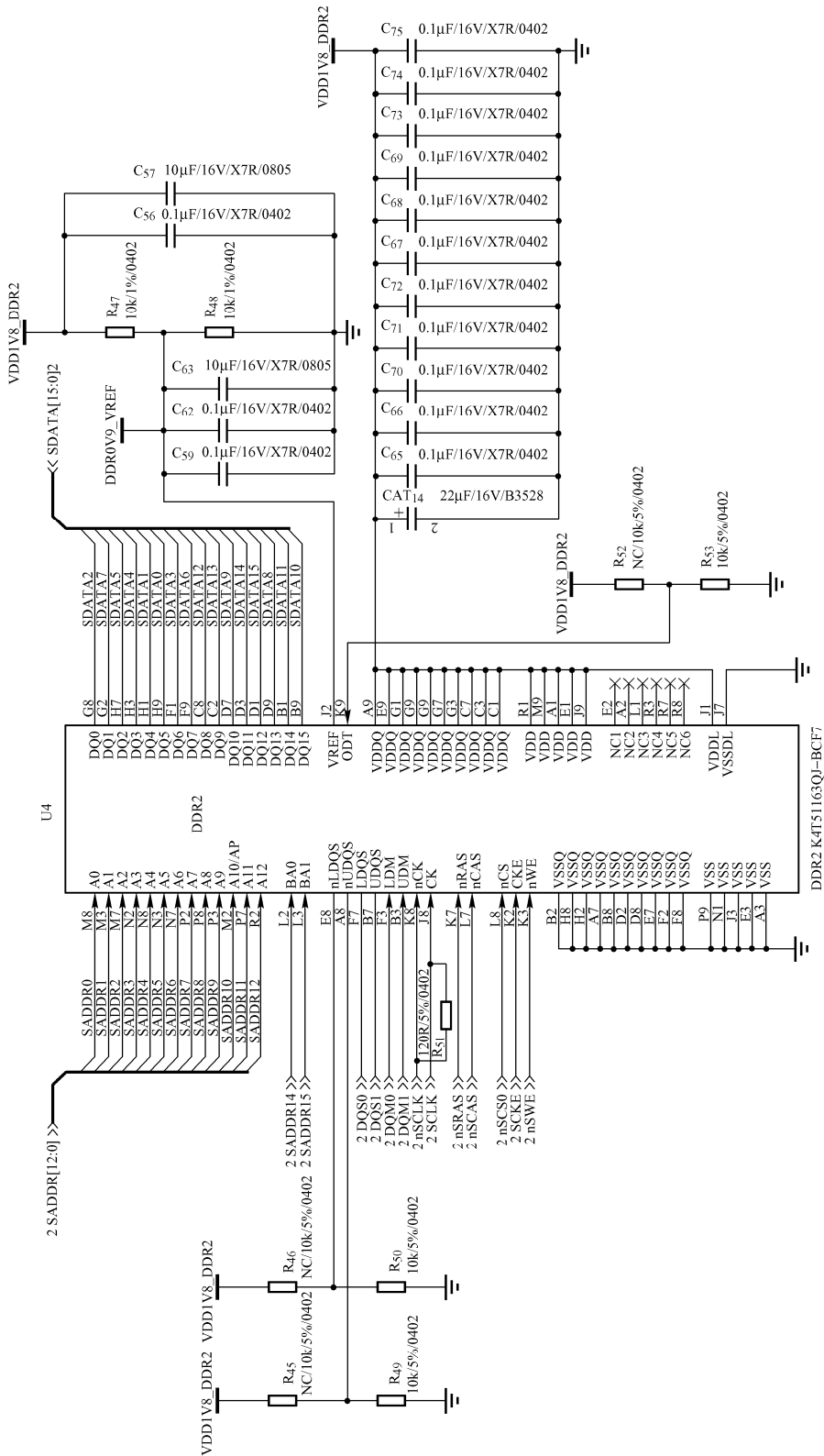


图 7-75 采用单端 DQS 数据选通信号的 DDR2 SDRAM 电路设计

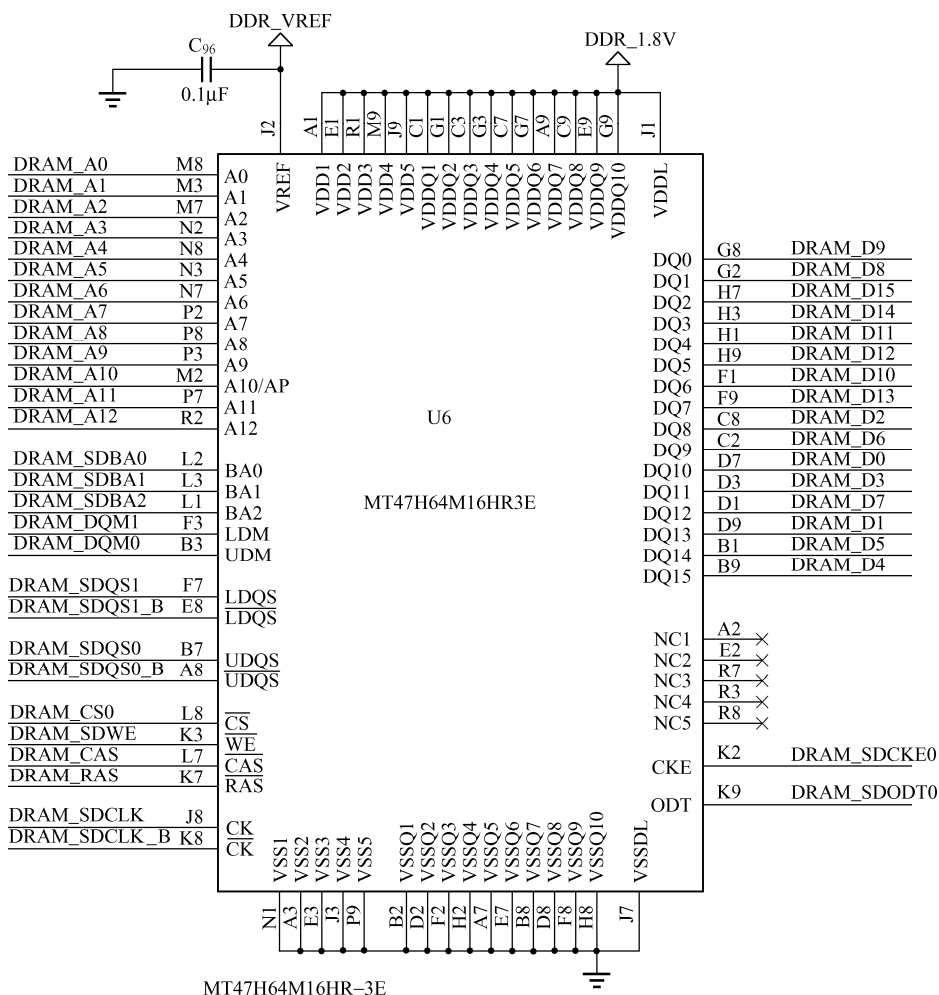


图 7-76 采用差分 DQS/DQS#数据选通信号的 DDR2 SDRAM 电路设计

B1	C 列地址							
R 行 地址	0	1	2	3	4	5	6	7
	1							
	2							
	3							
	4							
	5							
	6							
	7							

图 7-77 DDR3 存储阵列的等效表格

目前对 DDR3 系统而言, **Bank** 是对内存子系统的一个相关术语, 并不针对内存芯片。内存为了保证 CPU 正常工作, 必须一次传输完 CPU 在一个传输周期内所需要的数据。而 CPU 在一个传输周期能接受的数据容量就是 CPU 数据总线的位宽, 单位是 bit (位)。控制内存与 CPU 之间数据交换的北桥芯片也因此将内存总线的数据位宽等同于 CPU 数据总线的位宽, 这个位宽就称为物理 Bank (Physical Bank, 有的资料称之为 Rank) 的位宽。目前这个位宽基本为 64bit。

在实际工作中，Bank 地址与相应的行地址是同时发出的，此时这个命令称为“行激活”

(Row Active)。在此之后，将发送列地址寻址命令与具体的操作命令（是读还是写），这两个命令也是同时发出的，因此一般都会以“读/写命令”来表示列寻址。根据相关的标准，从行有效到读/写命令发出之间的间隔被定义为 t_{RCD} ，即 RAS to CAS Delay（RAS 至 CAS 的延迟，RAS 就是行地址选通脉冲，CAS 就是列地址选通脉冲），可以理解为行选通周期。 t_{RCD} 是 DDR 的一个重要时序参数，广义的 t_{RCD} 以时钟周期（ t_{CK} ，Clock Time）数为单位，如 $t_{RCD}=3$ ，如图 7-78 所示，就代表延迟周期为两个时钟周期，具体到确切的时间，则要根据时钟频率而定，DDR3-800（Clock 时钟为 100MHz）的 $t_{RCD}=3$ ，代表 30ns 的延迟。

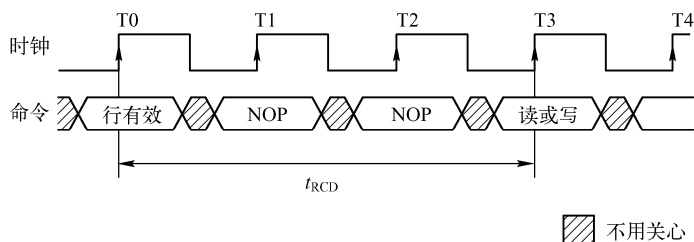


图 7-78 t_{RCD} 延时参数

接下来，相关的列地址被选中之后，将会触发数据传输，但从存储单元中输出到真正出现在内存芯片的 I/O 接口之间还需要一定的时间（数据触发本身就有延迟，而且还需要进行信号放大），这段时间就是非常著名的 CL（CAS Latency，列地址脉冲选通潜伏期）。CL 的数值与 t_{RCD} 一样，用时钟周期数表示。例如，DDR3-800，时钟频率为 100MHz，时钟周期为 10ns，如果 CL=2 就意味着 20ns 的潜伏期。不过 CL 只针对读取操作。

由于芯片体积的原因，存储单元中的电容容量很小，所以信号要经过放大来保证其有效的识别性，这个放大/驱动工作由 S-AMP 负责，一个存储体对应一个 S-AMP 通道。但它要有一个准备时间才能保证信号的发送强度（事前还要进行电压比较以进行逻辑电平的判断），因此从数据 I/O 总线上有数据输出之前的一个时钟上升沿开始，数据即已传向 S-AMP，也就是说，此时数据已经被触发，经过一定的驱动时间最终传向数据 I/O 总线进行输出，这段时间称为 t_{AC} （Access Time from CLK，时钟触发后的访问时间），如图 7-79 所示，图中的 CAS 潜伏期=2， $t_{AC}=1$ 。

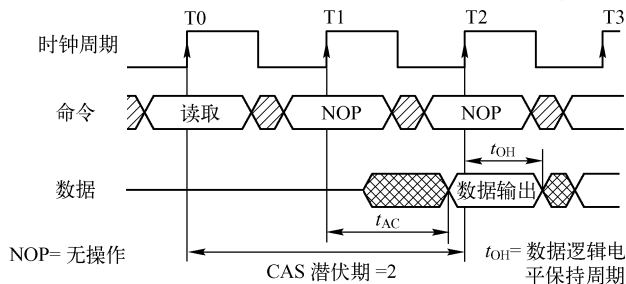


图 7-79 t_{AC} 延时参数图示

目前内存的读/写基本都是连续的，因为与 CPU 交换的数据量是以一个 Cache Line（即 CPU 内 Cache 的存储单位）的容量为准，所以一般为 64 字节。而现有的 Rank 位宽为 8 字节（64bit），那么就要一次连续传输 8 次，这就涉及我们经常遇到的突发传输概念。突发（Burst）是指在同一行中相邻的存储单元连续进行数据传输的方式，连续传输的周期数就是突发长度（Burst Lengths，BL）。当进行突发传输时，只要指定起始列地址与突发长度，内存就会依次自动对后面相应数量的存储单元进行读/写操作而不再需要控制器连续地提供列地址。

这样，除了第一笔数据的传输需要若干个周期（主要是之前的延迟，一般是 $t_{RCD}+CL$ ）外，其后每个数据只需一个周期即可获得。突发连续读取模式：只要指定起始列地址与突发长度，后续的寻址与数据的读取自动进行，而只要控制好两段突发读取命令的间隔周期（与 BL 相同）即可做到连续的突发传输。突发长度 BL 时序参数如图 7-80 所示。

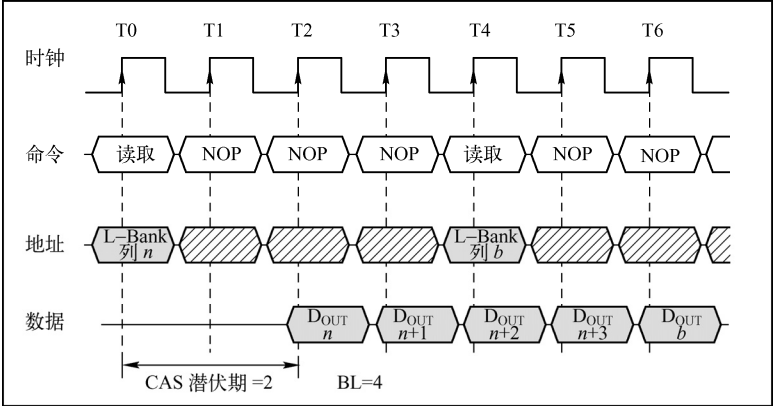


图 7-80 突发长度 BL 时序参数

如果 BL=4，也就是一次传送 $4 \times 64\text{bit}$ 的数据。但是，如果其中的第二笔数据是不需要的，怎么办？还都传输吗？为了屏蔽不需要的数据，人们采用了数据掩码（Data I/O Mask, DQM）技术。通过 DQM，内存可以控制 I/O 端口取消哪些输出或输入的数据。这里需要强调的是，在读取时，被屏蔽的数据仍然会从存储体传出，只是在“掩码逻辑单元”处被屏蔽。DQM 由北桥控制，为了精确屏蔽一个 P-Bank 位宽中的每个字节，每个 DIMM 有 8 条 DQM 信号线，每个信号针对一个字节。这样，对于 4bit 位宽芯片，两个芯片共用一条 DQM 信号线，对于 8bit 位宽芯片，一个芯片占用一个 DQM 信号，而对于 16bit 位宽芯片，则需要两个 DQM 引脚。

在数据读取完之后，为了腾出读出放大器以供同一 Bank 内其他行的寻址并传输数据，内存芯片将进行预充电的操作来关闭当前工作行，预充电操作如图 7-81 所示。还是以图 7-77 中的 DDR3 存储阵列的等效表格的 Bank 示意图为例。当前寻址的存储单元是 B1、R2、C6。如果接下来的寻址命令是 B1、R2、C4，则不用预充电，因为读出放大器正在为这一行服务。但如果地址命令是 B1、R4、C4，由于是同一 Bank 的不同行，就必须先把 R2 关闭，才能对 R4 寻址。从开始关闭现有的工作行，到可以打开新的工作行之间的间隔就是 t_{RP} （Row Precharge command Period，行预充电有效周期）。在不同 Bank 间读/写也是这样，先把原来数据写回，再激活新的 Bank/Row。

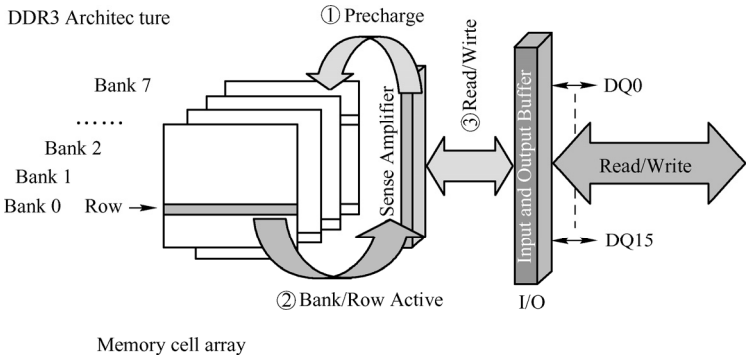


图 7-81 Bank 的激活预充电

DQS 是 DDR 中的重要功能，它主要用来在一个时钟周期内准确地区分出每个传输周期，并便于接收方准确接收数据。每一个芯片都有一个 DQS 信号线，它是双向的，写入时，它用来传送由 CPU 发来的 DQS 信号，读取时，则由芯片生成 DQS 向 CPU 发送。可以说，它就是数据的同步信号。

读取时，DQS 与数据信号同时生成（也是在 CK 与 CK# 的交叉点）。而 DDR 内存中的 CL 也就是从 CAS 发出到 DQS 生成的间隔，DQS 生成时，芯片内部的预取已经完毕了，由于预取的原因，所以实际的数据传出可能会提前于 DQS 发生（数据提前于 DQS 传出）。由于是并行传输，所以 DDR 内存对 t_{AC} 也有一定的要求。对于 DDR266， t_{AC} 的允许范围是 $\pm 0.75ns$ ，对于 DDR333， t_{AC} 则是 $\pm 0.7ns$ ，其中 CL 里包含了一段 DQS 的导入期。

DQS 在读取时与数据同步传输，那么接收时也是以 DQS 的上下沿为准吗？不，以 DQS 的上下沿区分数据周期的危险很大。由于芯片有预取的操作，所以输出时的同步很难控制，只能限制在一定的时间范围内，数据在各 I/O 端口的出现时间可能有快有慢，会与 DQS 有一定的间隔，这就是为什么要有一个 t_{AC} 规定的原因。而在接收方，一切必须保证同步接收，不能有 t_{AC} 之类的偏差。这样，在写入时，芯片不再自己生成 DQS，而以发送方传来的 DQS 为基准，并相应延后一定的时间，在 DQS 的中部为数据周期的选取分割点（在读取时分割点就是上下沿），从这里分隔开两个传输周期。这样做的好处是，由于各数据信号都会有一个逻辑电平保持周期，即使发送时不同步，在 DQS 上下沿时也都处于保持周期中，所以此时数据接收触发的准确性无疑是最高。

写入时，如图 7-82 所示，是以 DQS 的高/低电平期中部为数据周期分割点的，而不是上/下沿，但数据的接收触发仍为 DQS 的上/下沿。

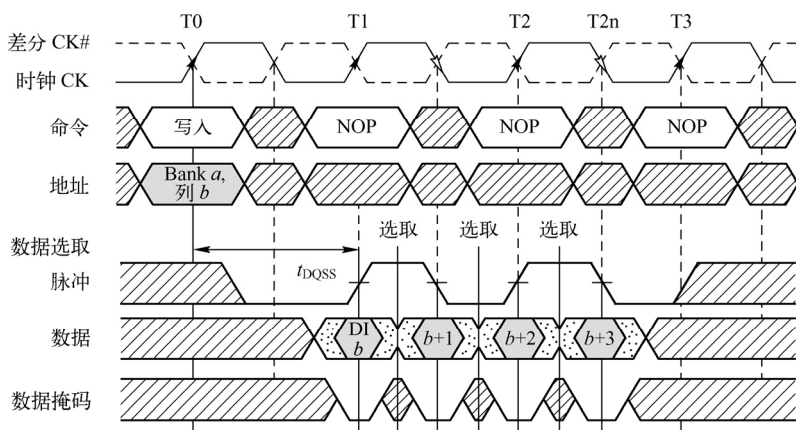


图 7-82 写入操作时序

同样，DDR3 内容容量的计算公式也是：

$$2^{\text{行地址数}} \times 2^{\text{列地址数}} \times \text{Bank 数} \times \text{位宽 (bit)}$$

为便于进行 DDR3 电路的设计，现以 43-46TR16128B-82560BL 为例将 DDR3 引脚归纳如下。

- ① CK、CK#：全局差分时钟输入信号。
- ② CKE：时钟使能信号输入。
- ③ CS#：片选信号输入。

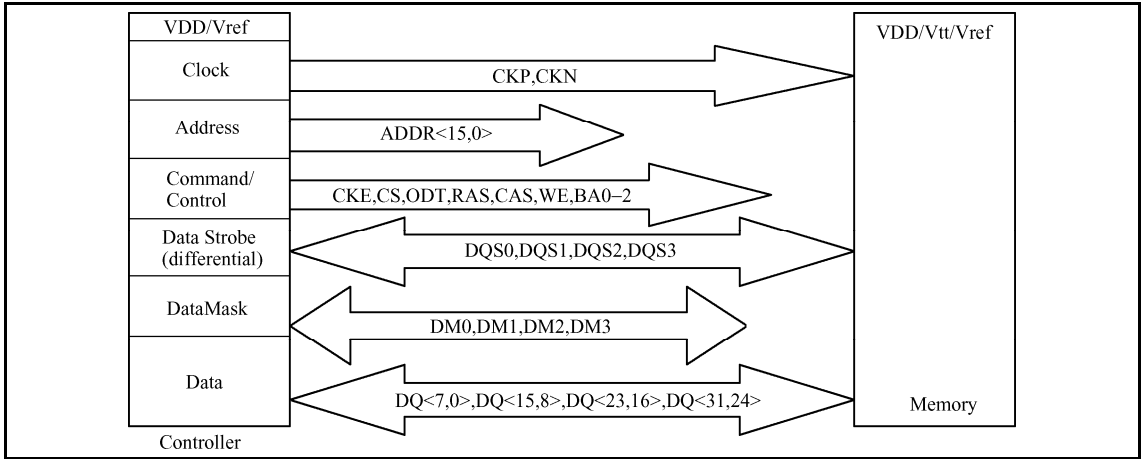
- ④ RAS#：行地址信号，低电平有效。
- ⑤ CAS#：列地址信号，低电平有效。
- ⑥ WE#：写数据使能，低电平有效。
- ⑦ LDM、UDM：数据 mask 信号输入。
- ⑧ A[13:0]：地址信号输入端。
- ⑨ DQ[15:0]：数据信号输入、输出。
- ⑩ DQS/DQS#：差分数据选通信号，与 DQ 一样是双向信号。
- ⑪ NC：空引脚。
- ⑫ DNU：不适用的引脚。
- ⑬ VDDQ：DQ 数据 I/O 口的供电引脚，采用 1.8V 供电。
- ⑭ VDD：器件工作的供电引脚，采用 1.8V 供电。
- ⑮ VSS：器件地。
- ⑯ VREF：SSTL_1.5 参考电压。
- ⑰ ODT：终端匹配电阻控制，适用于 DQ、DQS/DQS#和 DM。
- ⑱ BA[2:0]：Bank 地址。

⑲ TDQS/TDQS#：DDR3 与 DDR2 信号定义中新增加的引脚，TDQS/TDQS#只有在 8bit 的 RAM 上会用到，在 4bit 和 16bit 的 RAM 中不会应用，可以简单地理解为由 DDR3 SDRAM 单向向 CPU 传输的 DQS 信号，将其和 DQS/DQS#、DATA 和 DM 归为一类即可。

⑳ RESET#：DDR3 SDRAM 复位信号。

DDR3 与 DDR2 在信号定义上基本一样，对 DDR3 与 DDR2 进行异同比较^[44]，如表 7-13 所示。从表中可以看出，DDR2 与 DDR3 信号的种类是一样的，但是 DDR3 不再支持单端的 DQS 数据选通信号，DDR3 的数据选通信号全部采用差分数据选通信号；DDR3 供电采用 1.5V，接口电平逻辑满足 SSTL_1.5V，在时序要求上，DDR3 与 DDR2 的 ADDR/CMD/CNTRL 信号与 Clock 信号有严格的时序；DDR3 与 DDR2 的 DQ、DM 信号与 DQS 信号有严格的时序要求；DDR3 对 DQS 与 Clock 没有严格的时序要求，DDR2 对 DQS 与 Clock 有严格的时序要求。

表 7-13 DDR2 和 DDR3 所具有的共有技术要求和专有的技术要求



续表

Technology	DDR2	DDR3
Max Clock Freq. (MHz) /Data rate (Mbps)	533/1066	800/1600
Power Requirement		
VDD (Volts)	1.8+/-0.1	1.5+/-0.075
Vtt (Volts)	0.9+/-0.04	0.75+/-TBD
Vref (Volts)	0.9+/-0.018	0.75+/-0.015
Input Thresholds		
Vih/Vil (Volts)	0.9+/-0.2	0.75+/-0.175
Delay Matching Requirement		
Match ADDR/CMD/CNTRL to Clock tightly	Yes	Yes
Match DQ<7.0>,DM0 to DQS0 tightly	Yes	Yes
Match DQ<15.8>,DM1 to DQS1 tightly	Yes	Yes
Match DQ<22.16>,DM2 to DQS2 tightly	Yes	Yes
Match DQ<31.23>,DM3 to DQS3 tightly	Yes	Yes
Match DQS0-3 to Clock loosely	Yes	Not required

以 ISSI DDR3 43-46TR16128B-82560BL 为例，电路设计如图 7-83 所示。

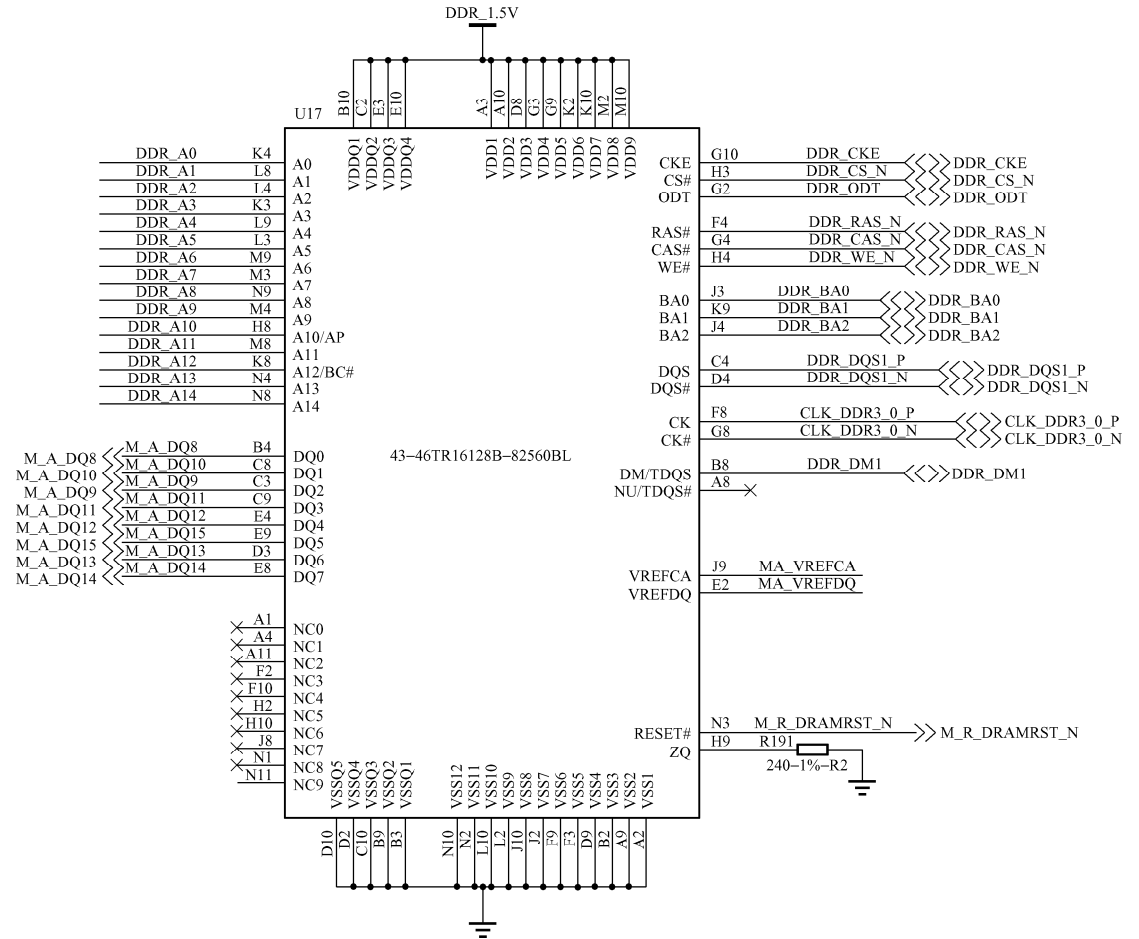


图 7-83 DDR3 43-46TR16128B-82560BL 电路设计

7. DDR4 SDRAM

内存颗粒的演变如图 7-84 所示，可以看出 DDR4 在 2014 年开始崛起，在 2015 年后开始迅速占领市场。DDR4 内存的运行频率将提升至 2133~4266MHz，电压则降至 1.2V、1.1V，生产工艺采用 20nm 级别。三星和海力士已经分别造出了自己的 DDR4 内存条。

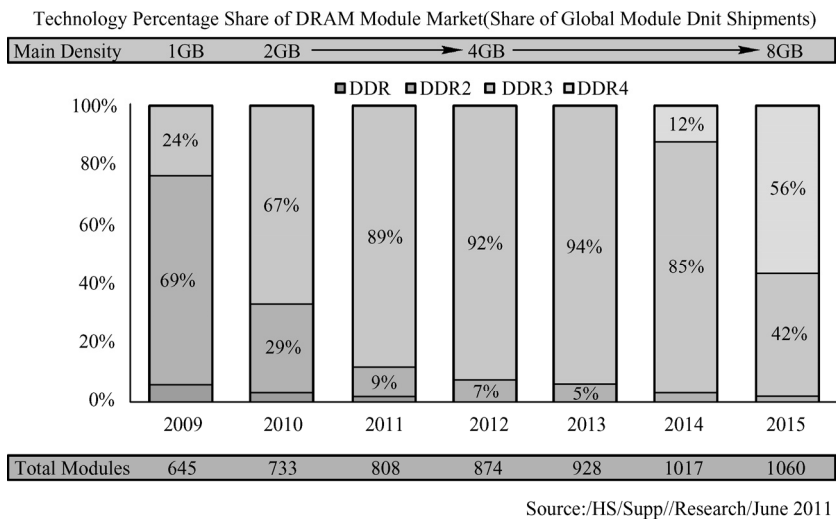


图 7-84 内存颗粒的演变

与 DDR3 SDRAM 相比，以 Samsung 的 K4A4G085WD DDR4 SDRAM 为例，K4A4G085WD 的供电电压为 $V_{DDQ}=1.2V$ (1.14~1.26V)；根据其工作频率的不同，可以分为 DDR4-1600、DDR4-1866、DDR4-2133、DDR4-2400；对于 x4/x8 数据位宽的 DDR4 SDRAM，采用 78 balls FBGA 封装，与 DDR3 相比引脚数没发生改变；接口引脚增加了，即 ACT_n 命令激活输入信号，BG0-BG1 Bank 选择输入信号（用于选择哪个 Bank 被激活、读、写或预充电），PAR 输入命令和地址信号的奇偶校验，ALERT_n 报警的输入和输出信号（用于命令、地址信号奇偶校验的标志位输出或连接测试模式下的信号输入接口），VPP（用于 DRAM 激活的 2.5V 供电引脚，电压范围是 2.375~2.75V）。DDR4 与 DDR3 新功能特性的对比如图 7-85 所示，详细内容可以参考 JESD79-4 DDR4 SDRAM 及 K4A4G085WD DDR4 SDRAM 的数据手册。

	Item	DDR3	DDR4	Note
Basic	Writhe leveling	V	V	
	ZQ cal	V	V	
	Power down	V	V	
	Self refresh	V	V	
	RESET	V	V	
	Burst ordering	V	V	
	Burst chop	V	V	
New	Data masking	V	V	
	CMD encoding		V	Keep pin count
	CAL		V	Power
	Preamble training		V	Speed
	Internal DQ Vref		V	Speed/Power
	Low Power Array Self Refresh		V	Power
	Temperature Controlled Auto Refresh		V	Power
	CA parity check		V	Reliability

图 7-85 DDR4 与 DDR3 相比新增加的特性

	Item	DDR3	DDR4	Note
New	CRC		V	Reliability
	DBI		V	Power
	Max power saving		V	Power
	2tCK preamble		V	Speed
	Gear down mode		V	Speed
	Per DRAM addressability		V	Power/Speed
	MPR readout		V	Reliability
	ODT control		V	Speed
	Fine granularity refresh		V	Power/Efficiency
	Boundary scan		V	Reliability
	Single load stacking		V	Power/Speed
	Fast SR exit		V	Efficiency
	And more...			

图 7-85 DDR4 与 DDR3 相比新增加的特性（续）

7.2.11 总线、逻辑电平与接口

I2C 和 SPI 总线接口在 7.2.10 节的 EEPROM 中已做了详细的论述，为便于对比，下面将它们的总线接口关键信息进行摘录。

I2C（Inter—Integrated Circuit）总线是由 PHILIPS 公司开发的两线式串行总线，用于连接微控制器及其外围设备。它只要求两条总线线路：一条串行数据线 SDA，一条串行时钟线 SCL。

SPI（Serial Peripheral Interface——串行外设接口）总线系统是一种同步串行外设接口，它可以使 MCU 与各种外围设备以串行方式进行通信以交换信息。SPI 总线接口一般使用 4 条线：串行时钟线（SCLK）、主机输入/从机输出数据线 MISO、主机输出/从机输入数据线 MOSI 和低电平有效的从机选择线 NSS（有的 SPI 接口芯片带有中断信号线 INT，有的 SPI 接口芯片没有主机输出/从机输入数据线 MOSI）。

I2S（Inter—IC Sound）总线是飞利浦公司为数字音频设备之间的音频数据传输而制定的一种总线标准，该总线专用于音频设备之间的数据传输，广泛应用于各种多媒体系统。它采用了沿独立的导线传输时钟与数据信号的设计，通过将数据和时钟信号分离，避免了因时差诱发的失真。I2S 有 3 个主要信号：串行时钟 SCLK、帧时钟 LRCK 和串行数据 SDATA。串行时钟 SCLK 也叫位时钟（BCLK），即对应数字音频的每一位数据，SCLK 都有 1 个脉冲。SCLK 的频率=2×采样频率×采样位数；帧时钟 LRCK 也称 WS，用于切换左右声道的数据。LRCK 为“1”表示正在传输的是右声道的数据，为“0”则表示正在传输的是左声道的数据。LRCK 的频率等于采样频率；串行数据 SDATA 就是用二进制补码表示的音频数据。

CAN 是控制器局域网络（Controller Area Network，CAN）的简称，是由研发和生产汽车电子产品著称的德国 BOSCH 公司开发的，并最终成为国际标准（ISO 11898），是国际上应用最广泛的现场总线之一。CAN 总线结构简单，只有 2 根线与外部相连，并且内部集成了错误探测和管理模块。CAN 总线的特点：①数据通信没有主从之分，任意一个节点可以向任何其他（一个或多个）节点发起数据通信，靠各个节点信息优先级的先后顺序来决定通信次序，高优先级节点信息在 134μs 通信；②多个节点同时发起通信时，优先级低的避让优先级高的，不会对通信线路造成拥塞；③通信距离最远可达 10km（速率低于 5Kbps），速率可达到 1Mbps

(通信距离小于 40m); ④CAN 总线传输介质可以是双绞线和同轴电缆。CAN 总线适用于大量数据短距离通信或长距离小数据量通信, 实时性要求比较高, 在多主多从或各个节点通信优先级对等的现场中使用。

MII、GMII、RGMII、SGMII 是用于网络的 MAC (Media Address Access) 和 PHY (Physical) 连接的接口。在 100Mbps 网络中 MII 得到了广泛应用; RGMII 是 GMII 的接口优化版本, 应用于千兆以太网的 MAC 和 PHY 接口中; SGMII 是 PHY 与 MAC 之间的接口, 类似于 GMII 和 RGMII, 只不过 GMII 和 RGMII 都是并行的, 而且需要随路时钟, PCB 布线相对麻烦, 而且不适应背板应用, 而 SGMII 是串行的, 不需要提供另外的时钟, MAC 和 PHY 都只需要使用 CDR 去恢复时钟, 另外 SGMII 是有 8B/10b 编码的, 速率是 1.25Gbps。

在电路进行互连时需要满足一定的电平门限逻辑关系, TTL 和 CMOS 逻辑电平被广泛应用, 是电路设计中常见的两种电平, LVTTTL 和 LVCMOS 是其对应的低电平版本, 其他的电平大多都是从 TTL 和 CMOS 电平中分出来的。TTL 器件和 CMOS 器件的逻辑电平的一些基本概念包括输入高电平 (V_{IH})、输入低电平 (V_{IL})、输出高电平 (V_{OH})、输出低电平 (V_{OL})、阈值电平 (V_T) 和 I_{OH} (输出高电平负载电流)、 I_{OL} (输出低电平负载电流)、 I_{IH} (输入高电平电流) 和 I_{IL} (输入低电平电流)。

① 输入高电平 (V_{IH}): 保证逻辑门的输入为高电平时所允许的最小输入高电平, 当输入电平高于 V_{IH} 时, 则认为输入电平为高电平。

② 输入低电平 (V_{IL}): 保证逻辑门的输入为低电平时所允许的最大输入低电平, 当输入电平低于 V_{IL} 时, 则认为输入电平为低电平。

③ 输出高电平 (V_{OH}): 保证逻辑门的输出为高电平时的输出电平的最小值, 逻辑门的输出为高电平时的电平值都必须大于此 V_{OH} 。

④ 输出低电平 (V_{OL}): 保证逻辑门的输出为低电平时的输出电平的最大值, 逻辑门的输出为低电平时的电平值都必须小于此 V_{OL} 。

⑤ 阈值电平 (V_T): 数字电路芯片都存在一个阈值电平, 就是电路刚刚勉强能翻转动作时的电平。它是一个介于 V_{IL} 和 V_{IH} 之间的电压值, CMOS 电路的阈值电平基本上是二分之一的电源电压值, 但要保证稳定的输出, 则必须要求输入高电平 $> V_{IH}$, 输入低电平 $< V_{IL}$, 而如果输入电平在阈值上下, 也就是在 $V_{IL} \sim V_{IH}$ 这个区域, 则电路的输出会处于不稳定状态。

⑥ I_{OH} : 逻辑门输出为高电平时的负载电流 (为拉电流)。

⑦ I_{OL} : 逻辑门输出为低电平时的负载电流 (为灌电流)。

⑧ I_{IH} : 逻辑门输入为高电平时的电流 (为灌电流)。

⑨ I_{IL} : 逻辑门输入为低电平时的电流 (为拉电流)。

对于一般的逻辑电平, 以上参数的关系如下:

$$V_{OH} > V_{IH} > V_T > V_{IL} > V_{OL}$$

门电路输出极在集成单元内部接负载电阻而直接引出作为输出端, 这种形式的门称为开路门。开路门的 TTL、CMOS 和 ECL 门分别称为集电极开路 (OC)、漏极开路 (OD) 和发射极开路 (OE), 使用时应审查是否接上拉电阻 (OC、OD 门) 或下拉电阻 (OE 门), 以及电阻的阻值是否合适。对于集电极开路 (OC) 门, 其上拉电阻阻值 R_L 应满足下面的条件:

$$\textcircled{1} R_L < (V_{CC} - V_{OH}) / (n * I_{OH} + m * I_{IH})$$

$$\textcircled{2} R_L > (V_{CC} - V_{OL}) / (I_{OL} + m * I_{IL})$$

式中， n 为线与的开路门数； m 为被驱动的输入端数。

除 TTL、CMOS 及其低压版本外，常用的逻辑电平还有 ECL、PECL、GTL、RS232、RS422/485 和 LVDS 等。其中 TTL 和 CMOS 的逻辑电平按典型电压可以分为四类：5V 系列（5V TTL 和 5V CMOS）、3.3V 系列、2.5V 系列和 1.8V 系列。5.5V TTL 和 5V CMOS 逻辑电平是通用的逻辑电平；3.3V 及以下的逻辑电平被称为低电压逻辑电平，常用的为 LVTTL 电平；低电压的逻辑电平还有 2.5V 和 1.8V 两种；ECL/PECL 和 LVDS 是差分输入/输出；RS422/485 和 RS232 是串口的接口标准，RS422/485 是差分输入/输出，RS232 是单端输入/输出。

TTL 和 CMOS 的逻辑电平关系如图 7-86 所示，该图为 5V TTL 逻辑电平、5V CMOS 逻辑电平、LVTTL 逻辑电平和 LVCMOS 逻辑电平的示意图。

5V TTL 逻辑电平和 5V CMOS 逻辑电平是很通用的逻辑电平，注意它们的输入/输出电平差别较大，在互连时要特别注意。5V CMOS 器件的逻辑电平参数与供电电压有一定的关系，一般情况下， $V_{OH} \geq V_{CC} - 0.2V$ ， $V_{IH} \geq 0.7V_{CC}$ ； $V_{OL} \leq 0.1V$ ， $V_{IL} \leq 0.3V_{CC}$ ；噪声容限较 TTL 电平高。

JEDEC 组织在定义 3.3V 的逻辑电平标准时，定义了 LVTTL 和 LVCMOS 逻辑电平标准。LVTTL 逻辑电平标准的输入/输出电平与 5V TTL 逻辑电平很接近，从而给它们之间的互连带来了方便。LVTTL 逻辑电平定义的工作范围是 3.0~3.6V。

LVCMOS 逻辑电平标准是从 5V CMOS 逻辑电平移植过来的，因此它的 V_{IH} 、 V_{IL} 和 V_{OH} 、 V_{OL} 与工作电压有关。LVCMOS 逻辑电平定义的工作范围是 2.7~3.6V。

5V 的 CMOS 逻辑器件工作在 3.3V 时，其输入/输出逻辑电平即为 LVCMOS 的逻辑电平，它的 V_{IH} 为 $0.7 \times V_{CC} = 2.31V$ ，由于此电平与 LVTTL 的 V_{OH} （2.4V）之间的电压差太小，使逻辑器件工作不稳定性增加，所以一般不推荐使用 5V CMOS 器件工作于 3.3V 电压的工作方式。由于相同的原因，使用 LVCMOS 输入电平参数的 3.3V 逻辑器件也很少。

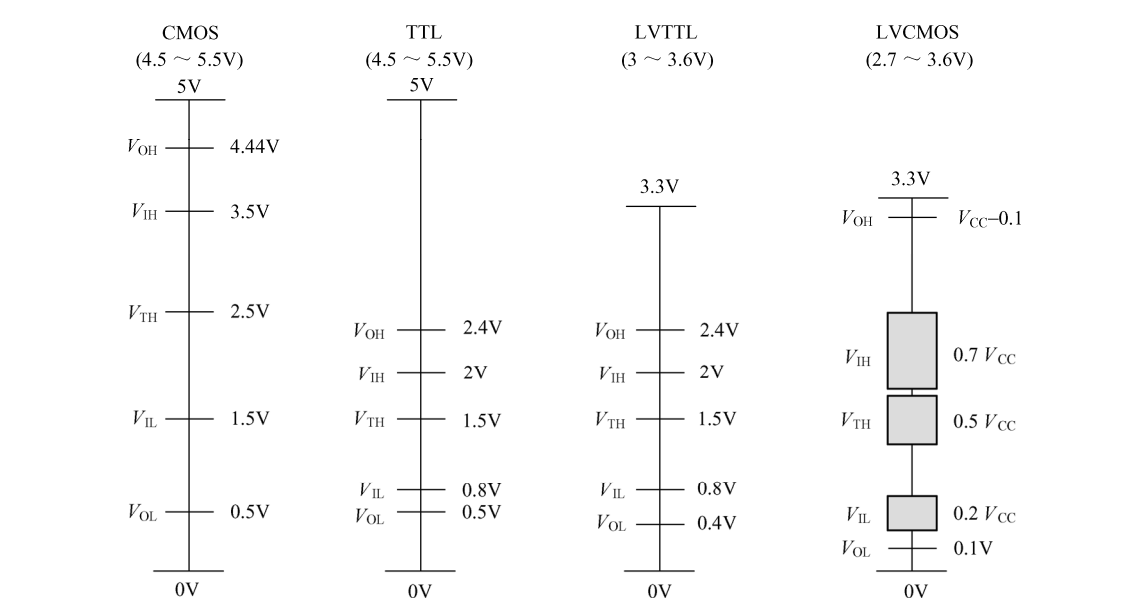


图 7-86 TTL 和 CMOS 的逻辑电平关系

JEDEC 组织为了加强在 3.3V 上各种逻辑器件的互连和 3.3V 与 5V 器件的互连，在参考

LVC MOS 和 LV TTL 逻辑电平的基础上, 又定义了一种标准, 其名称即为 3.3V 逻辑电平标准, 其参数如图 7-87 所示。

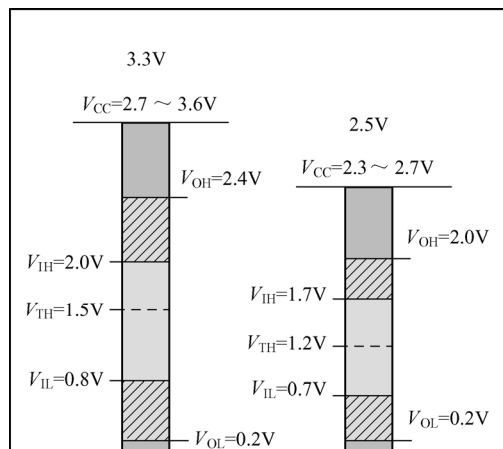


图 7-87 低电压逻辑电平标准

从图 7-87 可以看出, 3.3V 逻辑电平标准的参数和 LV TTL 逻辑电平标准的参数差别不大, 只是它定义的 V_{OL} 可以很低 (0.2V), 另外, 它定义了其 V_{OH} 最高可以到 $V_{CC}-0.2V$, 因此 3.3V 逻辑电平标准可以包容 LVC MOS 的输出电平。在实际使用中, 对 LV TTL 标准和 3.3V 逻辑电平标准并不太区分, 某些地方用 LV TTL 电平标准来替代 3.3V 逻辑电平标准一般是可以的。

JEDEC 组织还定义了 2.5V 逻辑电平标准, 其他低电压的逻辑电平还有 1.8V、1.5V 和 1.2V。

为进行电路的正确互连, 需要确认互连部分的逻辑电平, 互连部分的逻辑电平需要满足如下条件。

- ① 高电平逻辑: 发送 IC 的 V_{OH} 大于接收 IC 的 V_{IH} , 且具备一定的噪声容限。
- ② 低电平逻辑: 发送 IC 的 V_{OL} 小于接收 IC 的 V_{IL} , 且具备一定的噪声容限。

对于满足以上条件的 IC 可直接进行互连; 当互连的 IC 之间不满足以上条件时, 不能直接进行互连, 需要有中间转换电路, 常用的方法有: 使用 OC (集电极开路) 门或 OD (漏极开路) 实现逻辑电平的转换, 如何正确使用 BJT 和 MOSFET 在本章的 BJT 和 MOSFET 部分已做了详细的论述; 使用电平转换芯片, 如 TI 公司的 74***系列 IC; 对于高电平驱动低电平的情况, 可以串接电阻, 阻值由驱动电流和电阻的压降共同决定。

在电路设计中常用的接口包括 AC24V、AC110V-220V、AV 视频接口、CAN 总线接口、DC12V 接口、DC24V 接口、DC48V 接口、DC110V 接口、Displaport 接口、DVI 接口、HDMI 接口、LVDS 接口、PS2 接口、P-SCAN 接口、RJ11 接口、RS232 接口、RS485 接口、S_Video 接口、SCART 接口、USB3.0 接口、USB Device 接口、USB HOST 接口、VGA 接口、差分时钟接口、耳机接口和 PCIE 接口等。常用到的总线通信协议有 I2C、I2S、SPI 总线、CAN 总线、MII、GMII、RGMII 和 SGMII 等。本部分就常用到的接口满足 EMC 特性的电路进行论述。

1. AC24V 接口设计电路

此电路涉及接口的浪涌防护、静电防护和 EFT (Electrical Fast Transient, 一种抗瞬态脉冲

骚扰干扰的技术), 可根据测试项目选择使用, 如图 7-88 所示。

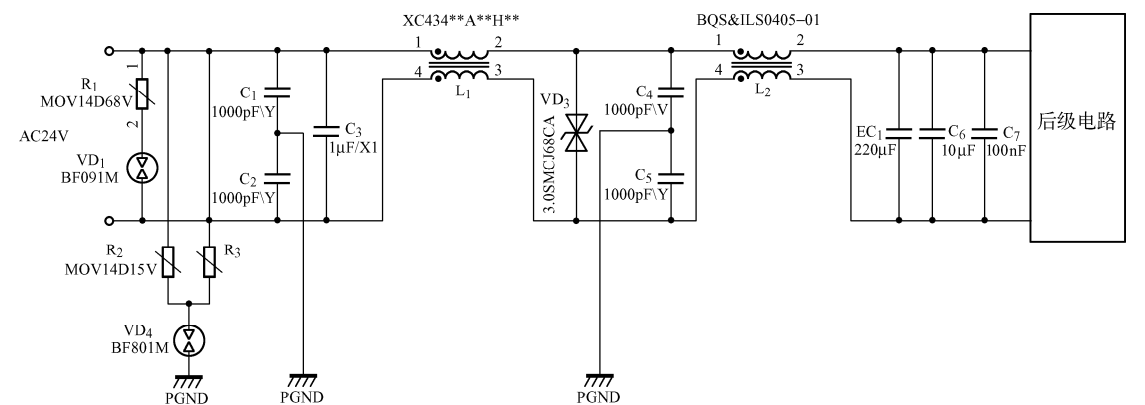


图 7-88 AC24V 接口设计电路

其中浪涌防护及静电防护主要采用 TVS, 具体型号需要根据抑制噪声的级别来确定; 共模电感用于滤除共模噪声, 当有共模电流流经线圈时, 由于共模电流的同向性, 会在线圈内产生同向的磁场而增大线圈的感抗, 使得线圈表现为高阻抗, 产生较强的阻尼效果, 以此衰减共模电流, 达到滤波的目的。共模扼流圈在选型时要注意电流参数的选择。

2. AC110V-220V 接口设计电路

电路如图 7-89 所示, 图中共模扼流圈在选用时要注意产品的工作电流; L_2/C_4 (XY 电容) 需要根据 EFT 测试等级进行选择; VD_1 、 VD_2 用来对浪涌进行防护。

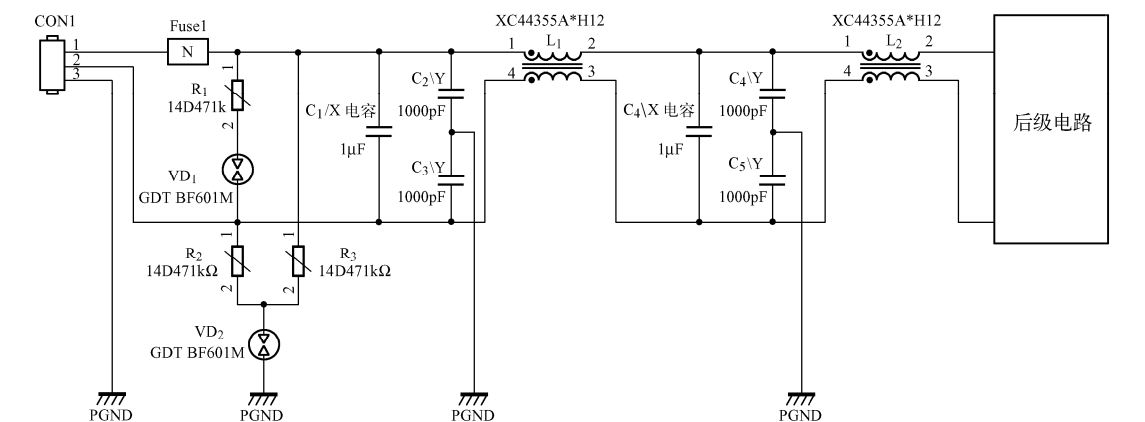


图 7-89 AC110V-220V 接口设计电路

3. AV 接口设计电路

AV 接口又称 RCA, 是指目前一些车载 GPS 设备, 通过自身携带的音、视频端子, 连接 AV 线路将自身的数据图像声音等输出到其他显示及视听设备上, 如外接显示器或耳机等。AV 接口主要包含 AV 复合端子、S-VIDEO 端子和耳机接口等。它可以算是 TV 的改进型接口, 在外观方面有了很大不同。AV 接口分为 3 条线, 分别为音频接口 (红色与白色线, 组成左右声道) 和视频接口 (黄色)。此电路是 AV 耳机接口的形式, 如图 7-90 所示。

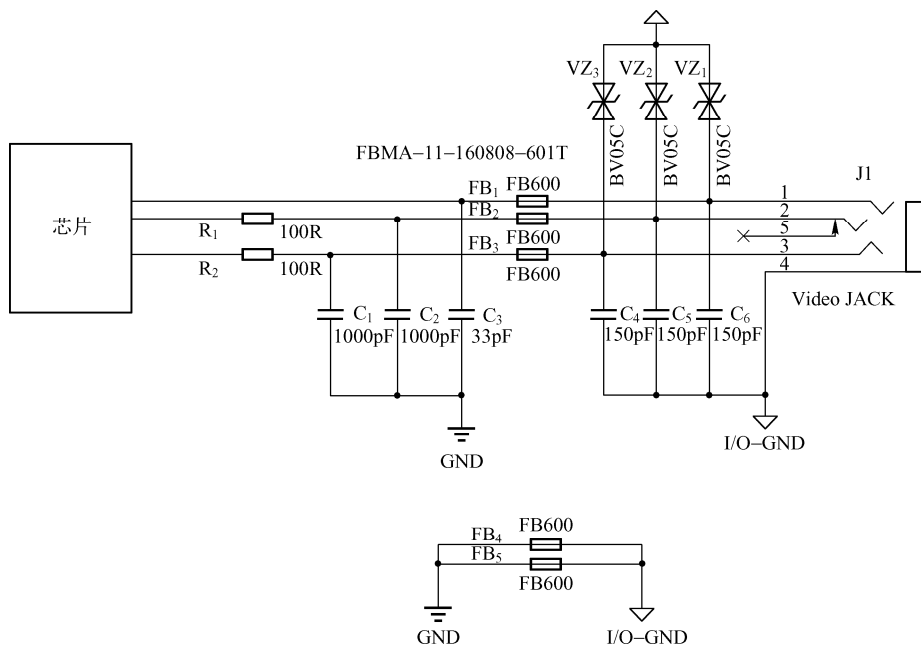


图 7-90 AV 接口设计电路

在进行电路设计时，将接口处进行分地处理，然后再采用电阻或磁珠将分割的地互连；为减小 TVS 占用的 PCB 面积，在器件选型时，TVS 防护可以采用阵列式。

4. CAN 接口设计电路

对 CAN 总线的概念，前文已做了较详细的论述，此 CAN 总线电路能够有效地防护静电、滤除高频噪声及共模噪声，其接口设计电路如图 7-91 所示。

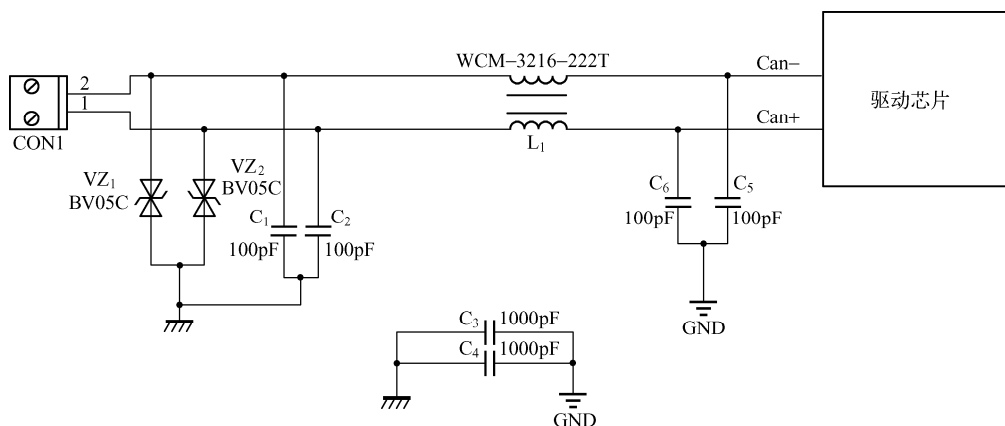


图 7-91 CAN 接口设计电路

5. DC12V 接口设计电路

DC12V 供电电路是电子系统设计中经常用到的电路，在设计该电路时，共模扼流圈的选型要注意电流参数； $R_1+R_2+VD_2$ 为主要的浪涌共模防护， VD_2 的选型需要考虑绝缘阻抗测试电压； C_1 、 C_2 、 C_4 、 C_5 为 Y 防护电容； C_3 为 X 防护电容；此电路涉及接口的浪涌防护、

静电防护、EFT、传导和辐射，可以根据测试的项目进行适当的修改。其电路设计如图 7-92 所示。

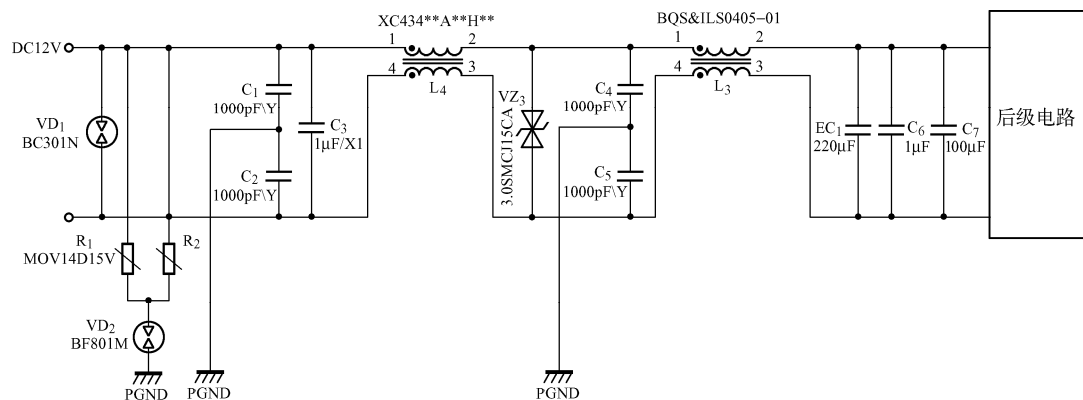


图 7-92 DC12V 接口设计电路

6. DC24V 接口设计电路

DC24V 供电电路是电子系统设计中经常用到的电路，在设计该电路时，共模扼流圈的选型要注意电流参数； $R_1+R_2+VD_2$ 为主要的浪涌共模防护， VD_2 的选型需要考虑绝缘阻抗测试电压； C_1 、 C_2 、 C_4 、 C_5 为 Y 防护电容； C_3 为 X 防护电容；此电路涉及接口的浪涌防护、静电防护、EFT、传导和辐射，可以根据测试的项目进行适当的修改。其电路设计如图 7-93 所示。

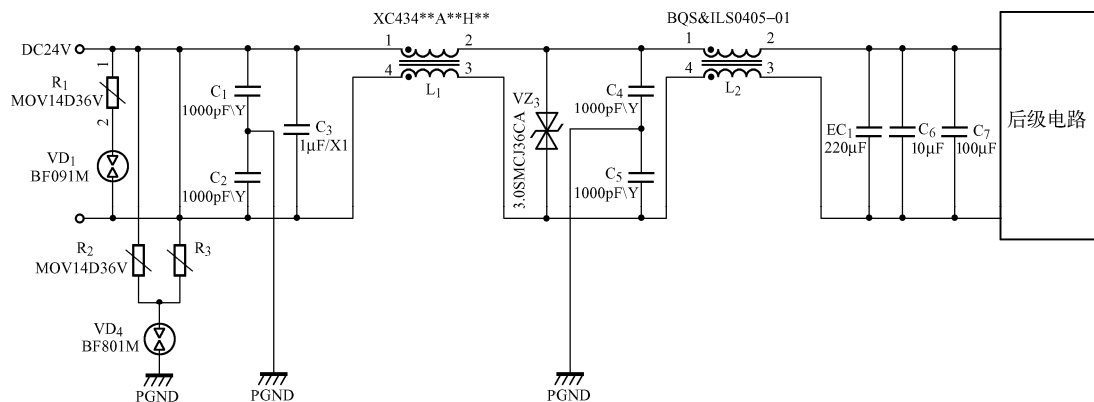


图 7-93 DC24V 接口设计电路

7. DC48V EMC 设计电路

DC48V 供电电路是电子系统设计中经常用到的电路，在设计该电路时，共模扼流圈的选型要注意电流参数； $R_1+R_2+VD_2$ 为主要的浪涌共模防护， VD_2 的选型需要考虑绝缘阻抗测试电压； C_1 、 C_2 、 C_4 、 C_5 为 Y 防护电容； C_3 为 X 防护电容；此电路涉及接口的浪涌防护、静电防护、EFT、传导和辐射，可以根据测试的项目进行适当的修改。其电路设计如图 7-94 所示。

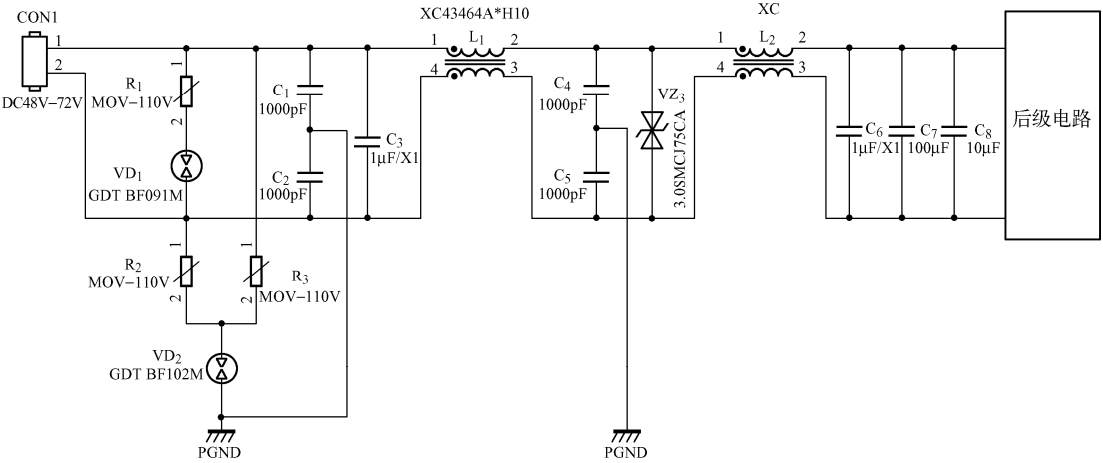


图 7-94 DC48V 接口设计电路

8. DC110V 接口设计电路

共模扼流圈的选型要注意电流参数，此电路涉及接口的浪涌防护、静电防护、EFT、传导和辐射，可以根据测试的项目进行适当的修改。其电路设计如图 7-95 所示。

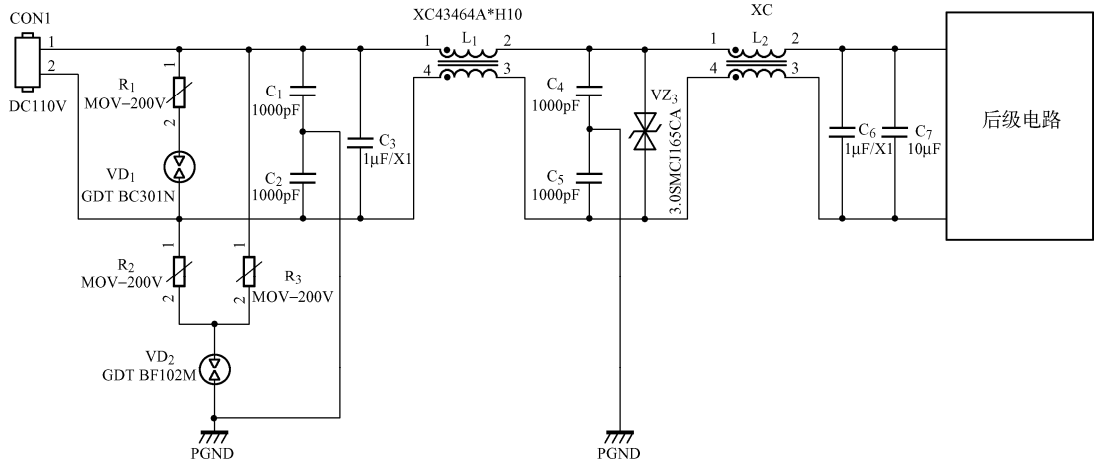


图 7-95 DC110V 接口设计电路

9. DisplayPort 接口设计电路

DisplayPort 也是一种高清数字显示接口标准，可以连接计算机和显示器，也可以连接计算机和家庭影院。作为 HDMI 和 UDI 的竞争对手和 DVI 的潜在继任者，DisplayPort 赢得了 AMD、Intel、NVIDIA、戴尔、惠普、联想、飞利浦和三星等业界巨头的支持，而且它是免费使用的，不像 HDMI 那样需要支付高额的授权费。

DisplayPort 定义了两种接头，分别是全尺寸（Full Size）和迷你（Mini）。两种接头都有 20 针，但迷你接头的宽度大约是全尺寸的一半，它们的尺寸分别为 7.5mm×4.5mm 与 16mm×4.8mm，DisplayPort 接口图示如图 7-96 所示。



图 7-96 DisplayPort 接口图示

DisplayPort 具备高带宽、最大程度整合周边设备和内外接口通吃的特点。

① 高带宽：DisplayPort 问世之初，它可提供的带宽就高达 10.8Gbps。即便最新发布的 HDMI1.3 所提供的带宽（10.2Gbps）也稍逊于 DisplayPort 1.0。DisplayPort 可支持 WQXGA+（2560×1600）、QXGA（2048×1536）等分辨率及 30/36bit（每原色 10/12bit）的色深，充足的带宽保证了今后大尺寸显示设备对更高分辨率的需求。

② 最大程度整合周边设备：和 HDMI 一样，DisplayPort 也允许音频与视频信号共用一条线缆传输，支持多种高质量数字音频。但比 HDMI 更先进的是，DisplayPort 在一条线缆上还可实现更多的功能。在四条主传输通道之外，DisplayPort 还提供了一条功能强大的辅助通道。该辅助通道的传输带宽为 1Mbps，最高延迟仅为 500μs，可以直接作为语音、视频等低带宽数据的传输通道，另外也可用于无延迟的游戏控制。可见，DisplayPort 可以实现对周边设备最大程度的整合和控制。

③ 内外接口通吃：DisplayPort 的外接型接头有两种：一种是标准型，类似 USB 和 HDMI 等接头；另一种是低矮型，主要针对连接面积有限的应用，如超薄笔记型电脑。两种接头的最长外接距离都可以达到 15m，传输距离要强于 HDMI 接口，并且接头和接线的相关规格已为日后升级做好了准备，即便未来 DisplayPort 采用新的 2X 速率标准（21.6Gbps），接头和接线也不必重新进行设计。除实现设备与设备之间的连接外，DisplayPort 还可用作设备内部的接口，甚至是芯片与芯片之间的数据接口。例如，DisplayPort 就“图谋”取代 LCD 中液晶面板与驱动电路板之间的主流接口——LVDS（Low Voltage Differential Signaling，低压差分信号）接口的位置。DisplayPort 的内接型接头仅有 26.3mm 宽、1.1mm 高，比 LVDS 接口小 30%，但传输率却是 LVDS 的 3.8 倍。

DisplayPort 接口设计电路如图 7-97 所示。在该接口电路中，VD₁、VD₂ 为静电防护器件；L₁、L₂、L₃、L₄ 为共模电感，主要用来滤除 EMI 噪声；FB1、FB2、FB3、FB4、FB5 在 PCB Layout 时，磁珠要尽量靠近 Connector 放置。

10. DVI 接口设计电路

DVI（Digital Visual Interface）即数字视频接口。它是 1999 年由 Silicon Image、Intel（英特尔）、Compaq（康柏）、IBM、HP（惠普）、NEC 和 Fujitsu（富士通）等公司共同组成的 DDWG（Digital Display Working Group，数字显示工作组）推出的接口标准，DVI 连接线如图 7-98 所示。

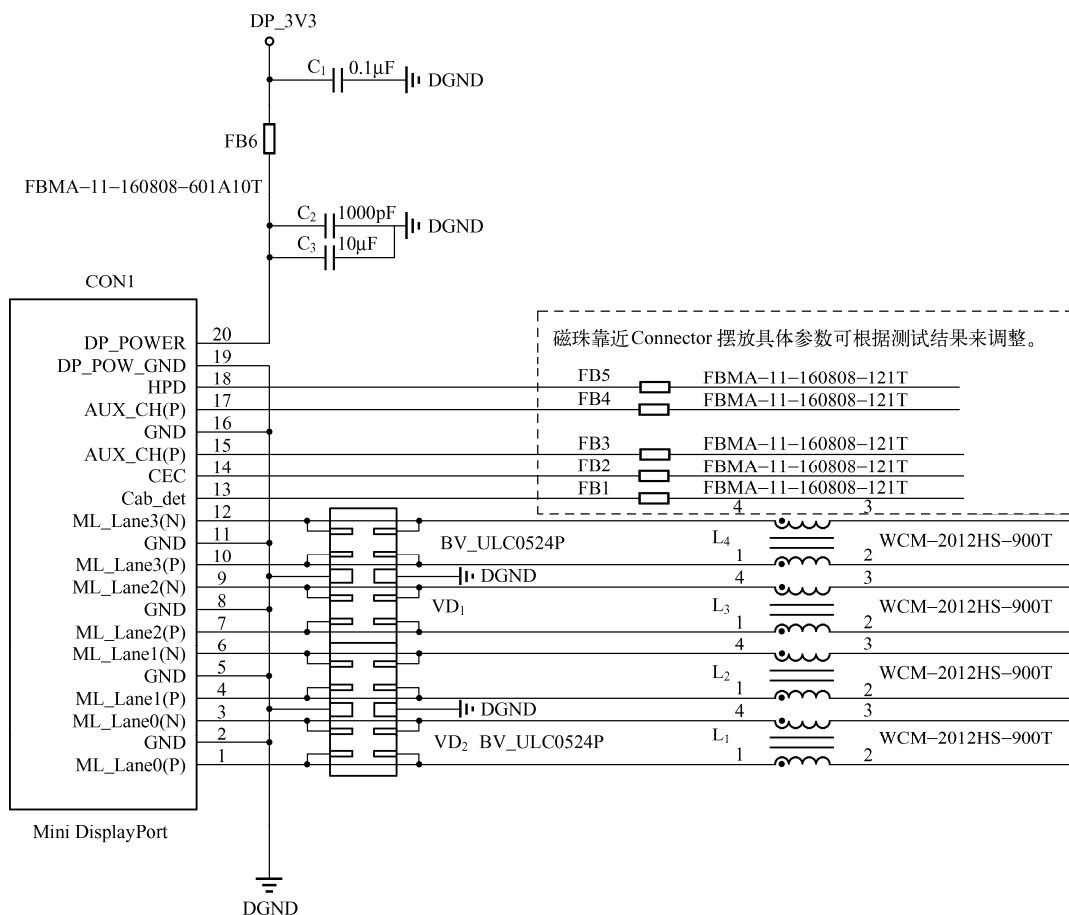


图 7-97 Mini DisplayPort 接口设计电路



图 7-98 DVI 连接线

DVI 存在很多标准，一共分为 5 种。其中 DVI-D 和 DVI-I 分为“双通道”和“单通道”两种类型，我们平时见到的都是单通道版的，双通道版的成本很高，因此只有部分专业设备才具备，普通消费者很难见到。DVI 接口可以分为以下几类。

- ① DVI-I 双通道：数字/模拟，可转换 VGA；
- ② DVI-I 单通道：数字/模拟，可转换 VGA；
- ③ DVI-D 双通道：数字，不可转换 VGA；
- ④ DVI-D 单通道：数字，不可转换 VGA；
- ⑤ DVI-A：模拟，已废弃。

DVI 接口电路如图 7-99 所示。

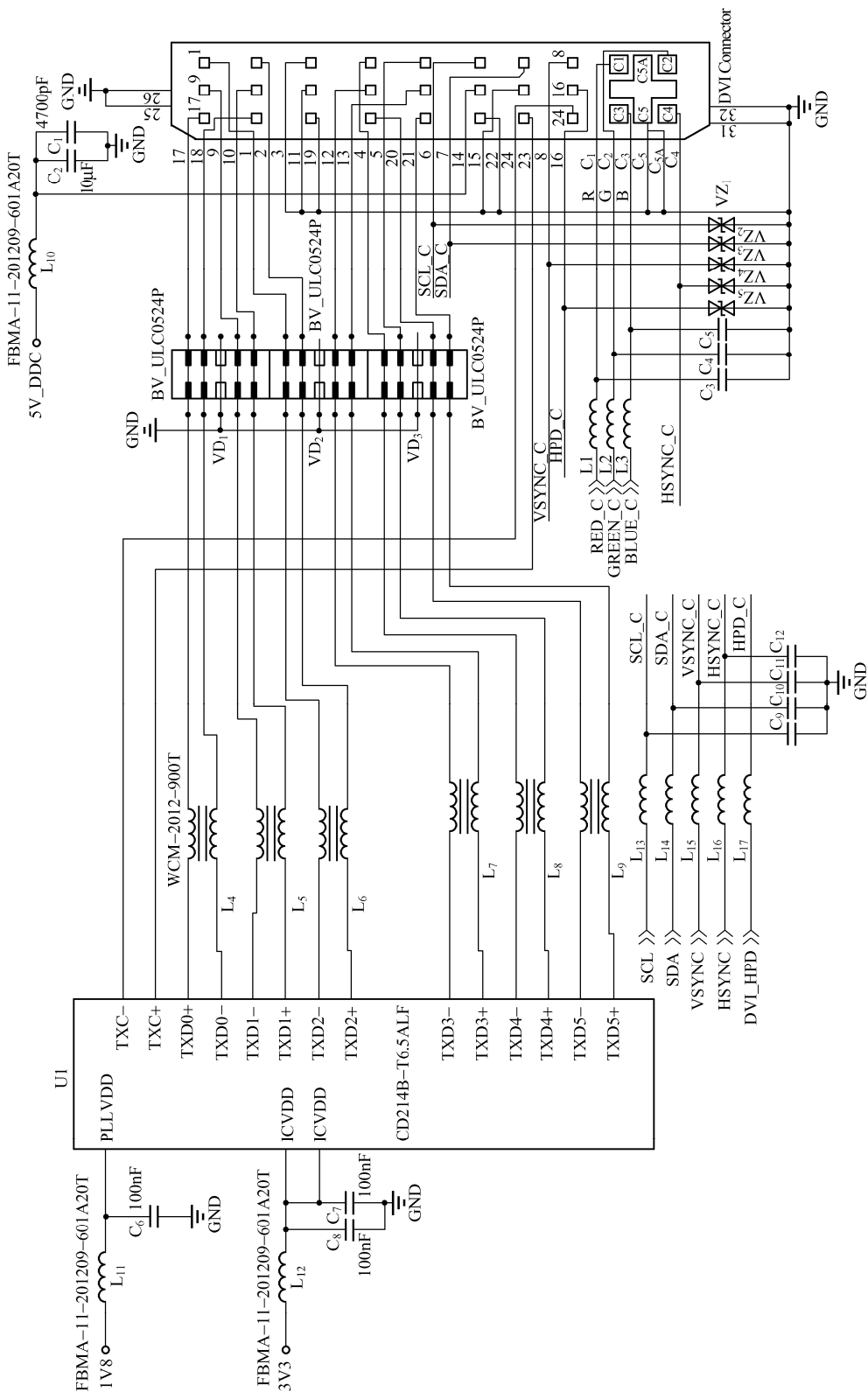


图 7-99 DVI 接口电路

11. HDMI 接口设计电路

高清晰度多媒体接口 HDMI 是一种数字化视频/音频接口技术，是适合影像传输的专用型数字化接口，它可同时传送音频和影像信号，最高数据传输速度为 5Gbps，同时无须在信号传送前进行数/模或模/数转换。

HDMI 接口分为 HDMI A Type、HDMI B Type、HDMI C Type 和 HDMI D Type，其尺寸规格如图 7-100 所示。

分类	pin 数	尺寸
HDMI A Type	19	4.45mm×13.9mm
HDMI B Type	29	4.45mm×21.2mm
HDMI C Type	19	2.42mm×10.42mm
HDMI D Type	19	2.8mm×6.4mm

图 7-100 HDMI 接口类别分类

HDMI A Type: 应用于 HDMI1.0 版本，总共有 19pin，规格为 4.45 mm × 13.9 mm，为最常见的 HDMI 接头规格，向下兼容 DVI Single-Link 传输。在 HDMI 1.2a 之前，最大能传输 165MHz 的 TMDS，因此最大传输规格只能为 1600×1200（TMDS 162.0 MHz）。HDMI A Type 接口引脚定义如表 7-14 所示。

表 7-14 HDMI A Type 接口引脚定义

pin	Signal Assignment	pin	Signal Assignment
1	TMDS Data2+	2	TMDS Data2Shield
3	TMDS Data2-	4	TMDS Data1+
5	TMDS Data1Shield	6	TMDS Data1-
7	TMDS Data0+	8	TMDS Data0 Shield
9	TMDS Data0-	10	TMDS Clock+
11	TMDS Clock Shield	12	TMDS Clock-
13	CEC	14	Utility
15	SCL	16	SDA
17	DDC/CEC Ground	18	+5V Power
19	Hot Plug Detect		

HDMI B Type: 总共有 29pin，可传输 HDMI A type 两倍的 TMDS 资料量，相对等于 DVI Dual-Link 传输，用于高分辨率传输（WQXGA 2560×1600 以上）。因为 HDMI A type 只有 Single-Link 的 TMDS 传输，所以如果要传输 HDMI B type 的信号，则必须要两倍的传输效率，这会造成 TMDS 的 Tx、Rx 的工作频率必须提高至 270MHz 以上。而在 HDMI 1.3 IC 出现之前，市面上大部分的 TMDS Tx、Rx 只能稳定在 165MHz 以下工作。HDMI B Type 接口引脚定义如表 7-15 所示。

表 7-15 HDMI B Type 接口引脚定义

pin	Signal Assignment	pin	Signal Assignment
1	TMDS Data2+	2	TMDS Data2 Shield
3	TMDS Data2-	4	TMDS Data1 +
5	TMDS Data1 Shield	6	TMDS Data1 -
7	TMDS Data0+	8	TMDS Data0 Shield
9	TMDS Data0-	10	TMDS Clock+
11	TMDS Clock Shield	12	TMDS Clock-
13	TMDS Data5+	14	TMDS Data5 Shield
15	TMDS Data5-	16	TMDS Data4+
17	TMDS Data4 Shield	18	TMDS Data4-
19	TMDS Data3+	20	TMDS Data3 Shield
21	TMDS Data3-	22	CEC
23	Reserved/NC	24	Reserved/NC
25	SCL	26	SDA
27	DDC/CEC Ground	28	5V_Power
29	Hot Plug Detect		

HDMI C Type: 总共有 19pin，是缩小版的 HDMI A type，但引脚定义有所改变。它主要用在便携式装置上，如 DV、数码相机和便携式多媒体播放机等。SONY HDR-DR5E DV 利用此规格接头作为影像输出接口。HDMI C Type 接口引脚定义如表 7-16 所示。

表 7-16 HDMI C Type 接口引脚定义

pin	Signal Assignment	pin	Signal Assignment
1	TMDS Data2 Shield	2	TMDS Data2+
3	TMDS Data2-	4	TMDS Data1 Shield
5	TMDS Data1 +	6	TMDS Data1 -
7	TMDS Data0 Shield	8	TMDS Data0+
9	TMDS Data0-	10	TMDS Clock Shield
11	TMDS Clock+	12	TMDS Clock-
13	DDC/CEC Ground	14	CEC
15	SCL	16	SDA
17	Reserved/NC	18	+5V Power
19	Hot Plug Detect		

HDMI C Type 接口设计电路如图 7-101 所示。

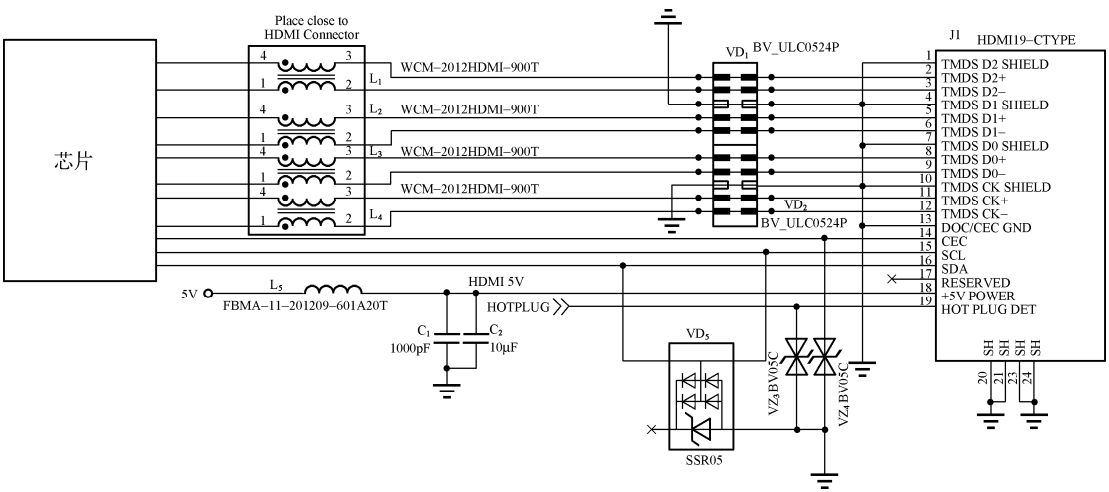


图 7-101 HDMI C Type 接口设计电路

12. LVDS 接口设计电路

LVDS 即 Low Voltage Differential Signaling，是一种低压差分信号技术接口。它是美国 NS 公司（美国国家半导体公司）为克服以 TTL 电平方式传输宽带高码率数据时功耗大、EMI 电磁干扰大等缺点而研制的一种数字视频信号传输方式。LVDS 输出接口利用非常低的电压摆幅（约 350mV）在两条 PCB 走线或一对平衡电缆上通过差分进行数据的传输，即低压差分信号传输。采用 LVDS 输出接口，可以使信号在差分 PCB 线或平衡电缆上以几百 Mbps 的速率传输，由于采用低压和低电流驱动方式，因此实现了低噪声和低功耗。目前，LVDS 输出接口在 17in 及以上的液晶显示器中得到了广泛的应用。

在液晶显示器中，LVDS 接口电路包括两部分，即驱动板侧的 LVDS 输出接口电路（LVDS 发送器）和液晶面板侧的 LVDS 输入接口电路（LVDS 接收器）。LVDS 发送器将驱动板主控芯片输出的 17L 电平并行 RGB 数据信号和控制信号转换成低电压串行 LVDS 信号，然后通过驱动板与液晶面板之间的柔性电缆（排线）将信号传送到液晶面板侧的 LVDS 接收器，LVDS 接收器再将串行信号转换为 TTL 电平的并行信号，送往液晶屏时序控制与行列驱动电路。如图 7-102 所示为 LVDS 接口电路的组成示意图。

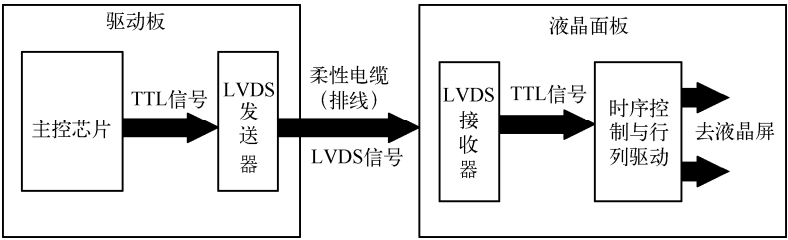


图 7-102 LVDS 接口电路的组成示意图

LVDS 输出接口也分为以下四种类型。

1) 单路 6 位 LVDS 输出接口

这种接口电路采用单路方式传输，每个基色信号采用 6 位数据，共 18 位 RGB 数据，因此，它也称 18 位或 18bit LVDS 接口。

2) 双路 6 位 LVDS 输出接口

这种接口电路中采用双路方式传输, 每个基色信号采用 6 位数据, 其中奇路数据为 18 位, 偶路数据为 18 位, 共 36 位 RGB 数据, 因此, 该接口也称 36 位或 36bit LVDS 接口。

3) 单路 8 位 1TL 输出接口

这种接口电路中采用单路方式传输，每个基色信号采用 8 位数据，共 24 位 RGB 数据，因此，该接口也称 24 位或 24bit LVDS 接口。

4) 双路 8 位 1TL 输出接口

这种接口电路中采用双路方式传输，每个基色信号采用 8 位数据，其中奇路数据为 24 位，偶路数据为 24 位，共 48 位 RGB 数据，因此，该接口也称 48 位或 48bit LVDS 接口。

典型的 LVDS 发送芯片分为 4 通道、5 通道和 10 通道，4 通道 LVDS 发送芯片包含 4 个数据信号（其中包括 RGB、数据使能 DE、行同步信号 HS、场同步信号 VS）通道和一个时钟信号发送通道，4 通道 LVDS 发送芯片主要用于驱动 6bit 液晶面板；5 通道 LVDS 发送芯片包含 4 个数据信号（其中包括 RGB、数据使能 DE、行同步信号 HS、场同步信号 VS）通道和 1 个时钟信号发送通道，5 通道 LVDS 发送芯片主要用于驱动 8bit 液晶面板；10 通道 LVDS 发送芯片（DS90C387）内部框图包含了 8 个数据信号（其中包括 RGB、数据使能 DE、行同步信号 HS、场同步信号 VS）通道和 2 个时钟信号发送通道，10 通道 LVDS 发送芯片主要用于驱动 8bit 液晶面板。

4 通道 LVDS 接口电路设计如图 7-103 所示。

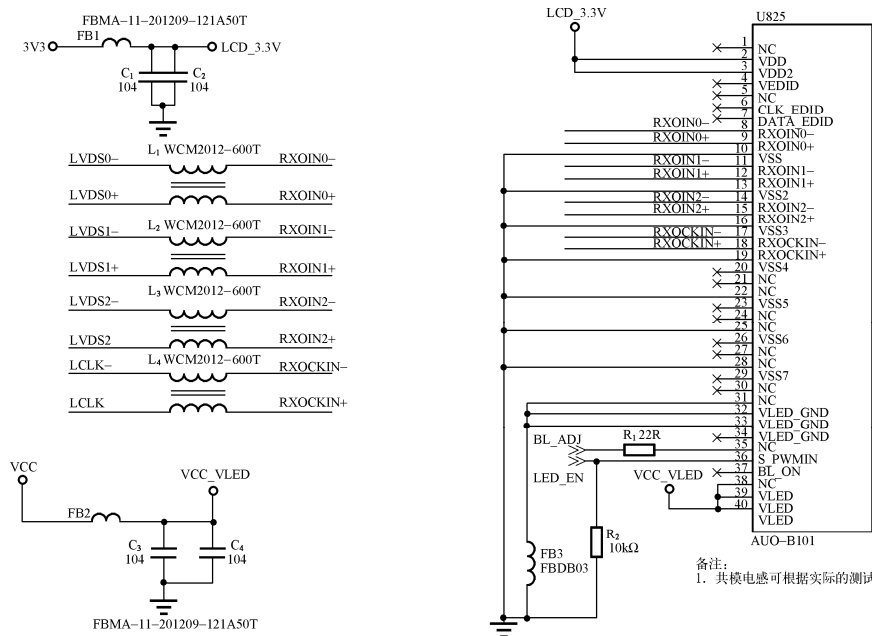


图 7-103 4 通道 LVDS 接口电路设计

13. PS/2 接口设计电路

1987 年, IBM 推出了 PS/2 键盘接口标准。该标准仍旧定义了 84~101 键, 但是采用 6 脚 mini-DIN 连接器, 该连接器在封装上更小巧, 仍然采用双向串行通信协议并且提供有可选择的第三套键盘扫描码集, 同时支持 17 个主机到键盘的命令。现在 PS/2 接口的鼠标和键盘正慢

慢退出市场。

PS/2 引脚定义如表 7-17 所示。

表 7-17 PS/2 引脚定义

pin	Name	Description
1	DATA	Key
2	NC	Not
3	GND	GND
4	VCC	Power, +5V
5	CLK	Clock 时钟
6	NC	Not

表 7-17 中，PS/2 连接器只有 4 个引脚有意义，分别是 Clock（时钟脚）、Data 数据脚、+5V（电源脚）和 Ground（电源地）。在 PS/2 键盘与 PC 的物理连接上只要保证这 4 根线一一对应就可以了。PS/2 键盘靠 PC 的 PS/2 端口提供+5V 电源，另外两个脚 Clock（时钟脚）和 Data 数据脚都是集电极开路的，因此必须接大阻值的上拉电阻，它们平时保持高电平，有输出时才被拉到低电平，之后自动上浮到高电平。PS/2 接口设计电路如图 7-104 所示。

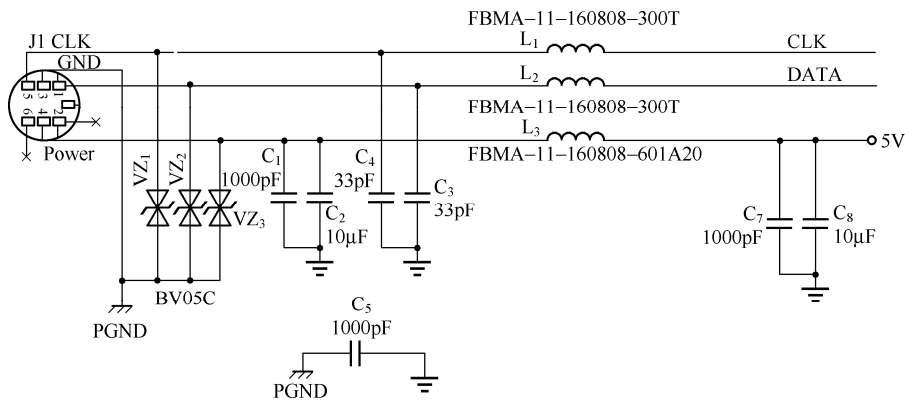


图 7-104 PS/2 接口设计电路

14. RJ11 接口设计电路

RJ11 接口和 RJ45 接口很类似，但只有 4 根引脚（RJ45 为 8 根）。在计算机系统中，RJ11 主要用来连接 MODEM 调制解调器。RJ11 电路的设计比较简单，如图 7-105 所示。

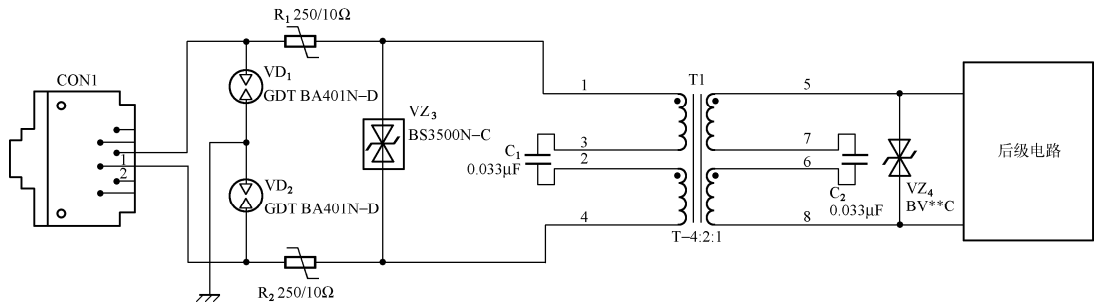


图 7-105 RJ11 接口设计电路

15. RS232 接口设计电路

RS232 接口是 1970 年由美国电子工业协会（EIA）联合贝尔系统、调制解调器厂家及计算机终端生产厂家共同制定的用于串行通信的标准。它的全名是“数据终端设备（DTE）和数据通信设备（DCE）之间的串行二进制数据交换接口技术标准”。该标准规定采用一个 25 个脚的 DB25 连接器，并对连接器的每个引脚的信号内容加以规定，还对各种信号的电平加以规定。DB25 的串口一般只用到引脚 2（RXD）、3（TXD）和 7（GND）这三个，随着设备的不断改进，现在 DB25 很少看到了，代替它的是 DB9 接口，DB9 所用到的引脚比 DB25 有所变化，是 2（TXD）、3（RXD）和 5（GND）这三个。因此现在都把 RS232 接口叫作 DB9 接口。

DB9 接口目前应用最为广泛，9 针 RS232 串口引脚的定义如表 7-18 所示。

表 7-18 9 针 RS232 串口引脚的定义

引脚编号	引脚名称	引脚数据功能
1	CD	载波侦测（Carrier Detect）
2	RXD	接收数据（Receive）
3	TXD	发送数据（Transmit）
4	DTR	数据终端准备（Data Terminal Ready）
5	GND	地线（Ground）
6	DSR	数据准备（Data Set Ready）
7	RTS	请求发送（Request To Send）
8	CTS	清除发送（Clear To Send）
9	RI	振铃指示（Ring Indicator）

RS232 接口设计电路如图 7-106 所示，若 RS232 有抗静电能力，则 TVS 不必增加； R_1 、 R_2 为限流电阻，使用时可根据实际情况进行调整。

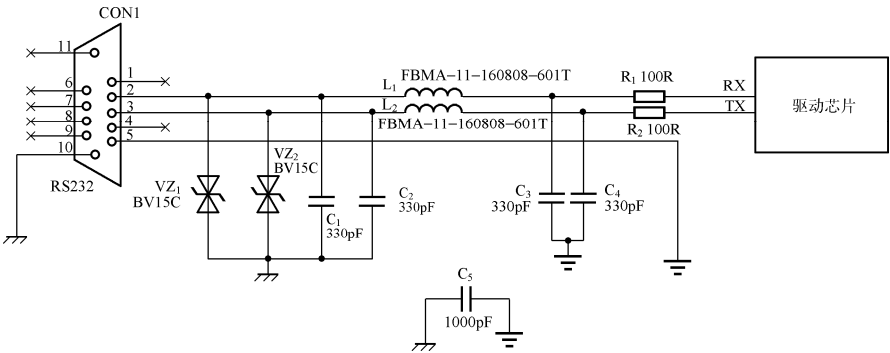


图 7-106 RS232 接口设计电路

16. RS485 接口设计电路

RS422 由 RS232 发展而来，它是为弥补 RS232 的不足提出的。为改进 RS232 通信距离短、速率低的缺点，RS422 定义了一种平衡通信接口，将传输速率提高到 10Mbps，传输距离延长到 4000 英尺（速率低于 100kbps 时），并允许在一条平衡总线上连接最多 10 个接收器。RS422 是一种单机发送、多机接收的单向、平衡传输规范，被命名为 TIA/EIA-422-A 标准。为

扩展应用范围，EIA 又于 1983 年在 RS422 的基础上制定了 RS485 标准，增加了多点、双向通信能力，即允许多个发送器连接到同一条总线上，同时增加了发送器的驱动能力和冲突保护特性，扩展了总线共模范围，后命名为 TIA/EIA-485-A 标准。由于 EIA 提出的建议标准都是以“RS”作为前缀的，所以在通信工业领域，仍然习惯将上述标准以 RS 作为前缀称谓。

RS485 接口采用差分信号负逻辑，+2~+6V 表示“0”，-6~-2V 表示“1”。RS485 有两线制和四线制两种接线，四线制只能实现点对点的通信方式，现很少采用，现在多采用的是两线制接线方式，这种接线方式为总线式拓扑结构。在同一总线上最多可以挂接 32 个节点（有的 RS485 IC 支持 128 个节点）。在 RS485 通信网络中一般采用的是主从通信方式，即一个主机带多个从机。很多情况下，连接 RS485 通信链路时只是简单地用一对双绞线将各个接口的“A”、“B”端连接起来，而忽略了信号地的连接，这种连接方法在许多场合是能正常工作的，但却埋下了很大的隐患，这有两个原因：

（1）共模干扰问题：RS485 接口采用差分方式传输信号，并不需要相对于某个参照点来检测信号，系统只需检测两线之间的电位差就可以了。但人们往往忽视了收发器有一定的共模电压范围，RS485 收发器的共模电压范围为-7~+12V，只有满足上述条件，整个网络才能正常工作。当网络线路中的共模电压超出此范围时就会影响通信的稳定可靠，甚至损坏接口。

（2）EMI 问题：发送驱动器输出信号中的共模部分需要一个返回通路，如果没有一个低阻的返回通道（信号地），就会以辐射的形式返回源端，整个总线就会像一个巨大的天线向外辐射电磁波。

RS485 接口设计电路如图 7-107 所示，此 RS485 接口电路的使用环境为户外，具有较高的防护能力，当使用环境变化时，可以适当调整元器件参数；当设备为塑胶外壳时，不需要进行共模防护；R₁、R₂ 选用 PTC 热敏电阻，用来做退耦合。

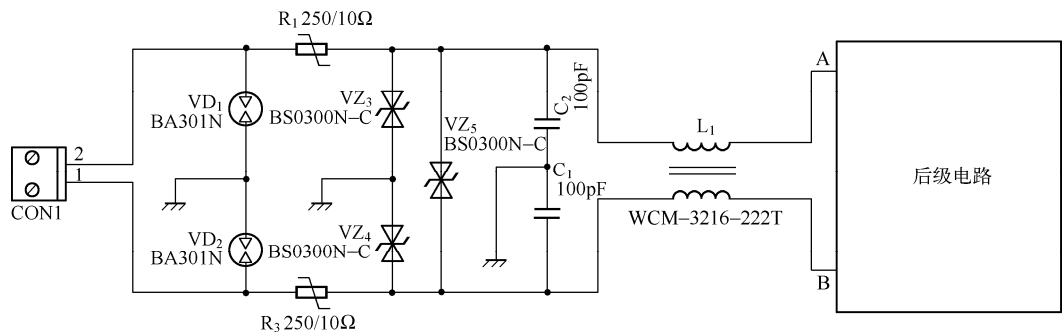


图 7-107 RS485 接口设计电路

17. S_VIDEO 接口设计电路

S 端子可以说是 AV 端子的改革，在信号传输方面不再将色度与亮度混合输出，而是分离进行信号传输，因此我们又称它为“二分量视频接口”。与 AV 接口相比，S 端子不再对色度与亮度混合传输，这样就避免了设备内信号干扰而产生的图像失真，能够有效地提高画面的清晰程度。但 S-Video 仍要将色度与亮度两路信号混合成一路色度信号进行成像，因此仍然存在画质损失的情况。虽然 S 端子不是最好的，不过在一般情况下 AV 信号为 640 线，S 端子可达到 1024 线，但是这需要由片源来决定。一般来说，这种接口在 DVD、PS2、XBOX、NGC 等视频和游戏设备上广泛使用。

S_VIDEO 接口设计电路如图 7-108 所示。

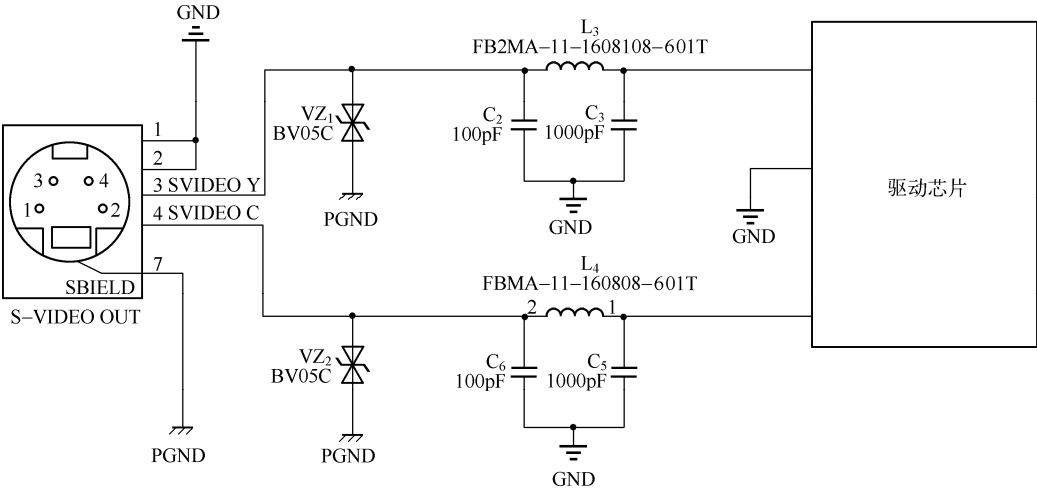


图 7-108 S_VIDEO 接口设计电路

18. SCART 接口设计电路

SCART (Syndicatdes Constructeursd 'Appareils Radiorécepteurset Téléviseurs) 接口是一种专用的音视频接口，具有输入和输出功能，支持三种视频信号格式，即 CVBS（复合全电视信号）、YC（分量视频信号）和 RGB，输入的信号格式可以通过 MCU 检测 SCART 接口的 FB 引脚电平来确定，如果小于 1V 则为 CVBS/YC，否则为 RGB。用于连接 TV 和 VCR 的 SCART 接口指的是一种专用的音视频接口，是由法国公司 Peritel 开发的视听设备互连工业标准，也是欧洲强制要求用于卫星电视接收机、电视机、录像机及其他音视频设备上的互连互通接口，欧洲以外的市场很难看到带有这种接口的设备，我国电视标准是参考欧洲标准制定的，比较简单。接口定义局限于 RF 接口和 AV 端子等，虽然可以满足大多数用户的基本需求，但与 SCART 接口传输的信号相比还是有一些差距的。

标准的 SCART 接口为 21 针连接器（可以传输视频信号、音频信号、控制信号、地线和数据线），外型呈直角梯形，很像家里的笤帚，俗称“扫把头”。在这 21 根针中定义了音频和视频信号，即可用来传输 CVBS 和隔行 RGB 信号（注意：是隔行信号而不是逐行信号）等视频信号，也可以传送立体声音频信号。同时，SCART 接口还是双向传输的。

SCART 接口的引脚排布如图 7-109 所示，接收机采用的是 Female 的形式，而 Male 形式则作为连接线的插座。

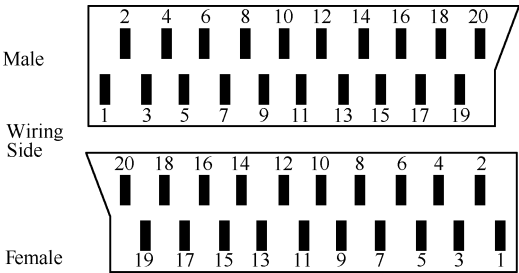


图 7-109 SCART 接口的引脚排布

通常，面向欧洲市场的电视机至少具有一个 SCART 接口，而大尺寸的电视则具有 2~3 个 SCART 接口。

第一组 SCART 接口的各引脚定义如表 7-19 所示，包含 CVBS input、RGB input、AUDIO (L/R) input、TV output、TV AUDIO (L/R) output 等信号脚，并有以下两组识别信号。

- TV/AV 识别信号（第 8 脚）：12V（9.5~12V）时表示输入为 4：3 的 AV 信号（即 4：3 SCART 信号）；6V（4.5~8V）时表示输入为 16：9 的 AV 信号（即 16：9 SCART 信号）；0V 时（0~2V）表示无 SCART 信号输入。
- RGB/CVBS 识别信号（第 16 脚）：高电平（1~3V）表示输入信号为 RGB 格式，此时，第 20 脚的输入信号为其复合同步信号；低电平（0~0.4V）表示输入信号为 CVBS 信号。

表 7-19 第一组 SCART 接口的引脚定义

第一组 SCART 引脚定义			
pin	Description	Signal Level	Impedance
1	Audio output B(right)	0.5V rms	< 1kΩ
2	Audio input B(right)	0.5V rms	> 10kΩ
3	Audio output A(left)	0.5V rms	< 1kΩ
4	Ground(audio)	GND	—
5	Ground(blue)	GND	—
6	Audio input A(left)	0.5V rms	> 10kΩ
7	Blue input	0.7 V _{pp}	75Ω
8	Function Select(AV control)	9.5~12V: 4：3 AV mode 4.5~8V: 16：9 AV mode 0~2V：TV mode	> 10kΩ
9	Ground(green)	GND	—
10	Comms data 2	NC	—
11	Green input	0.7 V _{pp}	75Ω
12	Comms data 1	NC	—
13	Ground(red)	GND	—
14	Ground(blanking)	GND	—
15	Red input	0.7 V _{pp}	75Ω
16	RGB switching control	High(1~3V): RGB Low(0~0.4V): CVBS	75Ω
17	Ground(CVBS input&output)	GND	—
18	Ground(RGB input&output)	GND	—
19	CVBS output	1 V _{pp} including sync	75Ω
20	CVBS input	1 V _{pp} including sync	75Ω
21	Common ground(shield)	GND	—

第二组 SCART 接口的各引脚定义如表 7-20 所示，包含 CVBS/Y input、C input、AUDIO (L/R) input、MONITOR output、MONITOR AUDIO (L/R) output 等信号，并有一组 TV/AV 识别信号。

表 7-20 第二组 SCART 接口的引脚定义

第二组 SCART 引脚定义			
pin	Description	Signal Level	Impedance
1	Audio output B(right)	0.5V rms	< 1kΩ
2	Audio input B(right)	0.5V rms	> 10kΩ
3	Audio output A(left)	0.5V rms	< 1kΩ
4	Ground(audio)	GND	—
5	Ground	GND	—
6	Audio input A(left)	0.5V rms	> 10kΩ
7	—	—	—
8	Function Select(AV control)	9.5~12V: 4 : 3 AV mode 4.5~8V: 16 : 9 AV mode 0~2V : TV mode	> 10kΩ
9	Ground	GND	—
10	Comms data 2	NC	—
11	—	—	—
12	Comms data 1	NC	—
13	Ground(chrominance)	GND	—
14	Ground(blanking)	GND	—
15	Chrominance input	0.3 V _{pp}	75Ω
16	—	—	—
17	Ground(video input & output) (luminance ground)	GND	—
18	—	—	—
19	Video output(CVBS)	1 V _{pp} including sync	75Ω
20	CVBS/Luminance input	1 V _{pp} including sync	75Ω
21	Common ground(shield)	GND	—

第二组 SCART 接口与第一组 SCART 接口的区别在于其输出接口是 MONITOR output，而第一组的是 TV output。

如图 7-110 所示是 TV output 的 SCART 接口设计电路。

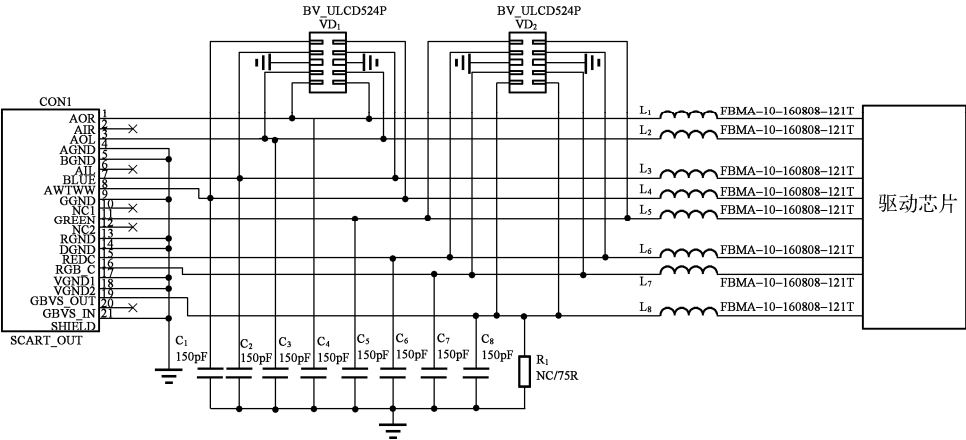


图 7-110 SCART 接口设计电路

19. USB3.0 接口设计电路

USB 3.0 就是新一代的 USB 接口，其特点是传输速率非常快，理论上能达到 5Gbps。USB3.0 比常见的 480Mbps 的 High Speed USB（简称为 USB 2.0）快 10 倍，其外形和普通的 USB 接口基本一致，能兼容 USB 2.0 和 USB 1.1 设备。

USB 3.0 中定义的常用连接器包括 USB 3.0 A 型 USB 插头和插座、USB 3.0 B 型 USB 插头和插座。

1) USB 3.0 A 型 USB 插头（Plug）和插座（Receptacle）

其外形如图 7-111 所示。

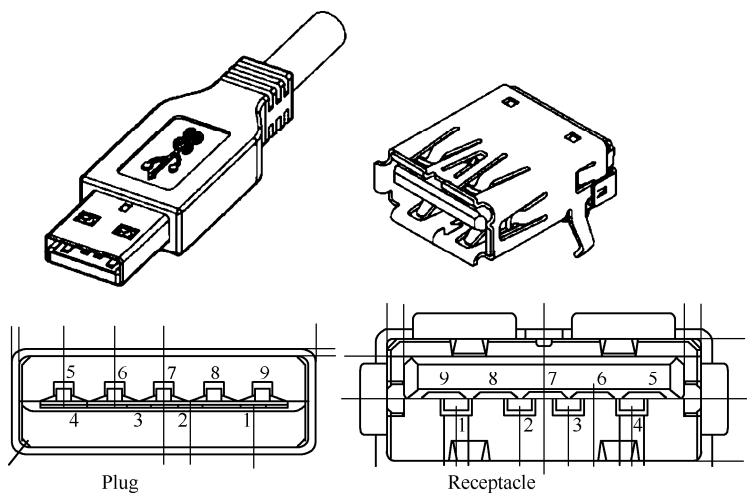


图 7-111 USB 3.0 A 型 USB 插头（Plug）和插座（Receptacle）

USB 3.0 A 型 USB 插头（Plug）的引脚定义如表 7-21 所示。

表 7-21 USB 3.0 A 型 USB 插头的引脚定义

Pin Number	Signal Name	Description	Mating Sequence
1	VBUS	Power	Second
2	D-	USB 2.0differential pair	Third
3	D+		
4	GND	Ground for power return	Second
5	StdA_SSRX-	SuperSpeed receiver differential pair	Last
6	StdA_SSRX+		
7	GND_DRAIN	Ground for signal return	
8	StdA_SSTX-	SuperSpeed transmitter differential pair	
9	StdA_SSTX+		
Shell	Shield	Connector metal shell	First

Note: Tx and RX are defined from the host perspective

2) USB 3.0 B 型 USB 插头（Plug）和插座（Receptacle）

其外形如图 7-112 所示，引脚顺序：左侧为 Plug，右侧为 Receptacle，注意箭头所指斜向上，USB 端口朝向自己。

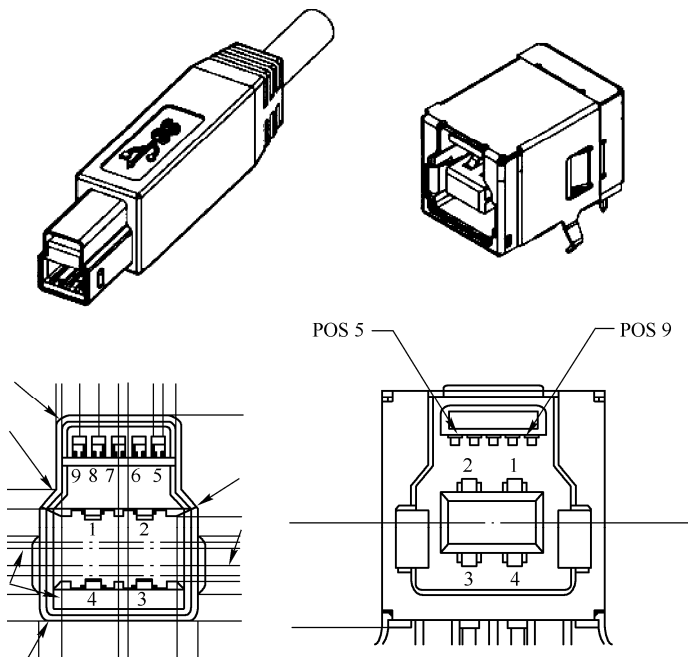


图 7-112 USB 3.0 B 型 USB 插头（Plug）和插座（Receptacle）

USB 3.0 B 型 USB 插头（Plug）的引脚定义如表 7-22 所示。

表 7-22 USB 3.0 B 型 USB 插头的引脚定义

Pin Number	Signal Name	Description	Mating Sequence
1	VBUS	Power	Second
2	D-	USB 2.0 differential pair	Third or beyond
3	D+		
4	GND	Ground for power return	Second
5	StdB_SSTX-	SuperSpeed transmitter differential pair	Third or beyond
6	StdB_SSTX+		
7	GND_DRAIN	Ground for signal return	
8	StdB_SSRX-	SuperSpeed receiver differential pair	
9	StdB_SSRX+		
Shell	Shield	Connector metal shell	First
Note: Tx and RX are defined from the device perspective			

USB3.0 接口设计电路如图 7-113 所示，设计中，共模滤波扼流线圈要选用 USB3.0 专用的，TVS 防护器件可以采用阵列式，如果不是采用金属外壳，则 PGND 和 GND 可以直接相连。

20. USB Device 接口设计电路

当设备作为 Device 或 Slave 使用时，对于主机系统来说，USB Device 一般当作调试接口使用，其电路如图 7-114 所示。ID 网络根据 IC 来决定接地还是接 IC；C₃/C₄ 要根据测试结果来调试，一般不要大于 10pF；如果系统没有金属外壳，则 PGND 和 GND 可以直接相连。

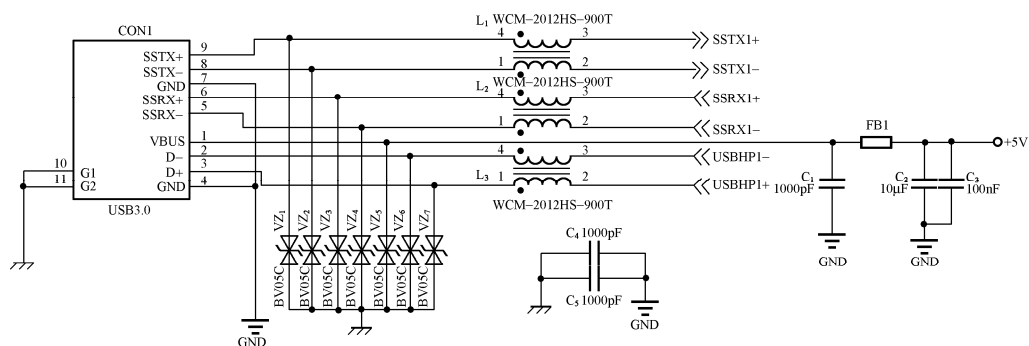


图 7-113 USB3.0 接口设计电路

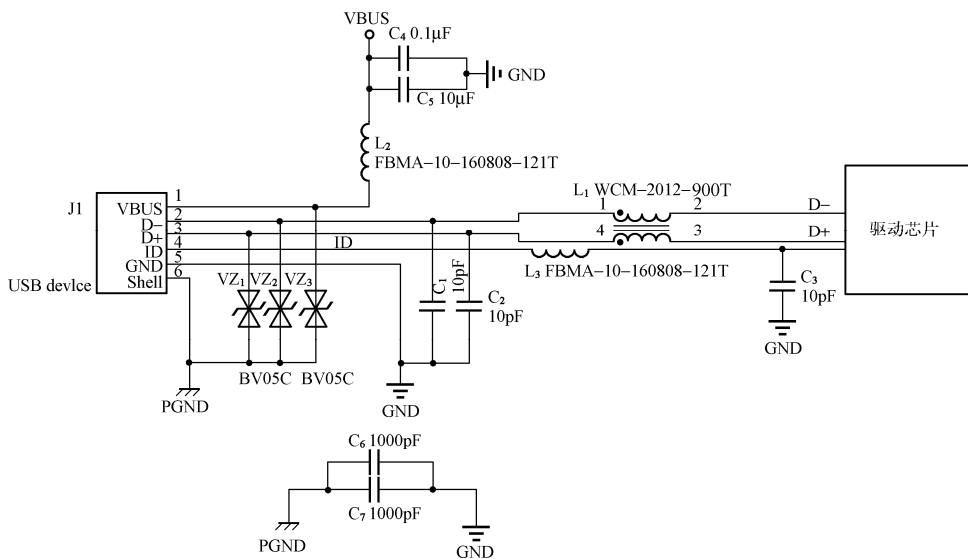


图 7-114 USB Device 接口设计电路

21. USB HOST 接口设计电路

当 USB 作为 HOST 时，相当于作为主机设备使用。

USB 接口定义按照颜色，一般的排列方式是：红、白、绿、黑（从左到右定义），如图 7-115 所示。

红色——USB 电源：-VCC、Power、5V、5VSB。

白色——USB 数据线：（负）-DATA-、USBD-、PD-、USBDT-。

绿色——USB 数据线：（正）-DATA+、USBD+、PD+、USBDT+。

黑色——地线：GND、Ground。

USB 作为 HOST 时，设计电路如图 7-116 所示，如果设备为非金属外壳，则 USB 外壳需要与 GND 相连；因为接口为 USB HOST，所以需要采用大电流磁珠；C₉、C₁₀ 为预设计，在设计 USB2.0 接口时，容值不要超过 10pF；为保证 TVS 能发挥作用，在设计 PCB 时要大面积接地；R₃、R₄ 为限流电阻，在使用时可根据实际情况进行调整。

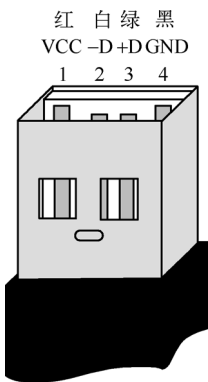


图 7-115 USB 接口的定义

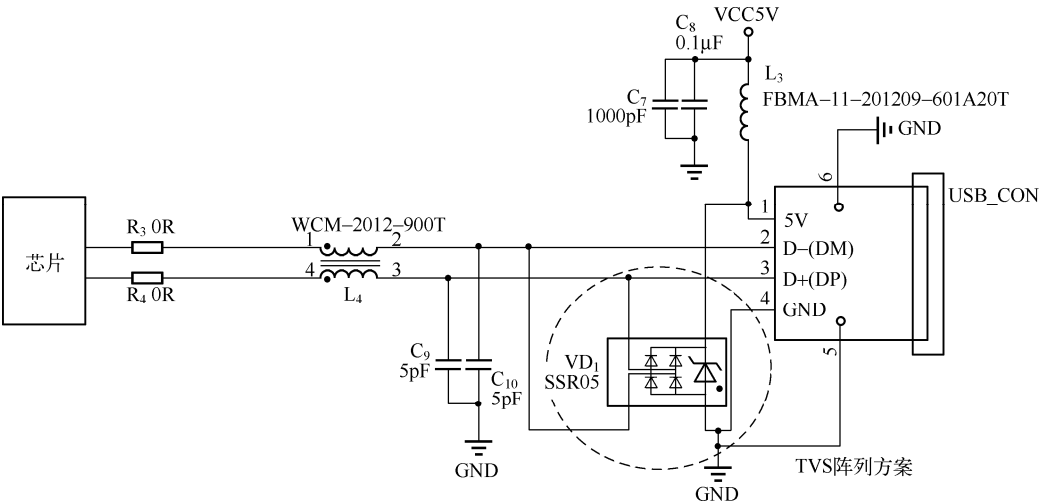


图 7-116 USB HOST 接口设计电路

22. VGA 接口设计电路

VGA（Video Graphics Array）是 IBM 于 1987 年提出的一个使用模拟信号的计算机显示标准。VGA 接口即计算机采用 VGA 标准输出数据的专用接口。VGA 接口共有 15 针，分成 3 排，每排 5 个孔，是显卡上应用最为广泛的接口类型，绝大多数显卡都带有此种接口。它传输红、绿、蓝模拟信号及同步信号（水平和垂直信号）。

VGA 的实物图及信号分布如图 7-117 所示，其引脚的详细定义如表 7-23 所示。

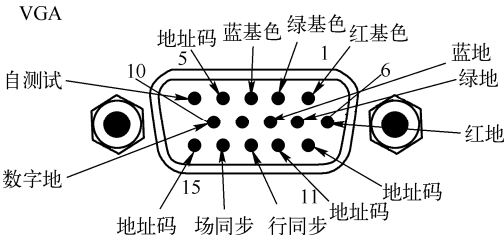


图 7-117 VGA 的实物图及信号分布

表 7-23 VGA 接口引脚定义

引脚	定 义	引脚	定 义
1	红基色 red	9	保留（各家定义不同）
2	绿基色 green	10	数字地
3	蓝基色 blue	11	地址码
4	地址码 ID Bit	12	地址码
5	自测试（各家定义不同）	13	行同步
6	红地	14	场同步
7	绿地	15	地址码（各家定义不同）
8	蓝地		

VGA 接口设计电路如图 7-118 所示，如果此系统为金属外壳，则 VGA 外壳要与 PGND 直接相连；磁珠和电容的参数要根据实际测试结果来调整；为节省 PCB 的布板面积，TVS 管可以选择阵列式。

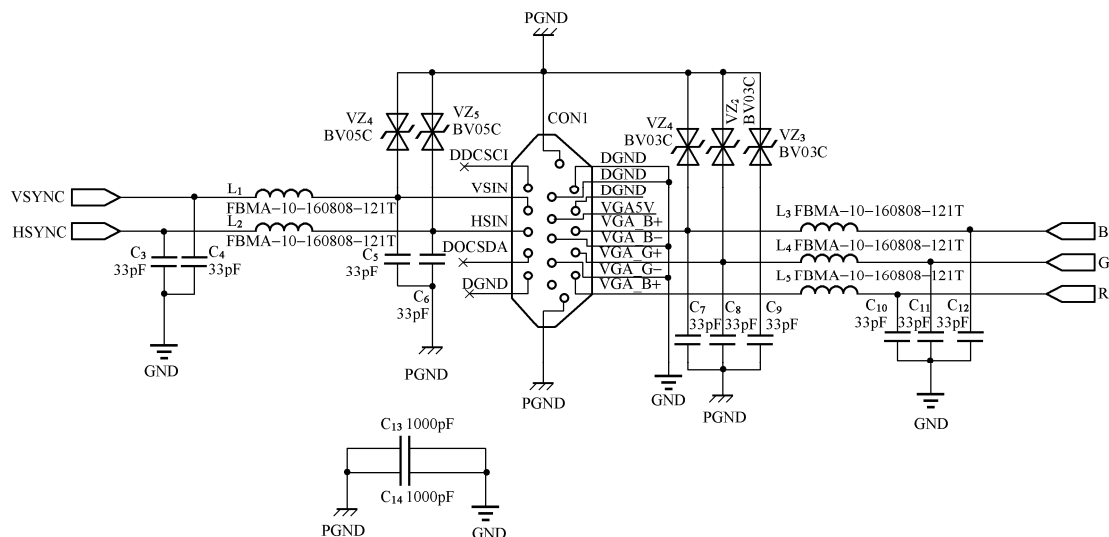


图 7-118 VGA 接口设计电路

23. 差分时钟设计电路

设计差分时钟信号时，采用共模扼流线圈可以有效地抑制共模噪声，其设计电路如图 7-119 所示。

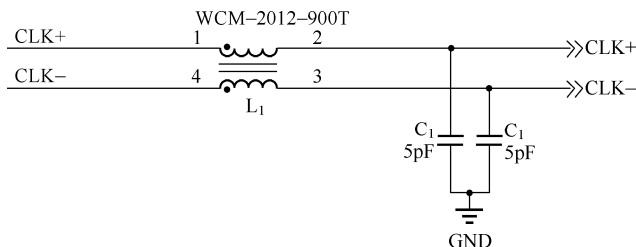


图 7-119 差分时钟设计电路

24. 耳机接口设计电路

耳机接口设计电路如图 7-120 所示，在进行耳机的原理图设计时，因封装的复合性，所以要清楚各个引脚的具体含义。该电路对静电防护及 EMI 噪声具有较好的效果。

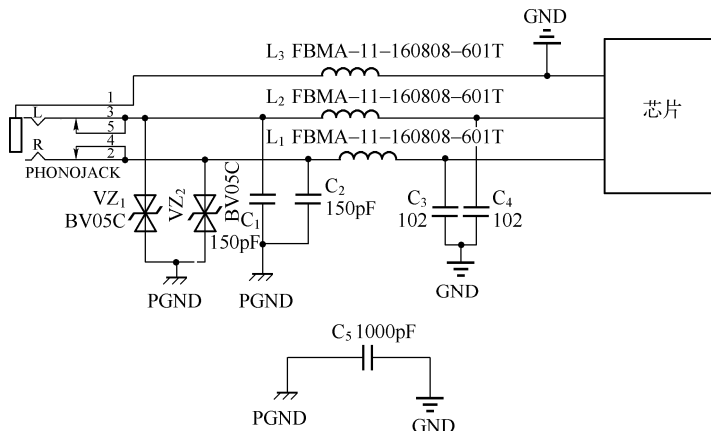


图 7-120 耳机接口设计电路

25. YPbPr 接口设计电路

YPbPr 接口也叫色差分量接口，采用的是美国电子工业协会 EIA-770.2a 标准。目前可以在一些专业级视频工作站/编辑卡专业级视频设备或高档影碟机等家电上看到有 YUV、YcbCr 和 Y/B-Y/B-Y 等标记的接口标识，虽然其标记方法和接头外形各异，但都指的是同一种接口色差端口（也称分量视频接口）。它通常采用 YPbPr 和 YCbCr 两种标识，前者表示逐行扫描色差输出，后者表示隔行扫描色差输出。由 YPbPr 和 YCbCr 的对比可知，只需知道 Y、Cr、Cb 的值就能够得到 G 的值（即第四个等式不是必要的），因此在视频输出和颜色处理过程中统一忽略绿色差 Cg，而只保留 Y、Cr、Cb，这便是色差输出的基本定义。

色差端子是在 S 端子的基础上，把色度（C）信号里的蓝色差（b）、红色差（r）分开发送，其分辨率可达到 600 线以上。现在很多电视类产品都是靠色差输入来提高输入信号品质的，而且透过色差端子可以输入多种等级信号，从最基本的 480i 到倍频扫描的 480p，甚至 720p、1080i 等，都要通过色差输入才有办法将信号传送到电视中。

作为 S-Video 的进阶产品，色差输出将 S-Video 传输的色度信号 C 分解为色差 Cr 和 Cb，这样就避免了两路色差混合译码并再次分离的过程，也保持了色度信道的最大带宽，因此只需要经过反矩阵译码电路就可以还原为 RGB 三原色信号而成像，这就最大限度地缩短了视频源到显示器成像之间的视频信号信道，避免了因烦琐的传输过程所带来的影像失真，因此色差输出的接口方式是目前模拟的各种视频输出接口中最好的一种。

YPbPr 接口设计电路如图 7-121 所示。

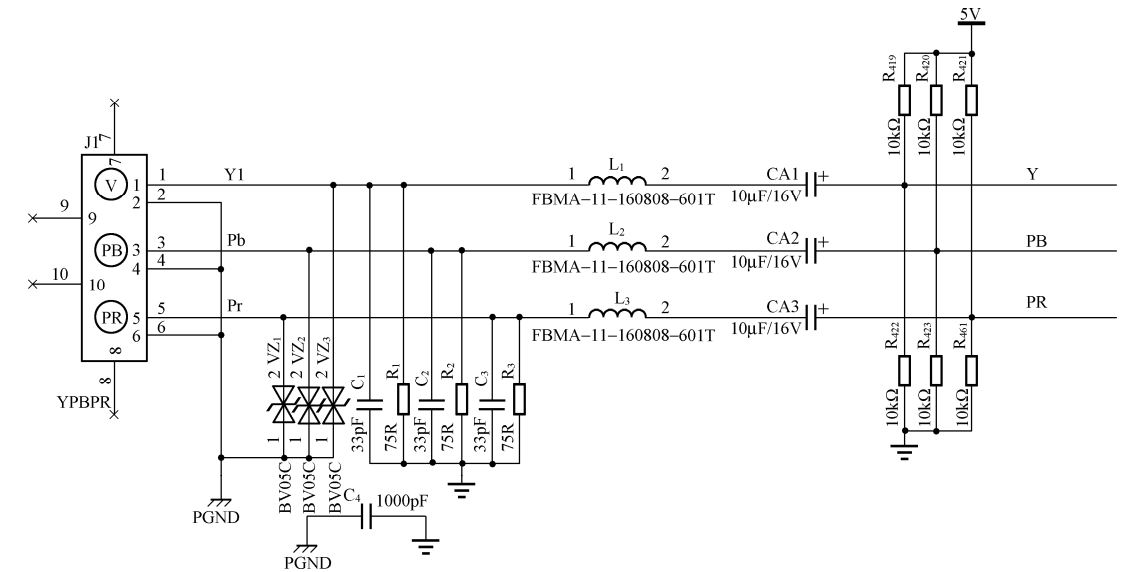


图 7-121 YPbPr 接口设计电路

7.2.12 ESD 防护器件

1. ESD 概念

ESD（ElectroStatic Discharge）即“静电放电”，是研究静电的产生与衰减、静电放电模型、静电放电效应[如电流热效应（电火花）和电磁效应（电磁干扰 EMI 及电磁兼容性 EMC）]的学科。

物质之间相互作用（如摩擦、接触、感应、传导等）导致物质获得或失去电子，失去电平衡而带电荷，电荷的积累就使得物质表面带上静电，当电荷积累到足够的强度时，电荷将可能泄放，造成其周围的物质被击穿，从而得到新的电平衡。这种静电电荷的快速中和称为静电放电，由于其速率很快，而且在放电时的电阻一般很小，所以往往会造成瞬时大电流，可能超过 20A。这种放电如果经过集成电路，这么大的电流往往会对电路造成损害。

ESD 有多种模型来描述器件如何受到损害：人体模式（HBM）、器件带电模式（CDM）和场感应模式等。ESD 放电模型如图 7-122 所示。



图 7-122 ESD 放电模型

2. ESD 对电子设备造成的破坏

ESD 在电子设备中时有发生，在静电放电过程中，将产生潜在的破坏电压、电流和电磁场。ESD 产生的强大尖峰脉冲电流包含丰富的高频成分，其最高频率甚至可能超过 1GHz。这些高频脉冲使得 PCB 上的走线变成了非常有效的接收天线，会感应出高电平的噪声。

ESD 对电路的干扰中，一个是静电放电电流直接通过电路造成的损害，另一个是产生的电磁场通过电容耦合、电感耦合或空间辐射耦合等对电路造成的干扰。

ESD 电流产生的场可直接穿透设备，或通过孔洞、缝隙和输入/输出电缆等耦合到敏感电路。ESD 电流在系统中流动时，会在经过的天线中激发信号，导致产生波长从几厘米到数百米的辐射波，这些辐射能量产生的电磁噪声将损坏电子设备或骚扰它们的运行。

若 ESD 感应的电压或电流超过电路的电平信号，在高阻抗电路中，电流很小，此时电容耦合占主导，ESD 感应电压将影响电路的电平信号；在低阻电路中，电感耦合占主导，ESD 电流将导致器件失效。

ESD 的两种主要破坏机制是：

- ① 由于 ESD 电流产生的热量而导致器件的热失效；
- ② 由于 ESD 高的电压导致绝缘击穿，激发更大的电流，造成进一步的热失效。

ESD 失效可以分为永久失效及暂时失效。如果在静电接触传导放电时产生的电压过高，电流过大，则有可能会造成器件永久性损坏，如冬天用手接触电路，将造成设备损坏而不能继续使用。而在有些情况下，一些较小的电路噪声将导致偶尔出现异常结果，但过后设备并未损坏，这种情况可称为 ESD 暂时失效。

3. ESD 防护

ESD 器件是保护器件中的一种，主要是针对静电放电时保护集成电路而设计的。全球每年有 30% 的电子产品的损坏是因为 ESD 的缘故，这些看不见摸不着的静电给广大用户造成了不少的损失。ESD 保护器件可以有效降低静电对电子产品的损坏，为生产者和消费者的利益提供一层可靠的保护。

电路保护有很多办法，但 ESD 保护器件具有自己独特的优势，几种防护器件对比如下。

- ① 普通二极管只能起到钳制电压的作用，不能对高达几百兆频率的 ESD 脉冲做出响应。
- ② 压敏电阻/热敏电阻：压敏电阻抗一次 ESD 脉冲后特性就会改变，而 ESD 保护器件抗几万次也不会改变特性；热敏电阻器的典型特点是对温度敏感，在不同的温度下表现出不同的电阻值，正温度系数热敏电阻器（PTC）在温度越高时电阻值越大，负温度系数热敏电阻器（NTC）在温度越高时电阻值越低，它们同属于半导体器件。

③ 很多芯片带有 ESD 保护，但耐压一般不是很高，只是对芯片内部起到基本保护，面对外界动辄 10kV/25kV 的 ESD 脉冲，就力不从心了。

④ TVS、TVS 和 ESD 都可以用在芯片的 I/O 口保护上，有些 TVS 也带 ESD 保护功能，但是这两者之间还是有区别的。ESD 与 TVS 的对比如表 7-24 所示。

表 7-24 ESD 与 TVS 的对比

	ESD	TVS
抗击能量	小	大
抗击电压	>10kV 更高	>4kV
响应时间	极快	稍慢
抑制脉冲	极高速	中高速
对线路的容性影响	极低	一般
对高速通信的影响	极低	高
线路中可使用数量	多个	少量
应用场合	抑制静电放电（ESD）脉冲	用于防雷击或开关电时产生的浪涌

注：现在某些公司所出的 TVS 和 ESD 功能合一的器件，因要满足 TVS 的要求，所以难免在响应速度和容性影响等方面做出了一些牺牲。

4. ESD 标准

国际和国内的 ESD 标准有很多，ESD 芯片一般参考的标准有 IEC61000-4-2（ESD 静电放电）、HBM MIL-Std.883（ESD 静电放电）、IEC61000-4-4（EFT 快速瞬变脉冲群）和 IEC61000-4-5（浪涌抗扰度）。

5. ESD 选型的关键参数及选型方法

ESD 器件应用时需要注意几个关键参数，如表 7-25 所示。

表 7-25 ESD 器件的关键参数表

符 号	中文名称	解 释
V_C	钳位电压	脉冲电压通过 ESD 器件后，所达到的电压值
V_{RWM}	反向关断电压	应大于或等于被保护线路的操作电压
$I_R@V_{RWM}$	反向漏电流	应小于电路允许的最大漏电流
P_{PP}	峰值脉冲功率	保护器件能吸收瞬时脉冲的能量，典型值取自 300W 8/20μs 脉冲
C_D	结电容	是保护器件的寄生电容，数据速率或操作频率越高的线路上使用的 ESD 保护器件的结电容越低，否则将破坏数据信号

在进行 ESD 保护器件选型时，一般来说，主要是根据被保护线路的信号速度来考虑的，速度越高，需要选择 C_D 越小的器件。再根据信号电压选择合适的 V_{RWM} ，根据极性选择单向还是双向，然后考虑需要抗多高的静电和 P_{PP} 峰值功率。将这些参数结合需要保护的引脚（线路）数量，选择单路或多路的 ESD 型号。

对于有多路信号需要保护的情形，如果布线方便，可以使用多路 ESD，如果布线复杂，则组合使用多个，以便更接近被保护引脚。同时，还应注意被保护器件的通信速率、峰值电流等问题，如果被保护器件的通信速率很高，则应当选择容抗小的 ESD 保护器件。

7.2.13 硬件时序分析

硬件的时序设计在第 3 章中根据源同步时钟系统的特性已进行了详细的论述，在进行硬

件的时序分析时，对原理图设计阶段来说，需要对需要进行硬件时序分析的信号进行合理的分类，如 DDR3 设计中地址信号、控制信号、命令信号和时钟信号的时序分类；DQ 数据信号和 DQS 的时序分类等。

7.2.14 Datasheet 与原理图设计的前前后后

Datasheet 是进行原理图设计时的依据, 正确理解 Datasheet 是正确设计电路的前提。每一个 IC 都有对应的 Datasheet, 从 IC 的设计、规格、典型电路应用、封装技术到 IC 的应用领域, 在 Datasheet 中都会做详细的阐述。阅读 Datasheet 时需要关注的内容有 IC 的引脚分布与功能、IC 的系统框图或等效连接电路、直流或交流电气特性参数、参数特性曲线、应用的典型电路和封装尺寸, 为便于说明, 本节以 DC/DC IC XC9235^[40]为例进行图示说明。

功能简单的 IC，都会将 IC 引脚的分布情况放在 Datasheet 的前面做说明，复杂的 IC（几百 pin 以上）一般都是放在最后面做说明的。在设计原理图时需要明确各个引脚的功能，如电源/地引脚、通用 I/O 口引脚、时钟输入、复位、对外电路的接口（如 RJ45、UART、USB、SPI）等。所有的引脚都会在开始时进行清楚的描述，在后面的资料中都会用较简洁的方式来表达各个引脚所需要的工作条件及互连的逻辑关系。XC9235 SOT-25 封装的 pin 引脚分布如图 7-123 所示。

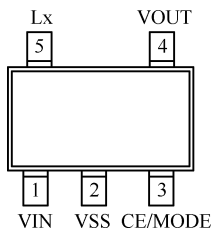


图 7-123 XC9235 SOT-25 封装的 Pin 引脚分布

IC 的系统框图能够把 IC 的工作原理阐述清楚,使设计者对 IC 封装的 Pin 引脚分布的架构有清晰的了解,此 IC 的框图只是系统的示意图,只是为了了解其工作原理而画的,在进行电路设计时,有助于外围电路的搭建。X9235 的系统框图如图 7-124 所示。

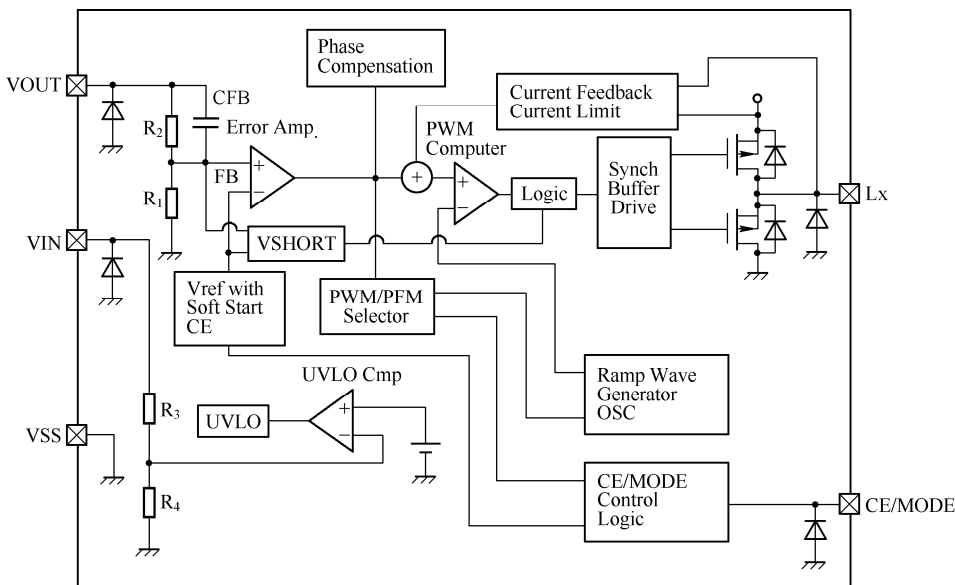


图 7-124 X9235 的系统框图

直流或交流电气特性参数是 IC 重要的规格，在电路的互连设计中，接口的逻辑电平及驱动能力是否符合要求，都靠直流或交流电气特性参数进行确认，它们是设计主要的参考依据，此部分特性参数会清晰地标示 IC 的工作电压范围、工作电流范围、逻辑高低电压的范围、功

耗情况和工作温度等。X9235 的部分直流电气参数如图 7-125 所示。

■ELECTRICAL CHARACTERISTICS

XC9235A18Cxx/XC9236A18Cxx/XC9237A18Cxx, $V_{OUT}=1.8V$, $f_{OSC}=1.2MHz$, $T_a=25^{\circ}C$

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNIT	CIRCUIT
Output Voltage	V_{OUT}	When connected to external components, $V_{IN}=V_{CE}=5.0V$, $I_{OUT}=30mA$	1.764	1.800	1.836	V	①
Operating Voltage Range	V_{IN}		2.0	-	6.0	V	①
Maximum Output Current	I_{OUTMAX}	$V_{IN}=V_{OUT(E)}+2.0V$, $V_{CE}=1.0V$, When connected to external components ^(*)	600	-	-	mA	①
UVLO Voltage	V_{UVLO}	$V_{CE}=V_{IN}$, $V_{OUT}=0V$, Voltage which Lx pin holding "L" level ^(1, **)	1.00	1.40	1.78	V	③
Supply Current	I_{DD}	$V_{IN}=V_{CE}=5.0V$, $V_{OUT}=V_{OUT(E)} \times 1.1V$	-	15	33	μA	②
Stand-by Current	I_{STB}	$V_{IN}=5.0V$, $V_{CE}=0V$, $V_{OUT}=V_{OUT(E)} \times 1.1V$	-	0	1.0	μA	②
Oscillation Frequency	f_{OSC}	When connected to external components, $V_{IN}=V_{OUT(E)}+2.0V$, $V_{CE}=1.0V$, $I_{OUT}=100mA$	1020	1200	1380	kHz	①

图 7-125 X9235 的部分直流电气参数

参数的特性曲线是标示 IC 随着工作频率、温度、时间等变化时, IC 某些指标变化的曲线。例如, 在固定电压下, 在不同的频率下工作时, 所需要的电流有何不同, 在不同负载时器件工作的电压和电流等, 这些都可以在特性测试的图表中找到答案。如图 7-126 所示是 X9235 输出电流与其工作效率的特性曲线。

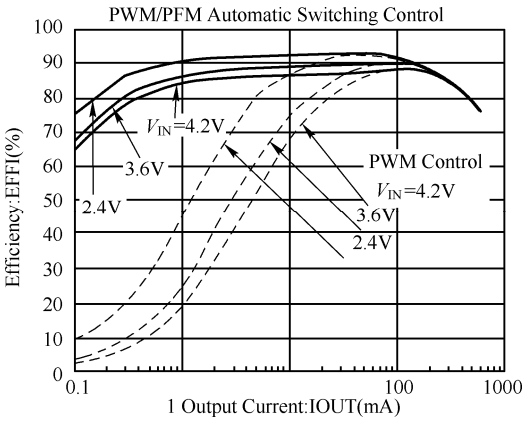


图 7-126 X9235 输出电流与其工作效率的特性曲线

通常在 IC 的 Datasheet 中都会有一些典型的应用电路, 并附上参数的计算公式及应用的领域范围, 这便于系统设计者快速熟悉使用 IC 的方法, 加快设计的速度。大部分的电路设计都是在典型工作电路的基础上, 根据测试的结果做的进一步优化工作。X9235 的典型应用电路如图 7-127 所示。

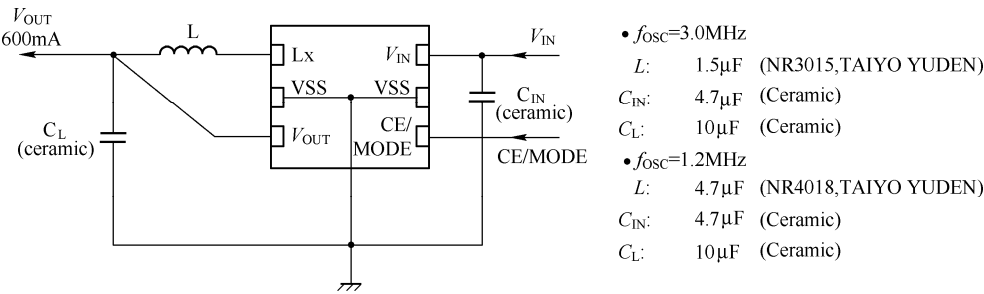


图 7-127 X9235 的典型应用电路

封装尺寸是 IC 的物理尺寸, 在进行电路设计时, 可以根据封装尺寸来进行 PCB Layout 的封装库设计。在根据封装尺寸图纸进行封装库的设计时, 可以根据工艺的要求对建库的封装尺寸做适当的修改, 如图 7-128 所示是 X9235 SOT-25 的封装尺寸。

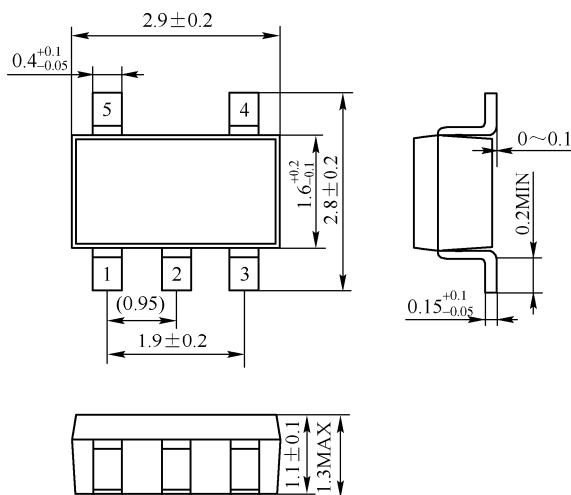


图 7-128 X9235 SOT-25 的封装尺寸

7.3 Pspice 仿真在电路设计中的应用

1. Pspice 仿真在 MOSFET 电路中的应用

为便于说明 Pspice 在电路分析中的强大功能, 下面以本章讨论的 NPN BJT+PMOS 形式的电路为例, 进行 Pspice 电路仿真的说明。

下面分析电阻 R_2 和电容 C_1 的作用。

对于 NPN BJT+PMOS 形式的电路, 当 Output 后接容性负载时, 如果 MOS 管的导通时间太短, 会产生很大的冲击电流, 以图 7-129 所示的电路为例, PSpice 波形仿真结果如图 7-130 所示。

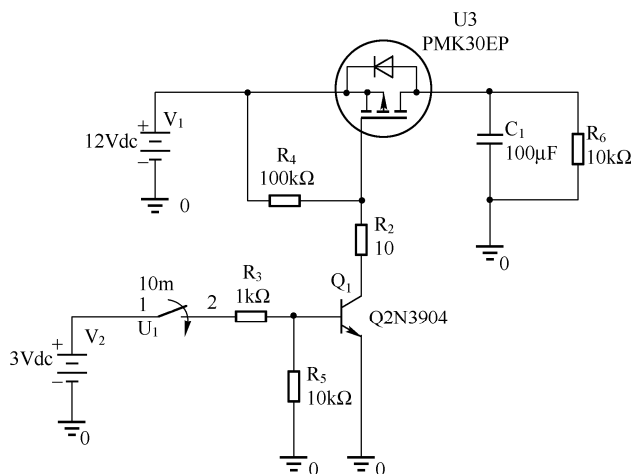


图 7-129 NPN BJT+PMOS 仿真电路

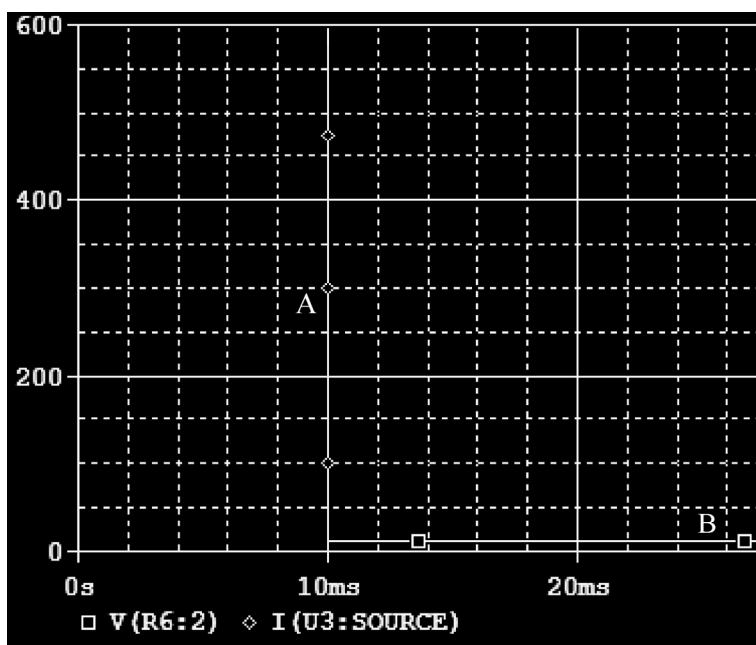


图 7-130 仿真结果

图中 A 标注的线表示 MOS 管的导通电流，B 标注的线表示输出电压，可以看到，后级如果接容性负载（ $100\mu\text{F}$ ），则会产生相当大的冲击电流，甚至会烧坏 MOS 管或使电源失效。因此最好在 MOS 开关驱动电路上加上 RC 延时电路，修改后的电路如图 7-131 所示。

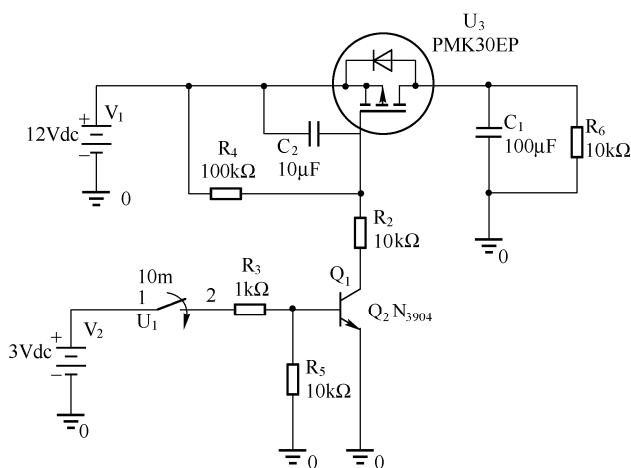


图 7-131 修改 RC 延时参数后的电路

所做的修改就是为 MOS 管的驱动电路增加了 RC 延时电路（软启动电路），即将 R_2 增加至 $10\text{k}\Omega$ ，并增加了电容 C_2 ($10\mu\text{F}$)，这样 R_2 和 C_2 就构成了 RC 延时电路。

电路工作过程如下所述。

10ms 时，开关 U_1 闭合， Q_1 导通（假设 Q_1 导通的饱和管压降可以忽略）， R_2 接地，则

输入侧的 12V 开始通过 R_2 对 C_2 和 MOS 的 GS 极间电容进行充电，随着充电的进行，PMOS 的栅极电压从 12V 逐渐下降，当栅极电压下降到一定值并使源栅压降等于 $V_{GS(th)}$ 时，PMOS 开始导通，但是此时 PMOS 的通态电阻 $R_{DS(ON)}$ 还是很大，因此漏极电流 I_D 不会很大，从而很温和地预先对后级电路的容性负载进行充电；随着对 C_2 的不断充电，源栅压降越来越大，PMOS 的通态电阻 $R_{DS(ON)}$ 也越来越小，漏极电流 I_D 也越来越大，直到最后 PMOS 完全导通，通态电阻 $R_{DS(ON)}$ 达到最小，漏极电流也达到最大，实现输入端软启动并稳定地向后级电路提供电压电流，从而实现了电源的开关控制。当然，最后充电到稳态时，PMOS 的栅极会到达稳态电位，约为 $12V \times [10k\Omega / (100k\Omega + 10k\Omega)]$ 。该电路的 PSpice 仿真结果如图 7-132 所示。

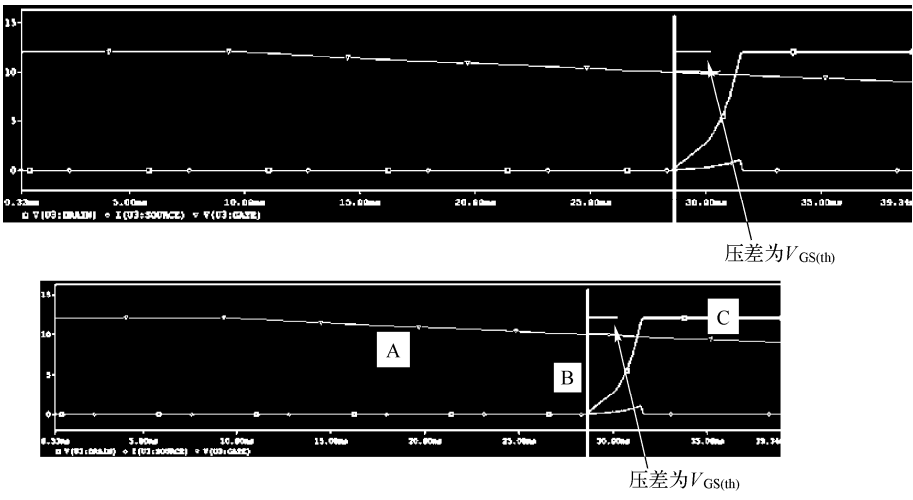


图 7-132 电路的 PSpice 仿真结果

图中的 A 曲线为 PMOS 管的栅极电压，C 曲线为 PMOS 管的漏极电压，B 曲线为 PMOS 管的漏极电流。从曲线的变化趋势可以看出随着栅极电压的下降，也就是随着 V_{gs} 的增大，在红色竖线处的 V_{gs} 压差刚好等于 $V_{GS(th)}$ ，PMOS 开始慢慢导通，因此 B 曲线表示的冲击电流也不会太大（峰值没有超过 1.5A，当然一般的 MOS 管的 I_D 大于 1.5A，如果后级电路的容性负载也能承受 1.5A 的电流，则该电路的参数设计就没有问题）。

这里有一个仿真结果的输出规律：RC 时间常数大，则冲击电流小，但是 Enable 信号给出后，电路的导通时间变长（如从图中可以看出要延时 20ms 左右，PMOS 才打开）。

在做电机驱动时要求 MOS 管导通和关断都要尽可能快，这样才能减小开关交叠损耗（实际中尤其是上桥臂的 MOS 管如果开关太慢，会过热甚至炸管）。但是在 BJT+PMOS 做开关应用时却要求软启动、慢打开，这是因为此时的 MOS 管不是用在高频开关的场合，PMOS 大多工作在导通状态，则打开过程中的损耗可以忽略（当然这个打开 MOS 管的时间也不能无限放大，否则依然会导致管子发热甚至炸管）。

2. Pspice 仿真在倍压电路中的应用

在高压电路的设计过程中，通常是采用方案选择→设计电路→测试 1→修改 1→测试 2→修改 2→……→测试 n→修改 n→测试 n+1→完成设计的设计流程。可以看出，修改与测试需

要反复进行，因为高压电路设计的高成本及测试过程的危险性给高压电路设计带来了一定的难度。将电路的仿真技术与测试相结合，能够降低电路开发的成本、减少电路反复测试及修改的测试，Pspice 电路仿真技术适用于这一需求。

某倍压电路的设计如图 7-133 所示，该电路的结构称为信克尔倍压和整流电路，在该电路中，电容均为 $0.11\mu\text{F}$ ；仿真信号源的特性是幅值为 250V 、频率为 50Hz 、内阻为 5Ω ；负载电阻为 $1\text{M}\Omega$ ，需要测试的输出电压分别为 OUT1、OUT2、OUT3，以及最终输出 OUT。其 4 倍压电路的仿真结果如图 7-134 所示。

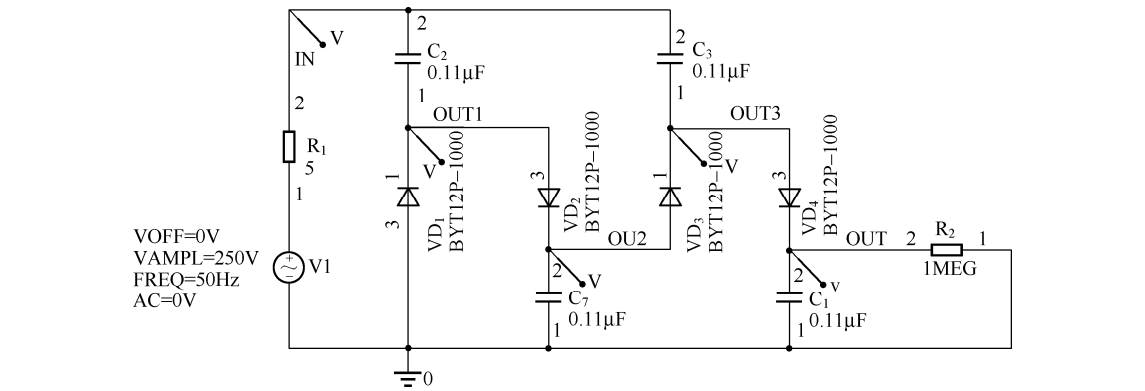


图 7-133 信克尔倍压和整流电路

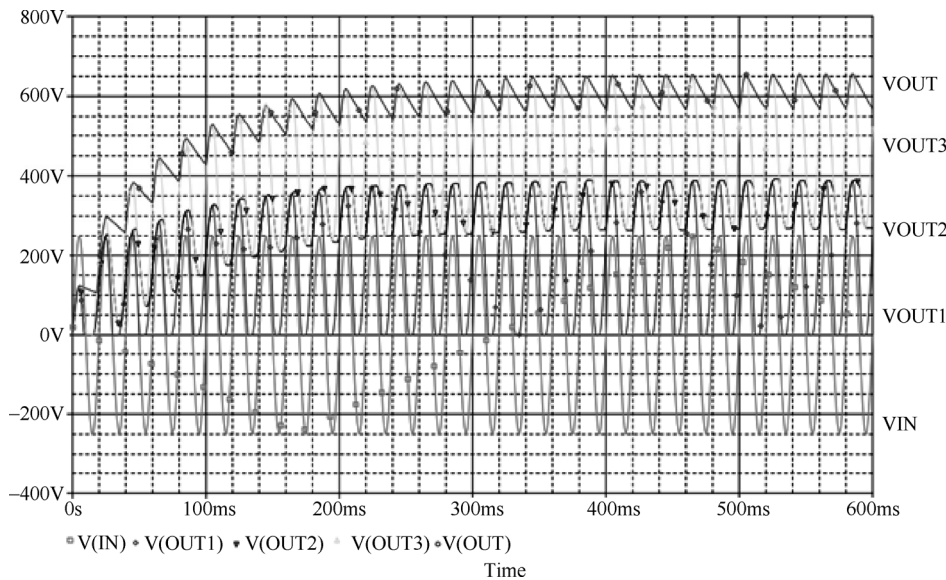
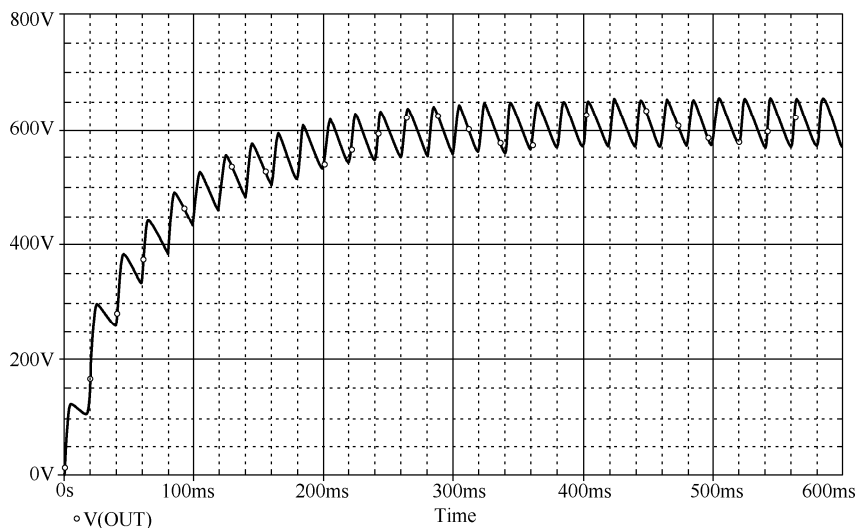
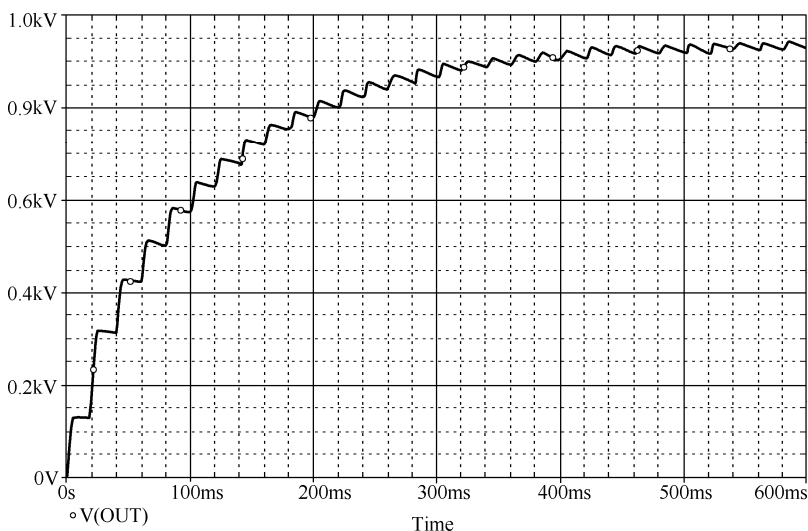


图 7-134 4 倍压电路的仿真结果

当需要评估各电容的容值、负载的影响和信号源的特性时，如果不采用仿真需要反复计算各参数对电路的影响，反复焊接 PCB 上的元器件，不利于提高电路设计的效率，且成本较高，而采用仿真与实际测试的方式，能够更加便捷地进行电路的设计，如图 7-135 所示是评估电路中采用 $0.11\mu\text{F}$ 与 $1\mu\text{F}$ 的电容时对电路输出电压的影响。



采用 0.11μF 容值



采用 1μF 容值

图 7-135 采用 0.11μF 与 1μF 电容时电压的输出波形

7.4 本章小结

本章从原理图设计的封装库设计开始论述，对电路设计中常用的电阻、电容、电感、磁珠、BJT、MOSFET、LDO、DC/DC、常用处理、常用存储器、常用的总线、电路互连的逻辑电平要求、常用接口电路、电路设计中的 ESD 防护概念、设计思路及常用设计电路进行了归纳总结，并对原理设计中的时序、Datasheet 的阅读点及 PSpice 在电路分析中的应用做了阐述。

硬件系统 PCB 详细设计

8.1 PCB 设计中的 SI/PI/EMC/EMI/ESD/DFX

PCB 设计是实现系统物理设计的过程, PCB 的设计不仅要满足产品的功能与性能, 其设计过程也是一个艺术创作的过程, 完成的 PCB 图纸是按照需求对知识的提炼, 是由电子系统设计方方面面的知识点构筑的大厦。

由前面章节的分析知道, 在 PCB 设计中需要考虑方方面面的要求, 设计的过程就是整合设计要求的過程。在设计的过程中, 需要综合考虑各个方面的要求; 在众多的要求中, 做到折中, 使系统的功能及性能达到最优; 在设计的过程中, 需要综合考虑 PCB 各走线的信号完整性、信号走线的时序、各供电单元的电源完整性、PCB 的 EMC 和 EMI 特性、端口的 ESD 防护、系统局部和全局的散热处理、DFX 的要求。

1. PCB 设计与信号完整性

在原理图阶段设计考虑信号完整性问题时, 是以理想传输线的模型来进行分析的, 在实际的 PCB 设计中, 走线主要有两种模型: 微带线和带状线。

为保证信号的完整性, 需要对信号进行量化分析, 对于有信号完整性要求的信号, 在进行 PCB 设计时, 都有对应的特性阻抗的要求。在信号完整性分析中, 解决了单端信号的信号完整性问题, 就解决了大部分的信号完整性问题, 对于单端信号来说, 信号的反射是影响信号完整性的一个重要因素。根据信号反射的机理知道, 信号的反射是由于阻抗的不连续引起的, 如果信号从发送端到接收端的路径都保持一致的阻抗特性, 那么单端信号就不会出现信号完整性问题, 也就没有了信号的反射, 信号的完整性也就得到了保证。因此, 对于 PCB 设计的信号完整性来讲, 在进行 PCB 设计时, 需要保证走线的物理参数不变, 即走线的宽度、走线的参考平面、走线距离参考平面的距离都保持一致。如果从发送端到接收端的信号走线是微带线, 为保证走线特性阻抗的一致性, 从发送端到接收端需要全程走微带线; 如果从发送端到接收端的信号走线都是带状线, 则同样的全程路径都要保持带状线的走线类别。因 BGA 类的 IC 需要对其引脚做扇出 (Fanout) 处理, 从焊盘到扇出过孔之间有一小段走线, 此段走线是出现阻抗不连续的点, 所以在走线时, 要尽可能短, 尽量减小其对信号完整性的影响。进行 PCB 走线后, 实际物理走线会显示其带状线或微带线的模型。如图 8-1 所示是从发送端到接收端的主 PCB 走线 1, 从走线特性的角度可以看出, 该走线为微带线, 走线的线长为 32.3581mm, 特性阻抗是 46.657 Ω ; 如图 8-2 所示是从发送端到接收端的主 PCB 走线 2, 从走线特性的角度可以看出, 该走线为带状线, 走线的线长为 36.1534mm, 特性阻抗是 48.693 Ω 。

影响信号完整性的另一个因素是串扰。串扰是多个网络之间信号的相互耦合造成的, 从 PCB 设计的角度考虑, 减弱信号串扰最直接、最有效的方法是加大信号间距。在 PCB 设计工

具中进行线宽、线距离设置时,要明确线距是指 2 根 PCB 走线内侧边缘的距离,而在有些设计规则中,PCB 走线的间距是指 PCB 走线中心间距的距离;在进行理论计算或 PCB 走线规则设置时,要明确走线的间距是指 2 根走线的相邻内层边缘的距离还是走线的中心距。



图 8-1 微带线主走线



图 8-2 带状线主走线

2. PCB 走线信号时序分析

从第 3 章中关于走线时序的分析知道,目前应用最广的时序系统是源同步时序系统。从 PCB 的角度看,PCB 通过走线来调整彼此的时序,在对时序有要求的系统设计中,采用蛇形线进行走线延时。蛇形线是 Layout 中经常使用的一类走线方式,其主要目的就是为了调节延时,满足系统时序设计要求。设计者首先要有这样的认识:蛇形线会破坏信号质量,改变传输延时,因此布线时要尽量避免使用。但在实际设计中,为了保证信号有足够的保持时间,或为了减小同组信号之间的时间偏移,往往不得不故意进行绕线。某系统设计中,为满足 DDR3 信号之间的时序要求,数据线采用蛇形走线的 PCB 部分走线如图 8-3 所示。

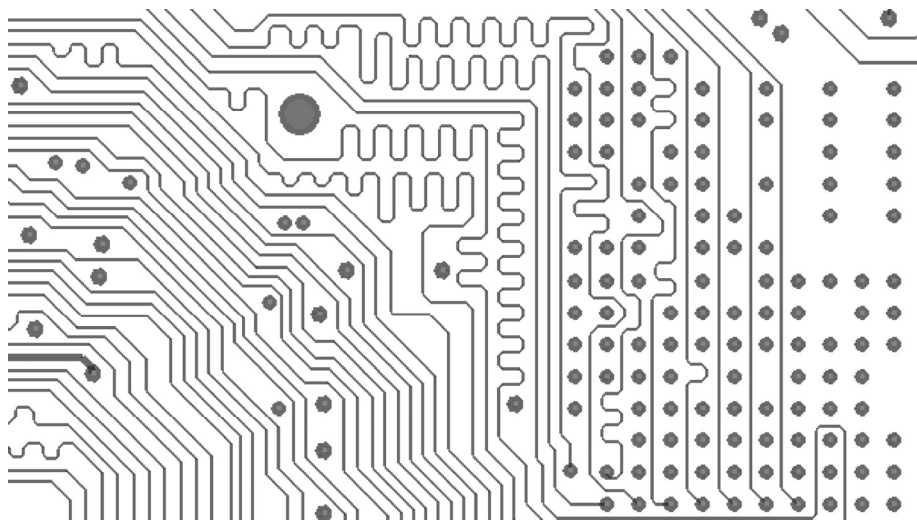


图 8-3 PCB 中的蛇形走线

蛇形线最关键的两个参数就是耦合长度(L_p)和耦合距离(S),如图 8-4 所示。很明显,信号在蛇形走线上传输时,相互平行的线段之间会发生耦合,呈差模形式, S 越小, L_p 越大,则耦合程度也越大,可能会导致传输延时减小,以及由于串扰而大大降低信号的质量。

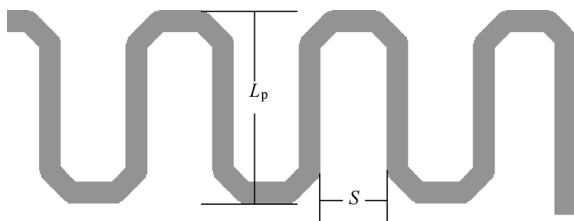


图 8-4 蛇形走线的耦合长度和耦合距离

关于处理蛇形线时的几点建议如下。

- ① 尽量增加平行线段的距离 (S)，至少大于 $3H$ ， H 指信号走线到参考平面的距离。通俗地说就是绕大弯走线，只要 S 足够大，就几乎能完全避免相互的耦合效应。
- ② 减小耦合长度 L_p ，当两倍的 L_p 延时接近或超过信号上升时间时，产生的串扰将达到饱和。
- ③ 带状线 (Strip-Line) 或埋式微带线 (Embedded Micro-strip) 的蛇形线引起的信号传输延时小于微带线 (Micro-strip)。理论上，带状线不会因为差模串扰影响传输速率。
- ④ 高速及对时序要求较为严格的信号线，尽量不要走蛇形线，尤其不能在小范围内蜿蜒走线。
- ⑤ 在空间允许的情况下，可以采用任意角度的蛇形走线，能有效减少相互间的耦合。
- ⑥ 高速 PCB 设计中，蛇形线没有所谓滤波或抗干扰的能力，只可能降低信号质量，因此只做时序匹配之用而无其他目的。
- ⑦ 有时可以考虑螺旋走线的方式进行绕线，仿真表明，其效果要优于正常的蛇形走线。
- ⑧ 蛇形线走线的转角采用 45° 转角或圆形转角。

3. PCB 设计与电源完整性

从 PCB 的角度考虑电源完整性设计主要从两个方面入手：电容的去耦特性和电源/地平面的去耦。

电容的去耦存在去耦半径的问题：容值与封装越小，其去耦半径越小。在 PCB 布局时，为保证小封装小电容对电源的有效去耦，电容应尽量靠近要去耦的电源引脚放置；容值与封装越大，其去耦半径越大，可以对较大区域的电源进行有效去耦，在大封装大容值的去耦电容布局时，可以同时管控多个电源引脚的去耦。小的去耦电容一般是陶瓷电容，大的去耦电容一般采用钽电容，无论是小的去耦电容还是大的去耦电容，在进行 PCB 布局时，要均匀布置在 IC 的周边，从布局半径和均匀度着手，从而可以有效去耦，使噪声能够通过低阻抗路径及时流向地平面，从而使电源有较好的完整性，保证器件的正常工作。

高频去耦电容针对密间距的 SOP 或 QFP 器件进行去耦时，采用如图 8-5 所示的布局占用的布局空间少，适合高密度板，也最为常见，但板厚会对电流的回流路径有影响。

当高频去耦电容的布局空间较大，器件密度不高时，可以采用如图 8-6 所示的布局方式。此布局方式的电容和器件在同一面，电流的回流路径短，电流先经过电容再到芯片，电容的去耦效果好。

对于 SOP 或 QFP 器件的去耦，如采用图 8-7 所示的两种布局方式，因增加了电源和地之间回流的路径长度，所以增加了回路电感，是不可取的。



电源与地引脚同侧

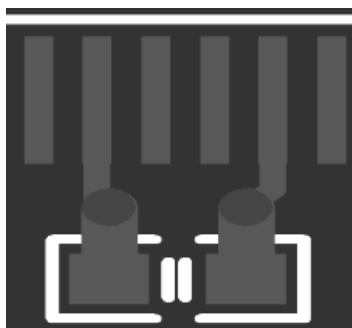


电源与地引脚异侧

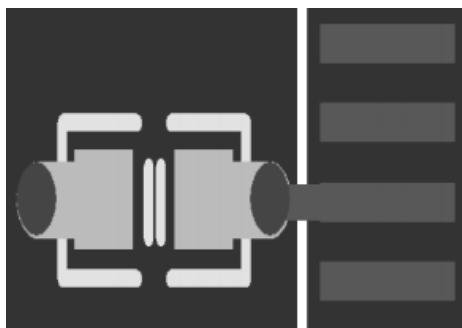
图 8-5 高密度去耦电容布局



电源与地过孔在电容外侧



电源与地过孔在电容内侧



电容在器件的异面

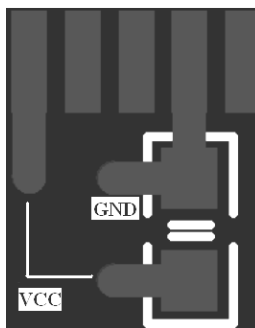


电容在器件的同面

图 8-6 器件密度不大时的电容布局



电源和地过孔在 IC 内侧



电容未对 VCC 有效去耦

图 8-7 不可取的电容布局

对于 BGA 类封装的 IC，为对 IC 的电源引脚有效去耦，在布局时一般都直接将滤波电容布置在 BGA 贴片的另一面（当 IC 布置在 TOP 层时，去耦电容布置在 BOTTOM 层）。当引脚间距较大时，去耦电容布局在 BGA 的两相邻焊盘的对称中心上，如图 8-8 所示；当空间不允许时，要根据扇出过孔的分布情况，对去耦电容进行均匀布局，尽量让每一个关键电源网络的引脚都有一个去耦电容，当空间不足时，可以让两个电源引脚共用一个去耦电容，如图 8-9 所示；在进行去耦电容布线时，为有较好的滤波效果，在电源和地引脚不能都最短布线时，一般要保证地引脚优先路径最短，如图 8-10 所示。



图 8-8 去耦电容布置在焊盘中间

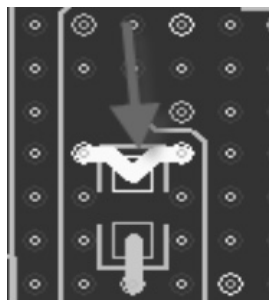


图 8-9 电源引脚共用滤波电容

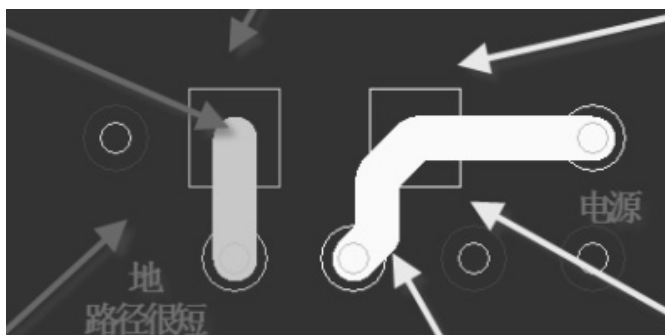


图 8-10 地引脚优先路径最短布线

钽电容作为 IC 电源滤波的储能电容，在布局时要均匀布置在 IC 的四周。进行钽电容布线时，因为钽电容的焊盘比较大，所以在布线时一般会采用多个过孔分别与电源网络和地网络相连。很多钽电容焊盘采用如图 8-11 所示的扇出（Fanout）走线方式，因为钽电容是作为储能电容使用的，所以系统工作时会有大量的电流流过，为了保证电流的流通有足够的通路，会加大电流与焊盘连接的面积，在一般的钽电容 Fanout 处理时也采用了多个过孔与焊盘连接的方式；如图 8-12 所示是优化的钽电容焊盘和走线的处理方式，可以看出钽电容在做 Fanout 处理时采用了尽量粗的引线和多条引线，在空间允许的情况下，应尽可能采用敷铜的方式连接钽电容的焊盘和过孔。在用过孔处理钽电容的焊盘时，应尽量多用过孔，但要注意，在多打过孔时不要将内层的供电电源层打断。

对于电源与地平面的去耦，是通过电源与地平面之间形成电容来对高频噪声进行去耦的。由第 4 章中对电源与地平面的论述可知，在进行电源与地平面的叠层结构设计时，为保证电源和地平面之间有良好的去耦特性，应尽可能减小电源和地平面之间的距离，以 5mil 以内的间距为优。在进行 PCB 设计时，电源平面和地平面是采用敷铜的形式来实现的，除对地网

络有要求分割的情况外，大多数情况下，地网络不需要分割，在电源层完成敷铜操作后，需要根据各个区域不同的电源网络特性进行平面的分割，如图 8-13 所示。对电源平面的分割要尽量保持规则形状，不允许有细长条及哑铃形分割；在进行电源网络的区域划分时，有时会有较少节点的电源网络，为保证电源网络平面的完整性，少量节点的电源网络应尽量在走线层完成，在布线空间允许的情况下，应尽可能采用敷铜处理少量节点的电源网络；对于供电线路较长的走线，为滤除因长路径走线耦合进来的噪声，需要加处理相应频率噪声的滤波电容。

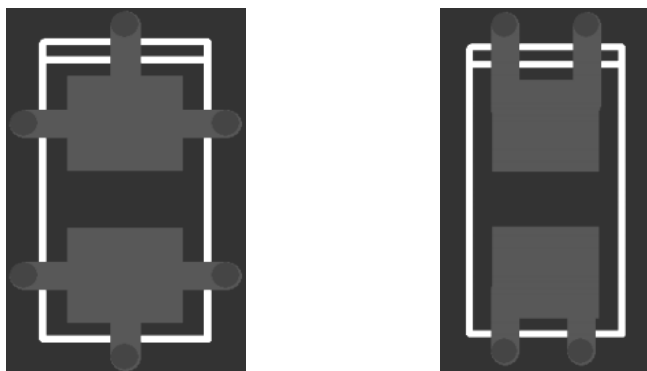


图 8-11 一般的钽电容焊盘扇出处理

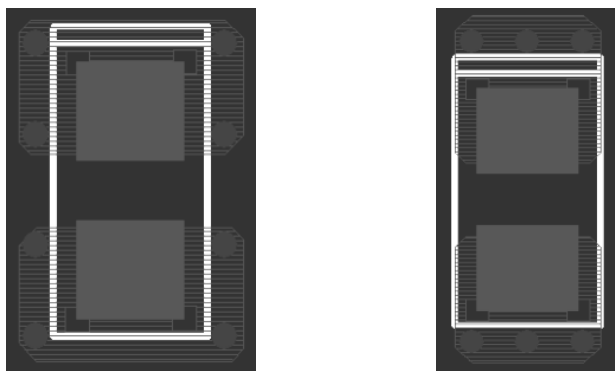


图 8-12 优化的钽电容焊盘扇出处理

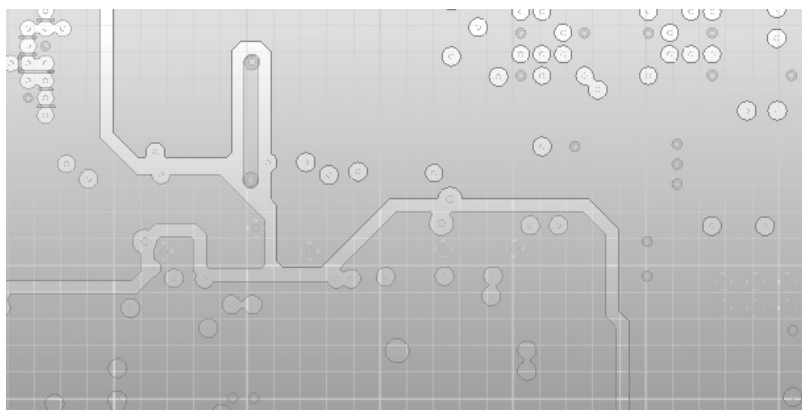


图 8-13 电源平面的分割

4. PCB 设计中的 EMC

PCB 设计中的每一步操作都与 EMC 息息相关，尤其是高速电路设计领域，在进行 PCB 的布局、布线过程中，每一步的操作都要时时注意可能因为布局、布线出现的天线效应而产生 EMC/EMI 的问题。PCB EMC 方面的设计在第 5 章已做了详细的论述，可以查阅此部分进行了解。

在进行 BGA 类 IC 的去耦电容设计时，按照常规的焊盘封装对去耦电容进行布置，常常因为焊盘扇出的间距太小，出现常规封装的焊盘之间放不下去耦电容或配置电阻的问题，在这种情况下，可以在满足加工工艺的情况下，对焊盘做适当更改，缩小焊盘的尺寸。

根据第 5 章中的知识点可知，在进行 PCB 走线时，在走线转角处走 45° 角或圆角；同样，在制作 PCB 的焊盘时，也可以将长方形或正方形的尖角做出圆弧形，这对优化系统的 EMC/EMI 有益。去耦电容的圆弧角焊盘处理如图 8-14 所示。同样，在进行走线层或电源平面的敷铜处理时，也要对铜皮做圆弧角或 45° 角的处理，如图 8-15 所示。圆弧角或 45° 角的处理应该贯穿于 PCB 设计的整个过程中。

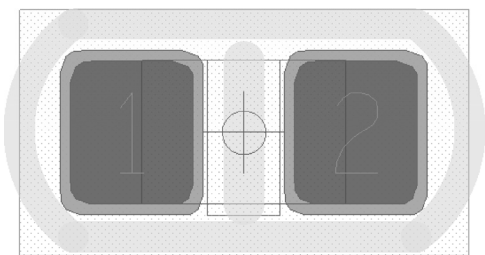


图 8-14 去耦电容的圆弧角焊盘处理

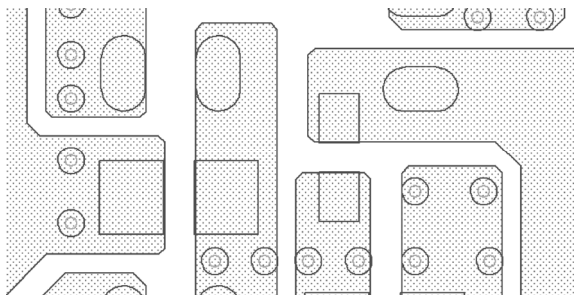


图 8-15 铜皮的 45° 角处理

5. PCB 设计中的 ESD 防护

ESD 防护的原理部分在第 7 章进行了论述，ESD 产生的三要素是干扰源、耦合路径和敏感设备，这三个要素中缺少任何一个都不会产生 ESD 的问题。在进行 PCB 设计中，ESD 的防护主要考虑 ESD 防护器件的布局及布线处理，以消除 ESD 产生的三要素中的其中一个或几个。

在进行 PCB 设计时，要考虑 ESD 的防护，在走线时应遵循横平竖直的走线方向，空间允许时走线应尽量加粗；在 PCB 的边缘不要布置对噪声敏感的信号，如时钟信号、复位信号等；当 PCB 由多层构成时，敏感走线尽可能要有良好的参考地平面；对于滤波器、光耦合器、弱信号走线，应尽可能加大走线之间的距离；长距离的走线需要进行滤波处理；根据 ESD 的防护，应适当增加屏蔽罩。

对于 PCB Layout 的防护，在设计中应加大地的泄放面积，而且在进行敷铜处理时，使敷铜均匀，保持地的电阻值不变；对板内的器件形成环绕地，板内的敏感信号用地线保护；在板的设有布局、布线的空闲区域进行敷铜，并在相应的铜皮上打地孔，并使每层的地都紧密相连，如图 8-16 所示，在 ESD 板级地孔防护的处理中，环绕地孔的数量越多越好。

对接口与保护可以遵循如下设计规则。

① 一般电源防雷保护器件的顺序是压敏电阻、熔丝、抑制二极管、EMI 滤波器、电感或共模电感，对于原理图缺失上面任意器件的则顺延布局。

② 一般接口信号保护器件的顺序是 ESD (TVS 管)、隔离变压器、共模电感、电容和电阻，对于原理图缺失上面任意器件的则顺延布局。

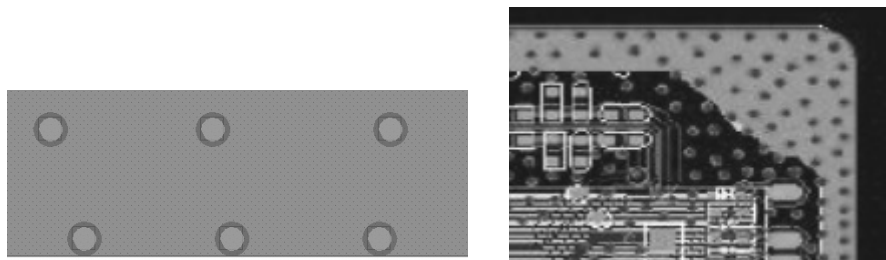


图 8-16 ESD 板级地孔防护

③ 严格按照原理图的顺序（要有判断原理图是否正确的能力）进行“一字形”布局。

④ 电平变换芯片（如 RS232）要靠近连接器（如串口）放置。

⑤ 易受 ESD 干扰的器件，如 NMOS 和 CMOS 器件等，应判断是否已尽量远离易受 ESD 干扰的区域（如单板的边缘区域）。

⑥ 浪涌抑制器件（TVS 管、压敏电阻）对应的信号走线在表层应短且粗（一般距离在 10mil 以上）。

⑦ 不同接口之间的走线要清晰，不要互相交叉，接口线到所连接的保护和滤波器件距离要尽量短，接口线必须经过保护或滤波器件再到信号接收芯片。

⑧ 接口器件的固定孔要接到保护地上，连接到机壳上的定位孔、扳手等要直接接到信号地上。

⑨ 变压器、光耦合器等器件输入与输出信号的地要分开。

6. PCB 设计中的散热处理

PCB 设计中的散热处理在第 2 章中已做了详细的论述，在进行 PCB 设计时，与热设计相关的操作主要是根据风道中的风流向对器件的布局、高热量器件散热焊盘的处理、加大制板的铜厚、IC 散热片的使用等。

在布局时，需要评估各个器件的发热量，在满足功能布局的情况下，高发热器件放在下风口，低发热器件放在上风口，当发热器件因为高度的原因相互遮挡时，在 PCB 布局时要进行交叉摆放；一些发热大的器件，一般会有专用的散热焊盘，要适当在散热焊盘上添加过孔，为利于散热，散热用的过孔都要做阻焊开窗处理，如图 8-17 所示；PCB 在相同的条件下，铜厚越厚，散热效果越好，为利于散热，有时将 1oz 的加工改为 2oz 的敷铜厚度，但加大铜厚会增加一定的成本；散热器的使用有利于减小 IC 散热的热阻，能更快将热量散到空气中，在使用散热片时，可以根据不同的情况，使用第 2 章中不同的散热片的粘固方式进行处理。

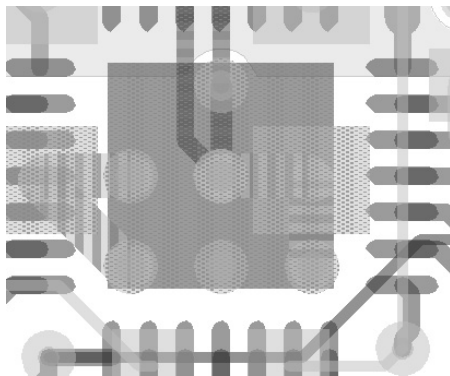


图 8-17 IC 散热焊盘的应用

7. PCB 设计中的 DFX

PCB 设计中的 DFX 是 PCB 设计规则的体现，当进行 PCB 设计时，需要根据 DFX 的要求，设定满足 DFX 的设计规则，如最小线宽、最小过孔的钻孔直径等。PCB 设计的 DFX 要求在第 6 章中有详细的论述，请参照第 6 章中的信息根据 DFX 的一系列要求设定 PCB 设计的工艺加工规则，进而进行 PCB 设计。

8.2 PCB 的板框及固定接口定位

PCB 的板框是 PCB 的界线范围，板框确定了 PCB 的外形及尺寸，PCB 的布局、布线都是在 PCB 的板框内进行的，无论是布局、布线还是内层平面的敷铜处理，相对板框都要内缩一定的距离，内缩的尺寸可以依据设计的要求选择，如无特殊说明，敷铜时相对板框内缩 0.5mm 即可（如图 8-18 所示，PCB 上的敷铜相对板框内缩了 0.5mm）。对于 PCB 的板框不是很复杂的情况，PCB 设计工具完全可以胜任，当板框的结构比较复杂或需要根据结构的 CAD 图纸进行 PCB 的板框设计时，需要导入 CAD 的板框图纸。PCB 设计工具都提供了导入 DXF 图纸的功能，将 CAD 的板框图纸直接导入即可，如图 8-19 所示是导入 DXF 文件后设计的数据交换网关的板框。

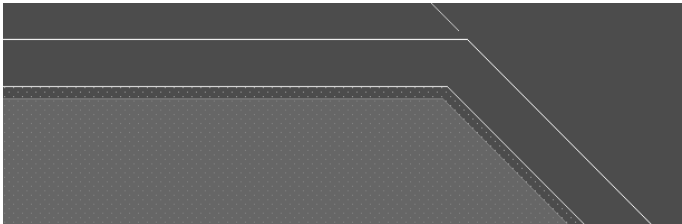


图 8-18 敷铜相对板框内缩 0.5mm

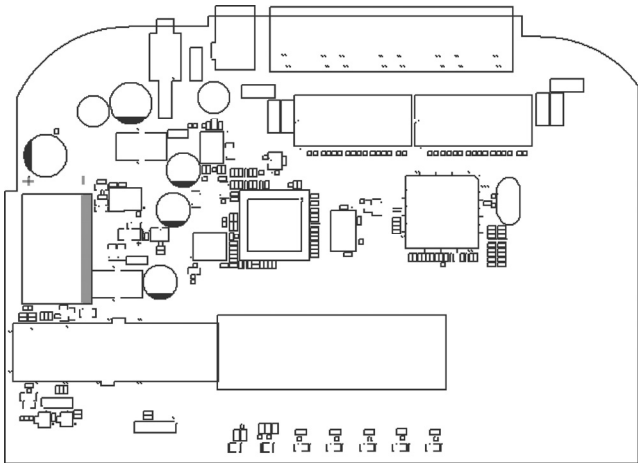


图 8-19 导入 DXF 文件后设计的数据交换网关的板框

PCB 上的定位孔是用来进行 PCB 和外壳固定的接口，需要结构工程师提供 PCB 定位的坐标及装配螺钉的孔径。为了加大螺钉固定的强度，PCB 固定孔的焊盘会做成“星轮焊盘”，称之为“星月孔”，又叫“众星捧月孔”，如图 8-20 所示。中间的大孔如果是非金属化孔，则用

作安装定位孔，如果是金属化孔，则除了安装定位外，还可以提供到地平面层的金属连接。旁边焊盘上的多个小孔，是为了让金属焊盘对地有更充分的连接。

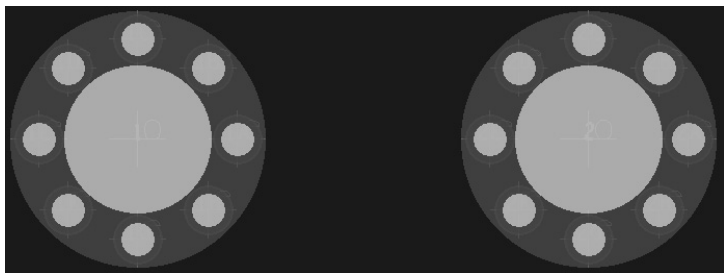


图 8-20 众星捧月孔

PCB 使用星月孔进行定位的好处是能起到固定的作用和更好的接地作用。通常是把多个小孔和一个大孔做成一个元件。通常情况下，众星捧月孔要与地连接，而且在较大尺寸的 PCB 上，最少要有 6 个这样的基板定位孔，将多个孔做成 1 个元件在 PCB 调用时比较方便。

如果感觉做成 1 个孔比较麻烦，也可以按照下列步骤进行。

① 根据结构图和基板外形图等资料，在定位孔指定的位置铺上比直径大 2~5mm 的圆形铜皮，敷铜的 net 名是覆盖 PCB 面积最大的地网络。

② 使用过孔（这个大小可根据当时设计中最大尺寸的过孔来进行调整），对称打上 6~8 个。

③ 在前面敷铜外边+5mm 处做上禁止区域（元件禁止区域应该更大才好）。

④ 上述步骤完成后要保护起来，以免在设计中被修改。

注意：在 PCB 数据中，星月孔的铜皮超出基板外形的虽然可以，但要与基板制造商取得联系，让他们注意在 Geber 文档中进行适当处理。

在 PCB 上对外接口的布局及相互之间的距离间隔是 PCB 设计时需要重点考虑的一个方面。PCB 上对外接口的位置不仅要考虑用户使用的方便性，还要有利于 PCB 上信号的走线。在进行 PCB 上对外接口的布置时，要考虑的因素有接口使用的方便性、接口连接外部设备时的可连接性、结构装配时的间隔及高度要求、PCB 走线的便利性和外壳的长、宽、高对接口的要求等。PCB 设计完成后，需要将布局完成的二维图纸反馈给结构工程师以确认其结构的合理性。如图 8-21 所示是某 TV 布局完成并标注相关尺寸后的图纸。

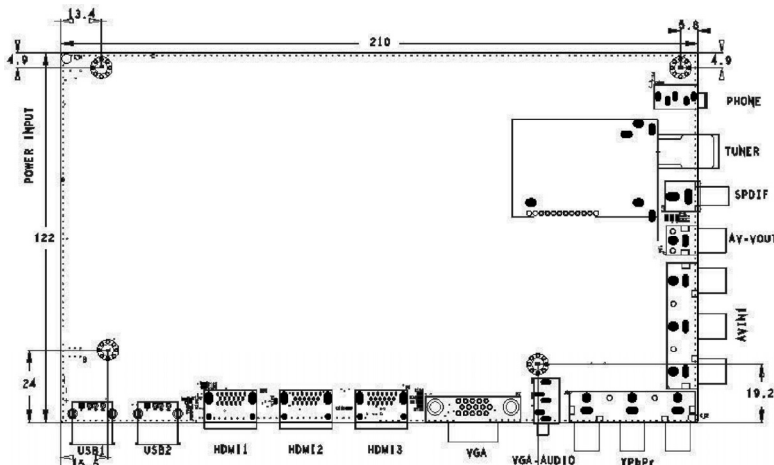


图 8-21 某 TV 布局完成并标注相关尺寸后的图纸

8.3 PCB 的叠层结构：信号层与电源平面

板框完成后，需要根据 PCB 的叠层结构进行 PCB 叠层的设置，即根据设计的需要确定所使用的板的层数及叠层结构（板的层数及叠层结构在第 5 章中已做了详细的论述）。下面以 Cadence 为例，如图 8-22 所示，对 PCB 的叠层结构进行设置。在设置叠层结构时，需确认叠层每一层的属性是属于走线层还是内层平面，当不需要进行仿真分析时，只需要设置叠层关系就可以了，而仿真分析需要设置更详细的叠层层数。为了后续板级仿真分析及加工参数的确认，一般在进行多层 PCB 设计时，都需要设置详细的参数，如叠层的厚度、填充介质的介电常数、损耗正切值和叠层结构的正负片属性等。

	Subclass Name	Type	Material	Thickness [MM]	Conductivity [mho/cm]	Dielectric Constant	Loss Tangent	Negative Artwork	Shield	Width [MM]	Impedance [ohm]
1		SURFACE	AIR			1	0				
2		DIELECTRIC	POLYIMIDE	0.017	0	3.6	0.035				
3	TOP	CONDUCTOR	COPPER	0.035	595900	4.5	0	<input type="checkbox"/>		0.1651	46.657
4		DIELECTRIC	FR-4	0.1016	0	4.5	0.035				
5	GND02	PLANE	COPPER	0.035	595900	4.5	0.035	<input type="checkbox"/>	<input checked="" type="checkbox"/>		
6		DIELECTRIC	FR-4	0.127	0	4.5	0.035				
7	SIG03	CONDUCTOR	COPPER	0.035	595900	4.5	0.035	<input type="checkbox"/>		0.1524	48.693
8		DIELECTRIC	FR-4	0.92964	0	4.5	0.035				
9	SIG04	CONDUCTOR	COPPER	0.035	595900	4.5	0.035	<input type="checkbox"/>		0.1524	48.693
10		DIELECTRIC	FR-4	0.127	0	4.5	0.035				
11	POWER05	PLANE	COPPER	0.035	595900	4.5	0.035	<input type="checkbox"/>	<input checked="" type="checkbox"/>		
12		DIELECTRIC	FR-4	0.1016	0	4.5	0.035				
13	BOTTOM	CONDUCTOR	COPPER	0.035	595900	4.5	0	<input type="checkbox"/>		0.1651	46.657
14		DIELECTRIC	POLYIMIDE	0.017	0	3.6	0.035				
15		SURFACE	AIR			1	0				

图 8-22 Cadence 中叠层结构的设置

8.3.1 PCB 的板材：Core 和 PP，FPC

1. Core 和 PP

Core 和 PP（Prepreg）是 PCB 两个重要的组成部分，如图 8-23 所示。Core 的两个表层都敷有铜箔，两面铜箔可以作为电源层、底层及信号层，Core 的上下两个铜箔之间填充的是固态材料；PP 的表面不敷铜箔，在 PCB 的叠层结构中起填充作用，其材质是半固态的树脂材料，在硬度上比 Core 要软一些。因 Core 的结构特性较 PP 稳定，所以在进行 PCB 走线的阻抗设计时，对走线阻抗有要求的关键信号尽量都在 Core 的两个平面进行布线。

	铜箔	Core
	固态树脂材料	
	玻璃纤维	
	固态树脂材料	
	铜箔	
	玻璃纤维	Prepreg
	半固态树脂材料	
	玻璃纤维	

图 8-23 Core 和 PP

2. FPC

FPC 广泛应用于电子系统设计的各行各业，具有可挠曲性、体积小、质量轻、消除安装出错、增加可靠性、可控制电气参数及降低总成本的特点^[41]。FPC 可通过挠曲和折叠方便的在三维空间中进行布线或立体安装，只要不超过容许的挠曲半径，FPC 就可以进行几千次甚至几万次的挠曲而不会损坏；FPC 的导体界面薄而平，能够减小导线尺寸，采用 FPC 代替电缆进行连接，使设备在整体上更加紧凑、合理；FPC 能够大大减轻产品的质量；当采用电缆进行连接时容易出现安装或连接的错误，而采用 FPC 时可保证设计图纸经过验证校对后，生产出来的产品都是一致的，不会出现接错的问题；使用 FPC 可以进行三个维度的连接，减少转接互连，增加了系统的可靠性；FPC 可通过设计控制线宽、线距、线厚、介质厚度和介电常数等参数，来控制电容、电感、特性阻抗、延迟和衰减等特性；使用 FPC 可以大幅度降低系统的总体成本，FPC 可避免同时使用多块刚性板和大量电缆导线的组合，往往只需要加工一块挠性板或刚挠板就可以替换。

FPC 主要由挠性板材（FCCL）、铜箔、覆盖膜、纯胶和补强板构成。

① 挠性板材（FCCL）。FCCL 的特点是具有可挠曲性，板材薄，可以分为有胶板材和无胶板材，有胶板材由铜箔（Copper）+胶（Adhesive）+基材（Base Film）组成，无胶板材直接由铜箔（Copper）+基材（Base Film）组成，如图 8-24 所示。有胶板材和无胶板材的区别是是否有胶。一般产品使用正常的有胶板材即可；但对产品性能要求高的，如产品在高温状态下运作（ T_G 值 $\geq 170^\circ$ ）则需要使用无胶板材，但无胶板材价格非常贵，需要在设计时权衡性能和成本。

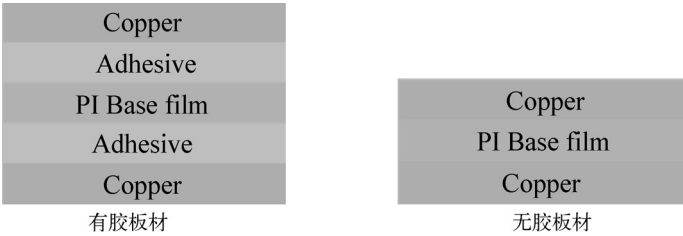


图 8-24 挠性板材（FCCL）：有胶和无胶

板材的铜箔有压延铜箔（RA）和电解铜箔（ED）。压延铜箔采用压力碾压而成，铜微粒呈水平轴状结构，它比电解铜箔要贵，但其可挠曲性要好；电解铜箔是采用电镀的方式形成的，其铜微粒结晶状态为垂直针状，易在蚀刻时形成垂直的线条边缘，有利于精细电路的制作，但在弯曲半径小于 5mm 或动态挠曲时，针状结构容易发生断裂，因此常用于一次性挠曲产品上。因此，当对挠曲性要求高时，采用压延铜箔；当对成本要求苛刻，在满足性能要求时，采用电解铜箔。铜箔的厚度有 0.5OZ、1OZ、2OZ，铜箔越薄，其挠曲性越好。

基材主要有聚酰亚胺（PI）、聚酯（PET）和聚四氟乙烯（PTFE）三类。聚酰亚胺（PI）（又称 Kapton）具有耐高温、节点强度高、电气性能和机械性能极佳的特性，但成本较高且容易吸潮，是 FPC 生产中最常用的板材；聚酯（PET）的耐热性较差，在低温产品设计中应用，其他特性与聚酰亚胺（PI）类似；聚四氟乙烯（PTFE）只用于要求低介电常数的高频电路设计中。基材性能的对比如表 8-1 所示。

表 8-1 基材性能的对比

性 能	聚酰亚胺（PI）	聚酯（PET）	聚四氟乙烯（PTFE）
极限张力 N/mm ²	172	172	20.7
极限延伸率	70%	120%	300%
因蚀刻引起的尺寸变化 mm/m	2.5	5	5
介电常数	4	4	2.3
损耗角正切	0.035	0.035	0.06
体积电阻率 MΩ·cm	106	106	107
表面电阻 MΩ	105	105	107
抗电强度 MV/m	25	25	25
吸潮率	4.00%	<0.8%	0.10%
熔点或零强度温度	180℃	>600℃	280℃
浮焊试验	通过	通过	通过

② 覆盖膜。覆盖膜相当于刚性板设计中使用的阻焊油墨，起防焊作用。覆盖膜由 PI+胶（Adhesive）组成，胶的作用是将挠性板材粘合在一起，PI 厚度一般是 0.5mil、1mil 和 2mil，其对应的胶的厚度不同。双面板可以由板材和覆盖膜压合而成，双面 FPC 叠层结构如图 8-25 所示。

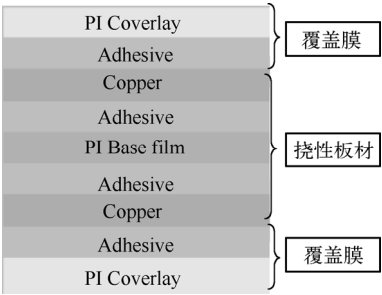


图 8-25 双面 FPC 叠层结构

覆盖膜的选择除了应满足产品板厚的要求外，还要考虑板材厚度与覆盖膜胶厚度的关系。因为胶不流动，只起填充铜被蚀刻后空隙的作用，所以选择覆盖膜时，应考虑胶的厚度是否能和铜厚大致相同。另外，对挠性要求高的产品，最好选择较薄的覆盖膜。

③ 胶（Adhensive）。胶相当于刚性板的半固化片 PP，主要起层与层之间的粘结作用，用于挠性层与挠性层、挠性层与刚性层之间的压合。一般胶的厚度是 25μm，因胶的 T_G 值在 100℃，所以对要求高 T_G 值的刚挠结合板一般不采用胶压合，而用不流动型半固化片（No Flow Prepreg）或低流动型半固化片（Low Flow Prepreg）进行压合。

④ 补强板（Stiffener）。补强板的作用是为了增强挠性板焊接部位的强度，一般设计在元器件焊接部分的底部，补强材料一般有 FR4 和 PI，正常情况下 PI 采用热敏胶（TSA）粘贴，FR4 采用压敏胶（PSA）粘贴，也可以采用热敏胶粘贴。压敏胶的费用稍低，但是结合力比热敏胶稍差，对补强板结合力要求高的产品，建议使用热敏胶压合。FR4 有各种板材厚度，PI 一般有 3mil 和 5mil。

FPC 根据其叠层可以分为单面挠性板、双面挠性板、多层挠性板和刚挠结合板。

① 单面挠性板。单面挠性板一般采用一张覆盖膜与一张单面挠性板压合在一起的办法，

只有一层导体铜。单面挠性板可以细分为：只有覆盖膜开窗，只有一层漏焊盘起导通作用（如图 8-26 所示）；覆盖膜和单面挠性板 PI 基材都开窗，顶、底层同时露出焊盘，起导通作用（如图 8-27 所示，此方式的成本较高）。单面挠性板可以根据实际需要设计补强板。

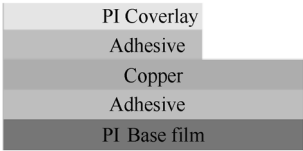


图 8-26 单面挠性板（一面开窗）

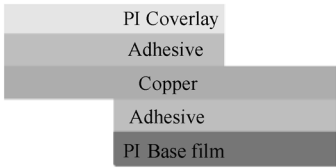


图 8-27 单面挠性板（两面开窗）

② 双面挠性板。双面挠性板的结构为两层导体铜，中间为绝缘 PI 基材，外层压合两张覆盖膜或阻焊，如图 8-28 所示。顶、底层可以通过设计导通孔进行连接，可根据实际需要设计补强板。

③ 多层挠性板。多层挠性板的结构为三层或三层以上导体铜，中间为挠性绝缘基材，一般在内、外层通过导通孔连接，可设计盲、埋孔（采用此类孔互连，设计费用会增加），顶、底层通过覆盖膜或阻抗开窗露出焊盘，如图 8-29 所示。可以根据实际需要设计补强板，目前的工艺可以实现十层挠性板。

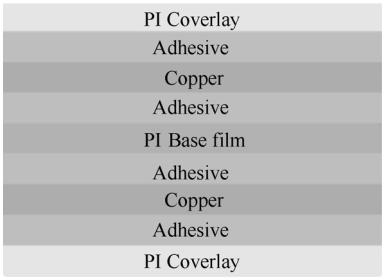


图 8-28 双面挠性板

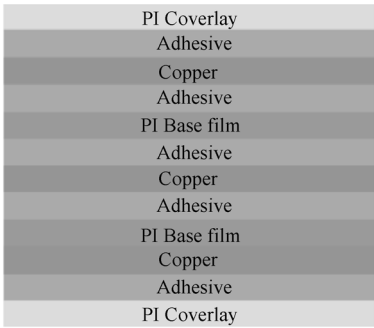


图 8-29 三层挠性板

④ 刚挠结合板。一层或多层挠性层与刚性板材压合在一起，刚性层与挠性层通过导通孔连接，这与挠性板贴 FR4 补强板不同（挠性板贴 FR4 补强板，导通孔连接到补强板上）。刚挠结合板产品费用较高，四层刚挠结合板如图 8-30 所示。

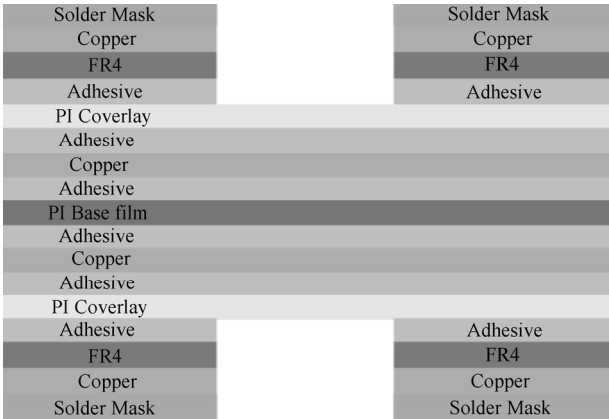


图 8-30 四层刚挠结合板

FPC 在进行线路设计时，挠性部分需要弯曲走线的导线，拐角应设计为圆弧形，避免出现角度，以减少挠曲存在的应力，如图 8-31 所示。为了增加线路在动态挠曲中的使用寿命，在拐弯处和边缘处，内径应设计添加保护线，如图 8-32 所示。动态挠性区域的敷铜应设计为网格状的线条，如图 8-33 所示，设计为网格状比设计为整块敷实铜具有更高的可靠性。

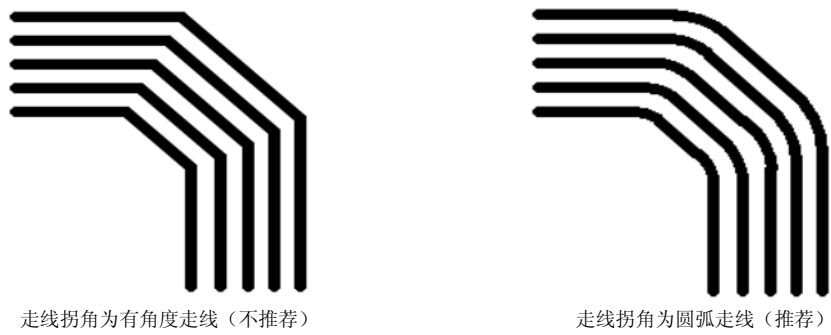


图 8-31 FPC 走线拐角的处理

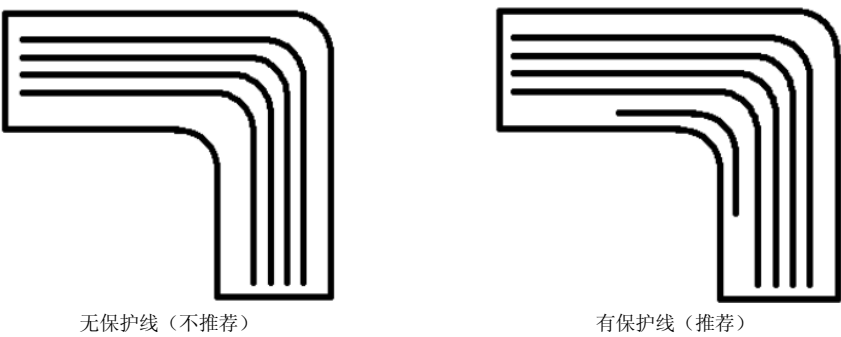


图 8-32 FPC 转角处的保护线处理



图 8-33 动态挠性区域的敷铜处理

对于挠性板线宽和铜厚的设计，基于较好的可靠性和可生产性，走线的线宽 L 应为铜厚 T 的 5 倍以上 ($L \geq 5T$)。走线线宽与敷铜厚度关系如图 8-34 所示。

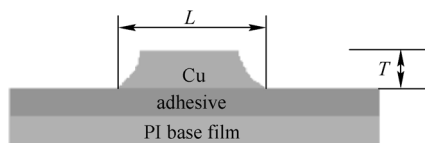


图 8-34 走线线宽与敷铜厚度关系

因为挠性板具有弯曲性，所以在设计焊盘时，如果空间允许，设计的焊盘应比覆盖膜（CVL）开窗大，由覆盖膜盖住部分焊盘以增加焊盘的结合力，如图 8-35 所示；如果空间不允许整体加大焊盘，则可选择如图 8-36 所示的几种方式，增加焊盘趾以增强焊盘的结合力。

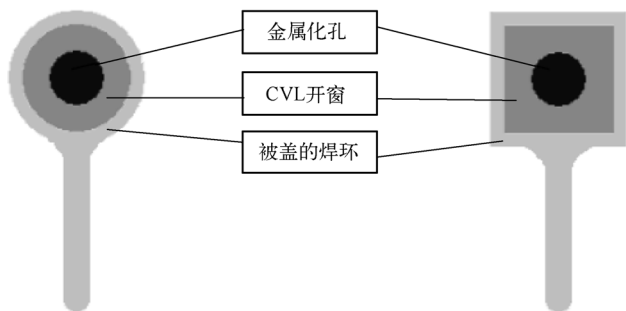


图 8-35 设计的焊盘比 CVL 开窗大

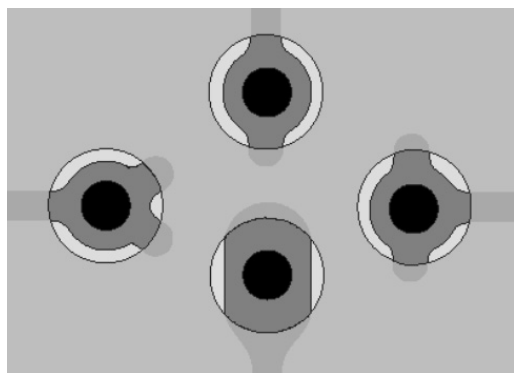


图 8-36 各类优化的焊盘设计

因挠性板的挠曲，所以需要加强焊盘的结合力，通过覆盖膜来盖住部分焊盘可以起到抓紧焊盘的作用，CVL 开窗以比焊盘的设计内缩 5mil 为佳，如图 8-37 所示。同样，对于 SMT 类的 IC（长度 $\leq 50\text{mil}$ ），CVL 开窗盖住 IC 焊盘两端 5mil，如图 8-38 所示。

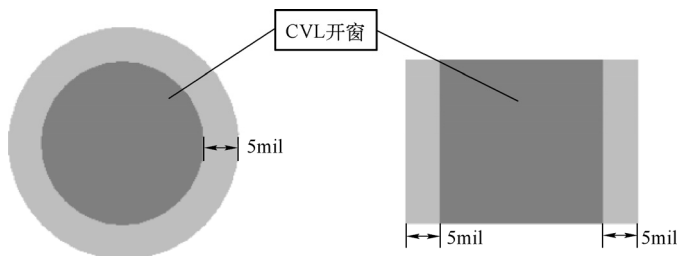


图 8-37 CVL 开窗推荐尺寸

目前采用 FPC 设计时，其基铜的厚度有 $12\mu\text{m}$ 、 $18\mu\text{m}$ 、 $35\mu\text{m}$ 和 $70\mu\text{m}$ ，基铜厚度越薄，挠曲性越好，但通流能力越弱，需要根据系统的设计情况进行合理的选择。基铜厚度越薄，可以走线的线宽就可以做到越小，目前在 1oz 基铜的情况下，最小线宽线距可以做到 4mil；钻孔直径为 0.2~6.3mm；最大厚度钻孔比为 10:1；最小单面厚度可以达到 0.07mm；最小双面厚度为 0.128mm；最大成品尺寸为 220mm \times 500mm；FPC 的表面处理工艺与刚性板类似，可

以参考第 6 章中的相关内容；支持单端、差分阻抗控制，控制精度为 $\pm 10\%$ 。具体的生成加工能力与设计的 FPC 的可加工性需要与 PCB 厂家进行确认。

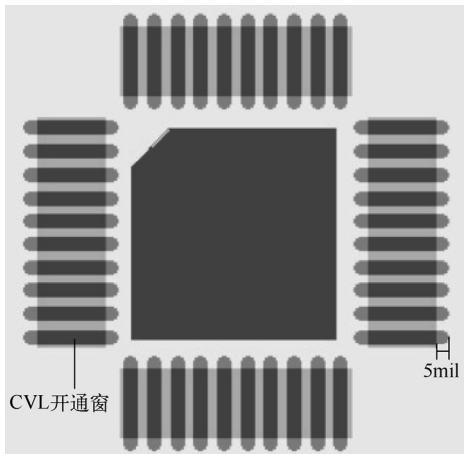


图 8-38 IC 类的 CVL 开窗

8.3.2 传输线之 Si9000 阻抗计算

根据 IC Datasheet 对走线阻抗的要求，需要设计相应的线路阻抗。线路阻抗可以分为单端阻抗和差分阻抗。对应于带状线和微带线，同样会分为：带状线的单端阻抗和微带线的单端阻抗；带状线的差分阻抗和微带线的差分阻抗。Si9000 是目前最为常用的阻抗计算工具，运用 Si9000 进行阻抗计算的方法及细节在第 2 章中已做了详细的论述，可以查阅此部分内容。

8.3.3 PCB 平面层敷铜

所谓平面层的敷铜，就是在一个平面上铺上铜皮，铜皮覆盖的面积为整个板面的一层。对内层来说，无论是电源平面还是地平面，在出图纸时都可以出正片或负片的光绘文件。正片实际上就是在底片看到的就是存在的，负片实际上就是在底片看到的就是不存在的。无论这一层设置的是正片还是负片，做出来的 PCB 都是一样的，只是在 Cadence 处理的过程中，数据量和 DRC 检测及软件的处理过程不同而已，它们只是一个事物的两种表达方式。实际使用时，使用正片，PCB 的数量很大时，铜皮的避让越来越复杂，整个光绘文件会很大，单个文件大小会超过几十 MB 甚至上百 MB，此时会给计算机带来很大的负担，在进行 PCB 的文件拖动时，会感到非常地卡。因此，当数据文件很大时，在处理内层平面时，对内层一般采用负片，而在信号走线层数量不大的情况下一般采用负片出光绘文件。正片与负片可以通过焊盘与内层的连接状况来查看，如图 8-39 所示。

当采用负片设计时，其对应的所有与内层相连的焊盘要做 thermal relief 焊盘和 antipad，用于与内层的相连或隔离。为便于说明焊盘在正负片光绘文件中的不同应用，下面以 Cadence Allegro 的焊盘区分为例。

① thermal pad（又称 thermal relief）分正 thermal relief 和负 thermal relief。当内层设置成负片时，引脚和内部的铜皮需要用 flash thermal relief 来连接，当引脚与内层不连接时采用 anti-pad；当内层的铜皮设置成正片时需要将这一层设置成正片格式，引脚和铜皮进行相连时，thermal relief 可以设置成六个形状（circle、square、oblong、rectangle、octagon、flash）

中的一个，也可以采用 flash thermal relief 形式。

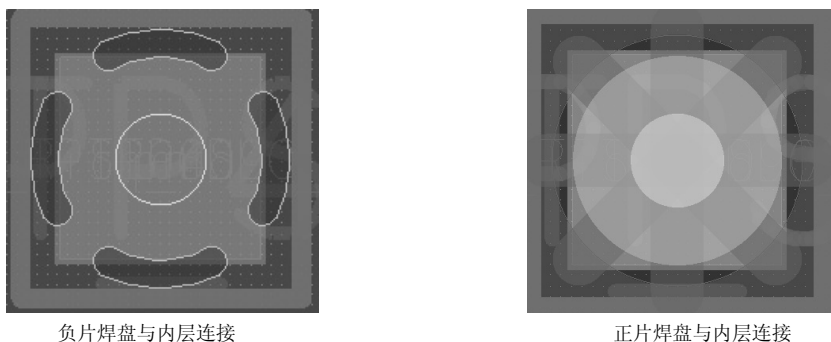


图 8-39 正、负片焊盘与内层的连接

② 在出负片的光绘文件时，所有 through pin /dip 类型的 pin 或 via 都要有 thermal pad 和 anti pad 这两种焊盘。设计焊盘时，thermal 有几个选项，thermal relief 有 null、circle、square、oblong、rectangle、octagon、flash 的选项，在选择时 null 用于 smd 类型的引脚制作，当选择系统的默认方式 circle、square、oblong、rectangle、octagon 时，在 PCB 中这几种连接方式为简单的“+”形或“X”形，如果要进行负片的连接，需要用自己做的 flash。也就是说，如果某一层要出负片，为了保证引脚与内层的连接，需要做一个 flash 对引脚和铜皮进行连接，如果某一层是正片，则当引脚和内层进行连接时需要将这一层做成正片，连接时，thermal relief 需要设置成 circle、square、oblong、rectangle、octagon 五种形状中的一种来进行电气连接。

③ regular pad（正规焊盘）主要是用于与 top layer，bottom layer，internal layer 等所有的正片进行连接（包括布线和敷铜）。它一般应用在顶层、底层和信号层，因为这些层较多用正片。

因此，对于一个固定焊盘的连接，如果这一层是正片，就通过设置的 regular pad 与这个焊盘连接，thermal relief（热风焊盘）和 anti pad（隔离盘）在这一层无任何作用；如果这一层是负片（negative），就通过 thermal relief（热风焊盘）和 anti pad（隔离焊盘）来进行连接和隔离，regular pad 在负片层时无任何作用。当然，一个焊盘可以用 regular pad 和 top layer 的正片进行网络连接，同时用 thermal relief（热风焊盘）与 GND 内垫层的负片进行网络连接。

8.4 PCB 布局

PCB 的布局用来完成元器件在 PCB 上的实际摆放。在布局时，首先要做的是根据定位的要求，摆放固定坐标的定位孔的位置，为对元器件进行精确布局，可以采用坐标定位的方法，将整个 PCB 的板框放置在坐标系下，这样就可以对定位孔进行精确的坐标定位摆放；确定定位孔的位置后还需要根据端子的结构图进行各输出端口的定位摆放，同样为了进行精确摆放，可以采用坐标定位的方法对端子进行定位，如图 8-40 所示。

关键元器件布局完成后，就可以通过原理图设计工具和 PCB 设计工具进行交互式的模块化布局了。首先将结构定位后的各接口的其他外围电路依据模块化布局的原则分别布局，其他接口定位及外围电路之外的各功能模块要依据 PCB 的空间及走线的需要进行合理的布局。在进行模块化布局的过程中，原理图设计工具与 PCB 设计工具的交互式使用，是进行模块化布局的一个非常有利的布局方式，能够清晰地对每个所属模块的元器件依据各模块信号的流向进

行精确的划分，原理图与 PCB 设计工具的交互以 Cadence 平台展示，如图 8-41 所示。从完成的模块化布局中可以提取信号的流向图，根据信号的流向图，可以把控全板的信号走线，同时将信号进行归类，对其中的高速信号或对噪声敏感的特殊信号群体进行特殊的处理。

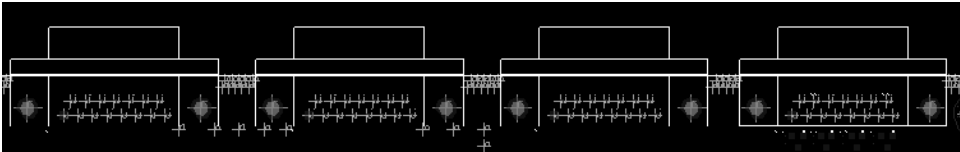


图 8-40 根据结构要求对接口的坐标定位

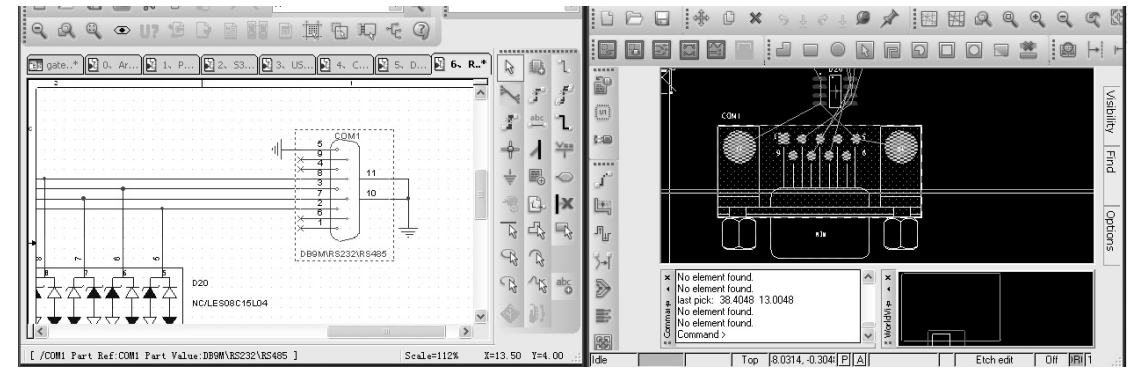


图 8-41 原理图与 PCB 设计工具交互式模块化布局

8.4.1 PCB 布局的基本原则

- 在 PCB 布局时需要考虑以下基本原则。
- ① 满足结构的要求，包括 PCB 的装配、PCB 的高度和 PCB 的外围设备接口等。
 - ② 无论结构和特殊元器件有无禁布区的要求，都应禁止在禁布区进行元器件的布局和 PCB 的走线。
 - ③ 满足电源通道的最小要求，不能因过密地布局元器件而影响电源的供电通道（如因滤波电容过密布置而将电源和地网络冲断，造成信号的不连续，造成电源和地平面的不完整）。
 - ④ 满足关键元器件、关键信号、局部过密、整板的布线通道需求，对关键的元器件的布局，关键信号的走线规划都要合理考虑，对局部过密的情况进行适当调整，给所有元器件都留有适当的布线通道。
 - ⑤ 满足 PCB 的可制造性要求，元器件布局时彼此之间的间距要合理。为焊接及调试的方便，同一类型的元器件在空间允许的情况下，应尽可能进行同一方向的布局，如图 8-42 所示。
 - ⑥ 满足 PCB 的可测试性要求，易于检测和返修。可测试性的要求及相关知识在第 6 章中已做了详细论述。
 - ⑦ 在满足系统功能和性能的前提下，质量大的元器件在 PCB 上布局时，应尽量在 PCB 上做质量的均匀布置。

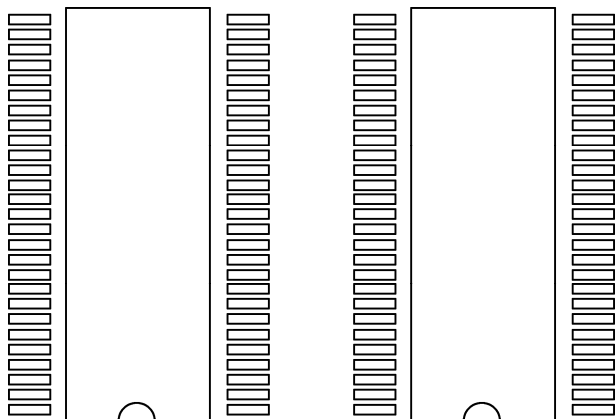


图 8-42 同类型元器件进行同一方向的布局

⑧ 明确 PCB 上的风道，根据器件散热量的多少，在上风口和下风口进行合理的布局。

8.4.2 PCB 布局的基本顺序

PCB 可以按照基本顺序进行合理的布局。

① 根据结构图，绘制或导入 CAD 的板框，确定 PCB 的外形尺寸。对于要做开窗处理的 PCB，也需要在 PCB 上标注位置（如有些电容因高度原因，需要躺着放置在开的凹槽里，如图 8-43 所示，此方法可以降低 PCB 的高度，但会占用一定的 PCB 面积）。

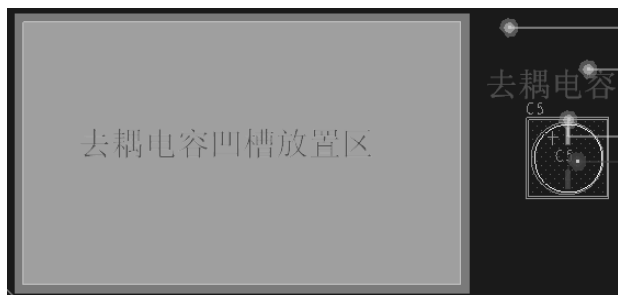


图 8-43 开槽电容放置区

② 在 PCB 的叠层定义中设置基本的叠层参数。

③ 在 PCB 上绘制整板元器件的禁布区，除外接接口的布局需要外，其他的所有元器件一般在距离板边 5mm 的布局范围内进行布局（在 Cadence 中是 Package Keep in），对于有特殊要求的禁止布局的局部区域，可以绘制其对应的禁布区（在 Cadence 中是 Package Keep out）。

④ 根据结构工程师提供的结构图，布局有结构要求的元器件，如定位孔、外部设备通信接口和电源接口等。

⑤ 在已布局结构部件的基础上，根据结构化布局的思路，对布局进行整体规划，理清信号的流向，根据主要信号流向布局关键信号元器件，并确保关键信号元器件的外围电路采用模块布局的方式，在原理图与 PCB 设计环境中进行交互式摆放，完成各个模块的布局。

⑥ 在布局时对各个模块的功能进行划分，优先考虑时钟系统、控制系统和电源系统等的布局，同时需对主次电源进行规划，各个功能模块的电源就近布局，并考虑各电源在电源平面

层的大致分割，为各器件间的互连留有足够的布线通道。

⑦ 布局时需考虑有拓扑要求的元器件，并预留足够的空间给有长度要求的信号的等长绕线。如图 8-44 所示^[14]，在进行 CPU 和 DDR 部分的布局时，要求在 DDR 和 CPU 之间不能有其他元器件布局，中间留有足够的空间，便于进行 CPU 与 DDR 之间对时序有要求的信号的等长绕线。

⑧ 在 PCB 单板上放置定位用的基准点，如图 8-45 所示。

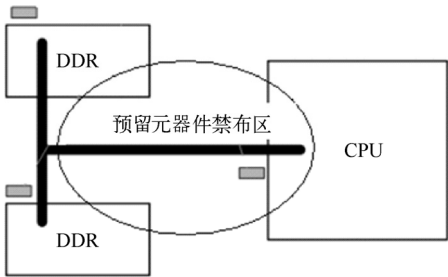


图 8-44 DDR 与 CPU 之间的元器件禁布区

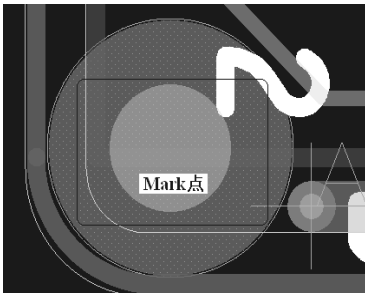


图 8-45 Mark 基准点放置

8.4.3 PCB 布局的工艺要求及特殊元器件布局

PCB 布局的工艺要求主要是为了满足 PCB 焊接的需要。焊接方法可分为机贴和手工焊接，在布局时需要注意分立元器件（R、L、C、D）彼此之间的上、下、左、右间的距离及分立元器件与各个 IC 之间的上、下、左、右间的距离；在考虑布局的工艺性要求时，既要考虑同面元器件的布局，也要考虑不同面元器件的布局，如 BGA 类 IC 的布局。关于布局的工艺性要求在第 6 章已做了详细的论述，可以参考此部分内容。

特殊元器件的布局包含去耦电容的合理放置、BGA 器件的周边布局，以及双面布局要求、金属壳体元器件的布局、有正负极性的元器件布局、对热或噪声敏感的元器件布局。去耦电容的布局原则就是，在满足工艺可行性的前提下，尽量靠近要去耦的电源引脚放置；BGA 器件的周边元器件布局要为 BGA IC 预留一定的禁止布局区域，便于 BGA 类 IC 的维修，当进行双面布局时，BGA 布局面的反面投影区域内不允许进行其他元器件的布局；金属壳体的元器件（如散热片、屏蔽罩）在布局时不能相碰，并确保最小 1mm 的空间间距；有正负极性的元器件在满足功能的情况下，应尽量按照一致的方向进行布局；对热敏感的元器件在布局时应尽量远离热源，对噪声敏感的元器件，在布局时应远离噪声源，并根据实际情况适当进行屏蔽和隔离。

8.4.4 PCB 布局对散热性的影响：上风口、下风口

对于需要靠冷却风进行散热的系统，需要根据上风口与下风口的位置合理布置元器件的位置，遵循的基本原则是：上风口布置发热量少的元器件，下风口布置发热量多的元器件；当多个散热元器件密集布置时，元器件彼此之间不能有遮挡，要根据风向进行错位布局排列；当采用散热片时，合理选择散热片与 IC 之间的粘合物质；当散热片采用单向开槽时，布置时应与风流动的方向平行，如果是双向开槽则灵活性较大，如图 8-46 所示是散热片开槽方向与风向平行布置。散热的相关知识在第 2 章中已做了详细的论述，可以参考此部分内容。

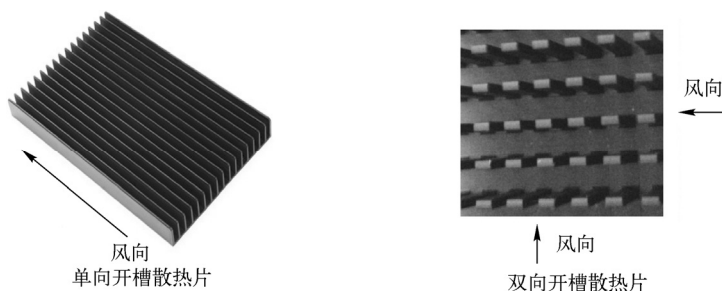


图 8-46 散热片开槽方向与风向平行布置

8.5 PCB 布线

在进行低速 PCB 的布线设计时, PCB 走线只要能够进行各个元器件引脚的正确连通就可以, 不需要考虑 PCB 走线的寄生参数。而随着技术的发展, 信号的工作频率不断提升, 信号边沿的上升时间不断缩短, 信号所占据的有效频率带宽不断加大, PCB 的走线已不能再单纯地看各元器件之间的互连体了, 而是要将 PCB 走线按照传输线的理论来进行各元器件的彼此互连, 在互连的过程中要考虑传输线上的寄生参数所带来的一系列的影响, 如传输线的阻性损耗、PCB 填充介质的介质损耗、因相邻信号的耦合而带来的能量损失、走线的阻抗不连续、因发射带来的能量损失、走线产生 EMI 对外辐射造成的损失, 以及邻近效应、趋肤效应等一系列问题所带来的传输线效应。因此在进行 PCB 走线设计时, 对高速信号的处理要时时以传输线的理论为指导, 借助 PCB 的走线模型进行合理的布线, 单端信号表层采用微带线走线, 内层信号采用带状线走线; 表层及内层的差分信号也同样采用对应的差分走线进行布线; 同时兼顾 PCB 走线的 EMC/EMI 要求, 在空间允许的情况下尽量加大走线之间的间隔, 缩短走线和 PCB 参考平面的距离; 合理布置 GND 参考平面, 为信号的走线及电源平面提供最理想的走线层。

在布线之前一个很重要的工作就是设定走线的一系列规则, 将 PCB 中的走线根据信号的特性进行分门别类的分组, 并根据每组走线的特性设置相应的规则。走线的类别大体上可以分为电源地网络的走线、差分信号的走线、关键高速信号的走线和普通信号的走线。根据信号的类别进行分类后, 分别设定单根走线的线宽、线距及差分走线的线宽、线距, 以及相关一些走线规则。对于电源网络和地网络的走线应尽量加粗 (但要小于焊盘的宽度); 对于差分信号要尽量平行且等长走线, 当等长与平行不能同时满足时, 等长优先; 关键高速信号的走线, 要根据其阻抗特性分别进行阻抗受控的单端走线或差分走线, 对于同类走线, 如 DDR 类, 各类走线的自身及外围的走线环境应尽量一致, 如采用相同的过孔、在相同走线层走线、参考的平面一致、同类信号尽量等长等; 普通类信号在相邻层面分别水平和垂直走线, 走线遵循简洁、直短的原则。

1. 电源和地走线

电源和地走线在空间允许的情况下, 在内层尽量以电源和地平面的形式提供, 在走线层尽量加宽走线的宽度。在空间紧张的情况下, 对于电源和地走线要根据电源线上通过的电流值进行估算, 可以适当减小走线的线宽。电流与走线宽度的关系可以借助 UltraCAD 和 PowerDC 软件中的走线宽度与电流的大小关系的组件进行模拟, 如图 8-47 所示。通过软件进行模拟计算, 可评测走线的物理参数与走线中的电流关系。

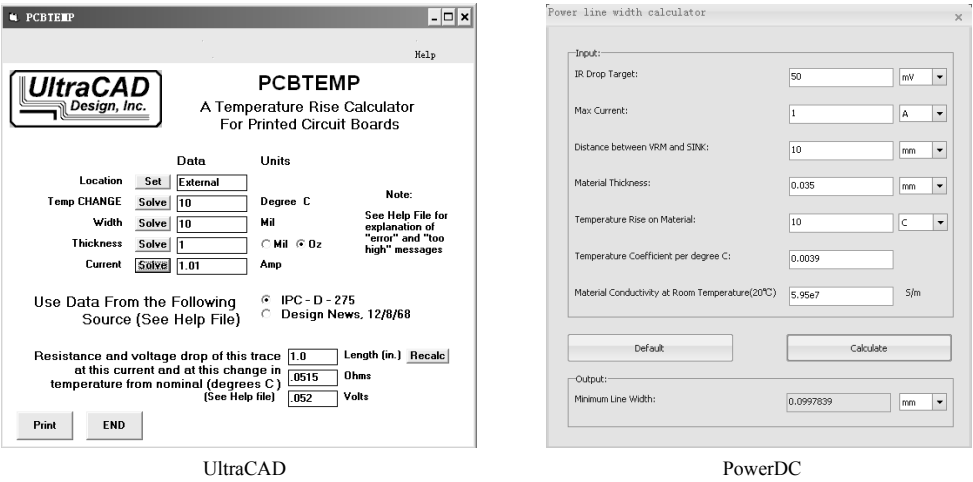


图 8-47 UltraCAD 和 PowerDC 软件中的走线宽度与电流的关系模拟

2. 差分信号的走线

差分线具有抗干扰能力强、信噪比高、辐射小和带宽容量大等众多优点，因此在目前的高速链路设计中，都选取差分线作为通信方式。差分走线的传输线模型如图 8-48 所示。差分线使用两根走线传输一路信号，两根线上携带的信息是相同的，但是信号的相位差是 180° ，这样两根线产生的场正好相互抵消，减少了辐射的产生。同时，由于最终信号取两个信号之差，所以当受到共模信号干扰时，两根线所产生的噪声几乎相同，在接收端做差值时正好被抵消。差分线对噪声天生的抑制能力有效提高了通道的信噪比，大大改善了通道的信息容量，使得差分线在 Gigabit 以上的通信领域得到了广泛应用。对系统中的差分信号进行分类，并按照差分走线阻抗特性的要求，在不同的叠层上分别进行差分线的布线（一般的差分阻抗为 100Ω 或 90Ω ，误差根据需要控制在 $\pm 5\%$ 或 $\pm 10\%$ ）。

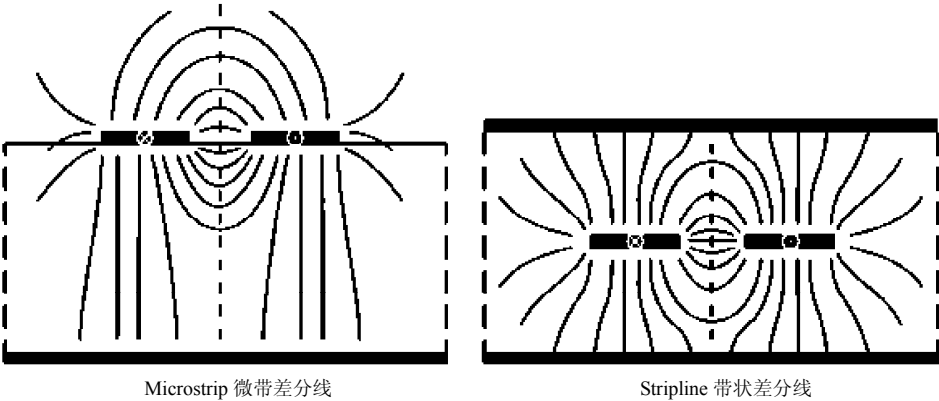


图 8-48 差分走线的传输线模型

差分线与跟单线传输相比，之所以具有众多优势，是因为它采用了差动传输的方式，即两根线保持 180° 的相位差，即我们平时所说的要保持两根线的电流大小相等、方向相反。任何原因造成的相位失配，都会影响差分线的性能，甚至造成不可预知的后果，因此在 Layout 设计中，必须做到差分线的等长要求。当有相位失配（Phase Mismatch）存在时，如何对差分

线进行补偿, 选取的方法不同, 得到的效果也会有很大的差异。

差分线的走线长度不一致, 在较短的一根差分线上做补偿有以下三种方式。

(1) Case1: 使用一个大的 Segment 就近补偿。

就近大 Segment 补偿是指在相位失配的地方采用一个大的绕线进行的相位补偿, 如图 8-49 所示。



图 8-49 就近大 Segment 补偿

(2) Case2: 使用小的凸起沿线补偿。

使用小的凸起沿线补偿是沿着差分走线进行长距离的小凸起走线的相位补偿办法, 如图 8-50 所示。



图 8-50 使用小的凸起沿线补偿

(3) Case3: 在走线的末端进行补偿。

在走线的末端进行相位补偿是在差分线的走线末端进行大的相位补偿, 如图 8-51 所示。



图 8-51 在走线的末端进行相位补偿

根据一般的设计经验可以预测, 第一种情况使用一个大的 Segment 就近补偿会造成大的阻抗不连续; 第二种情况采用小凸起的相位补偿就是为了减小这种阻抗不连续; 第三种情况在走线的末端进行相位的补偿是比较避讳的方法, 因为走线的大部分地方的相位没办法同步。

对各差分走线进行带状线仿真分析, 差分走线的单根走线的宽度是 4.5mil, 线间距是 7.8mil, 叠层结构使用 Stripline 带状线叠层结构, 走线的差分阻抗为 100Ω, 板材是 FR4, 差分走线距离参考平面的距离分别为 7.5mil 和 52.3mil, 差分走线 Stripline 走线模型参数设置如图 8-52 所示。仿真分析采用 ADS-Momentum RF, 扫频范围是 0~60GHz, 三种补偿方式的 Port 端口设置如图 8-49~图 8-51 所示, 对三种补偿线的差分走线进行 TDR 分析, 分析的测试脉冲的上升时间 $\text{trise}=20\text{ps}$, 测试的参数差分阻抗 $Z_0=100\Omega$ 。

差分走线的三种补偿方式的 TDR 时域分析如图 8-53 所示。从图中可以看出, Case1 使用一个大的 Segment 就近补偿和 Case3 走线的末端进行补偿具有较大的阻抗变化, Case2 使用小的凸起沿线补偿的阻抗变化分布在比较长的范围内, 因此整体变化比较小。

对三种补偿方式的 S11 Return Loss 参数进行仿真分析, 结果如图 8-54 所示, 可以看出, Case1 使用一个大的 Segment 就近补偿和 Case3 使用走线的末端进行补偿的回路损耗均高于 Case2 使用小的凸起沿线补偿。

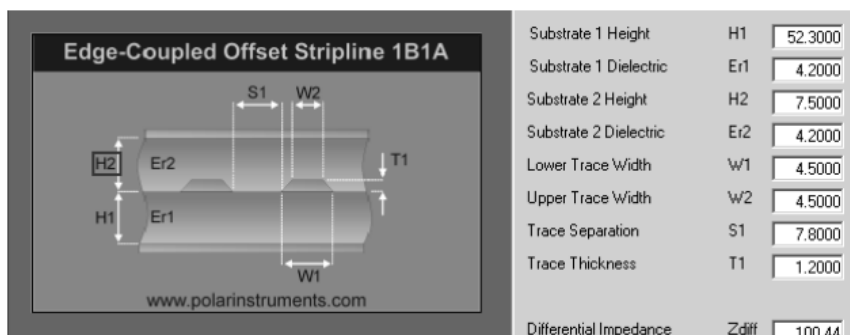


图 8-52 差分走线 Stripline 走线模型参数设置

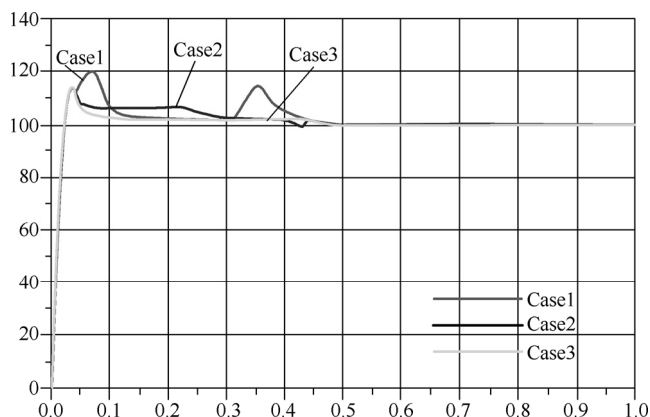


图 8-53 差分走线的三种补偿方式的 TDR 时域分析

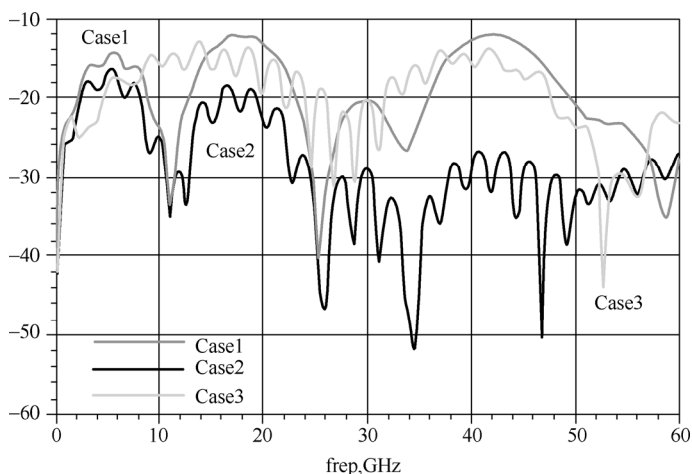


图 8-54 对三种补偿方式的 S11 Return Loss 参数进行仿真分析的结果

对三种补偿方式的 S21 Insert Loss 参数进行仿真分析，结果如图 8-55 所示，可以看出，Case1 使用一个大的 Segment 就近补偿和 Case3 使用走线的末端进行补偿在 60GHz 整个频段内吻合得很好，但 Case2 使用小的凸起沿线补偿在 35GHz 左右出现了谐振点。

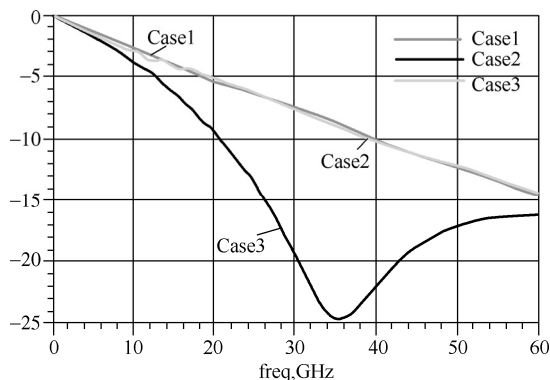


图 8-55 对三种补偿方式的 S21 Insert Loss 参数进行仿真分析的结果

对差分走线的差模和共模信号的转换情况进行仿真分析，结果如图 8-56 所示，可以看出，Case2 使用小的凸起沿线补偿的差模信号转换为共模信号的量较多，这也是 Case2 插入损耗比较大的原因。

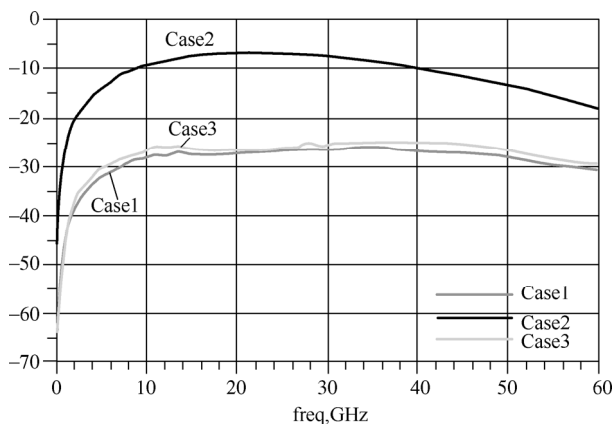


图 8-56 差模信号转换为共模信号

从以上仿真分析的结果可以看出，在差分走线的绕线补偿措施中，Case1 使用一个大的 Segment 就近补偿和 Case3 走线的末端进行补偿的仿真结果非常相近，Case2 使用小的凸起沿线补偿具有较大的插入损耗，且差模信号转换为共模信号的量较多。那么在差分走线的补偿中是不是 Case1 和 Case3 都可以使用呢？

采用同样的步骤对各差分走线进行微带线仿真分析，差分走线的单根走线的宽度是 4.5mil，线间距是 7.8mil，叠层结构使用 Microstip 微带线叠层结构，走线的差分阻抗为 100Ω，板材是 FR4，差分走线距离参考平面的距离为 3mil，走线计算模型如图 8-57 所示。仿真分析采用 ADS-Momentum RF，扫频范围是 0~60GHz，三种补偿方式的 Port 端口设置如图 8-49~图 8-51 所示，对三种补偿线的差分连线进行 TDR 分析，分析的测试脉冲的上升时间 $t_{rise}=20ps$ ，测试的参数差分阻抗 $Z_0=100\Omega$ 。

差分走线的三种补偿方式的 TDR 时域分析如图 8-58 所示。从图中可以看出，Case1 使用一个大的 Segment 就近补偿和 Case3 使用走线的末端进行补偿具有较大的阻抗变化，Case1 是在前端绕线部分的阻抗突变，Case3 是在后端的绕线补偿阶段的阻抗突变，Case2 使用小的凸起沿线补偿的阻抗变化分布在比较长的范围内，因此整体变化比较小。与采用 Stripline

带状线的差分走线的方式比较可以看出，微带线的阻抗变化要小于带状线的阻抗变化。

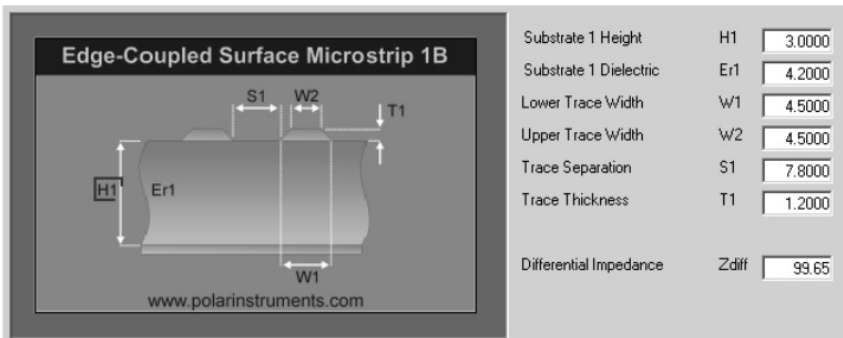


图 8-57 差分走线 Microstrip 走线模型参数设置

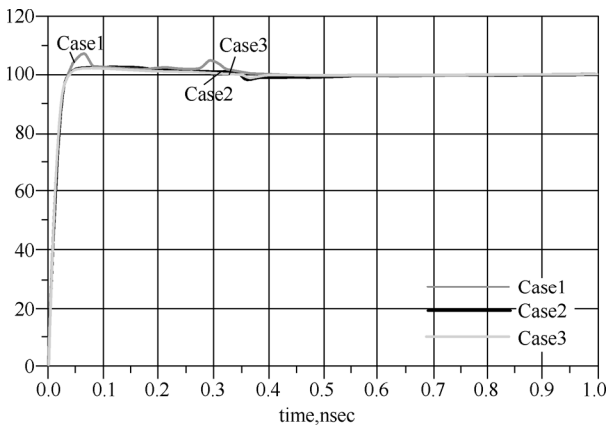


图 8-58 差分走线的三种补偿方式的 TDR 时域分析

对三种补偿方式的 S11 Return Loss 参数进行仿真分析，结果如图 8-59 所示，可以看出，Case1 使用一个大的 Segment 就近补偿和 Case3 走线的末端进行补偿的回路损耗均高于 Case2 使用小的凸起沿线补偿，但从总的回波损耗来分析，微带线的三种补偿方式对应的回波损耗 Return Loss 都要小于对应的微带线模式下的回波损耗。

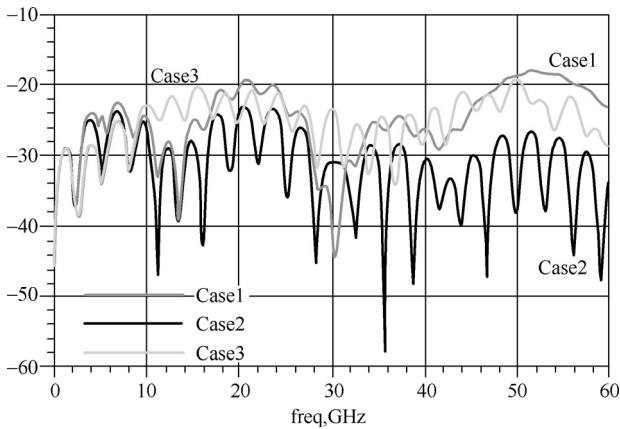


图 8-59 对三种补偿方式的 S11 Return Loss 参数进行仿真分析的结果

对三种补偿方式的 S21 Insert Loss 参数进行仿真分析, 结果如图 8-60 所示, 可以看出, Case1 使用一个大的 Segment 就近补偿在 60GHz 频段内的信号衰减较少; Case3 走线的末端进行补偿的衰减次之, Case3 在末端进行补偿在微带线模式和带状线模式下, Insert loss 差别较大, 可以看出微带线模式下的 Case3 对线上的相位适配更加敏感; Case2 使用小的凸起沿线补偿同样出现了谐振点, 但此谐振点相对于带状线的谐振点而言, 位置要靠右, 这与微带线的传输速度要快于微带线有关。

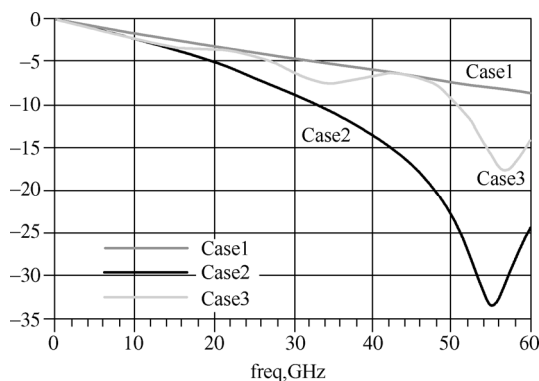


图 8-60 对三种补偿方式的 S21 Insert Loss 参数进行仿真分析的结果

对差分走线的差模和共模信号的转换情况进行仿真分析, 结果如图 8-61 所示, 可以看出, Case2 使用小的凸起沿线补偿的差模信号转换为共模信号的量较多。同时, 可以看出, 与带状线阻挠模型相比, Case3 在末端进行补偿的微带线走线阻抗模型下有更多的差模信号能量转换为了共模信号能量。

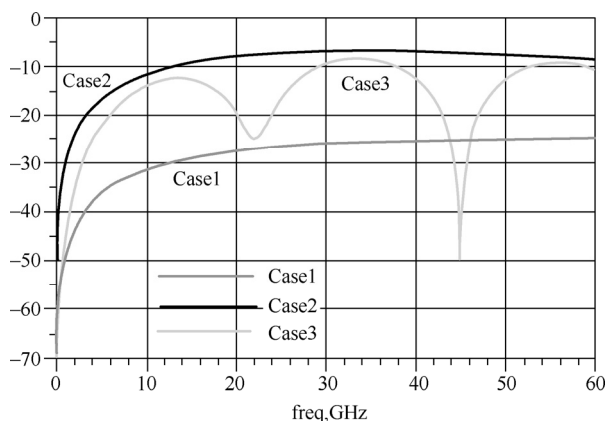


图 8-61 差模信号转换为共模信号

通过仿真分析, 将 Stripline 带状差分走线模式与 Microstrip 微带差分走线模型进行归纳对比。

- ① Microstrip 微带差分走线的插入损耗和反射损耗都要明显优于 Stripline 带状差分走线。
- ② 在同样的绕线情况下, Microstrip 微带差分走线的阻抗变化要小于 Stripline 带状差分走线。
- ③ Microstrip 微带差分走线在 Case2 的绕线方式下, 同样存在谐振点, 但由于 PCB 上微带线的信号传播速度要快于带状线的传播速度, 因此 Microstrip 微带差分走线的谐振点会比较

靠后。

④ Case3 在末端做相位匹配时, Microstrip 微带差分走线和 Stripline 带状差分走线所得出的结果截然不同, Microstrip 微带差分走线对线段上的相位失配更加敏感。

⑤ Microstrip 微带差分走线在 Case3 末端做相位匹配的绕线方式下, 有更多的能量转化为了共模信号。

从对差分线三种补偿方式进行的仿真分析可以看出, 虽然只是短短的一段走线, 但绕线方式的不同带来的差异还是比较明显的, 如果选取不当, 则会对整个设计造成一些不可预知的后果。同时, Microstrip 和 Stripline 对同样的结构表现出的差异也是相当明显的, 两种走线方式都有各自的优点和缺点, 使用时要根据实际情况来扬长避短。在进行 PCB 设计时遇到差分走线, 需要对较短的差分走线进行长度补偿, 为保证较优的差分信号质量, 可以参考如下设计理念。

① 对差分线的补偿, 在相位失配处就近采取补偿, 可以得到比较好的效果。

② 采用大的 Segment 快速做出补偿, 要优于分成小段沿线补偿的方式。

③ Microstrip 在做补偿时, 阻抗变动较小, 因此引起的反射较小。

④ Microstrip 对动态相位的差异要比 Stripline 敏感得多, 因此使用 Microstrip 走线时, 要更加注重动态相位的补偿。

⑤ 在做相位补偿时, 绕线部分要控制较大的 Gap, 以减小耦合的强度。

⑥ 任何不正确的补偿方式都会造成大的共模噪声, 并影响信号的眼图质量。

3. 关键高速信号的走线

关键的高速信号走线主要有 CPU 与存储类的走线, 如 SDRAM、DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、DDR4 SDRAM、SGMII 接口走线, RGMII 接口、PCIE 接口和 HDMI 接口走线等。此类高速信号包含单端信号和差分信号, 差分信号按照差分走线的方式进行走线(可选定其对应的微带差分走线或带状差分走线进行走线); 单端高速信号需要根据其信号特性进行分门别类, 选定相应的参考平面(在选择参考平面时, 应尽量选择地平面做参考平面, 当没有地平面时, 根据信号的类别可以适当选取电源平面作为参考平面)。在信号走线时要时时关注其参考平面的变化, 可以在走线换层的地方适当增加与其参考平面相对应的过孔, 保证信号回流路径的完整, 不会因信号回流路径的切断给信号的回流引入大的回路电感。

4. 普通信号的走线

对于普通类信号的走线, 在空间允许的情况下也可以按照高速信号走线的方式进行 PCB 设计, 同样会获得更好的 EMC 特性, 使系统具有更强的鲁棒特性。

布线的方式可以分为自动布线和手动布线, 因为高速走线的特殊性, 一般自动布线满足不了高速传输走线的要求, 高速电路设计需要根据各类走线的特性进行手动布线。

8.5.1 PCB 布线的基本原则

在进行 PCB 布线时需要遵循基本的设计原则, 满足结构设计的需求, 而且在禁止布线区禁止布线。

应将设计规则在开发工具中设定, 并严格按照设计规则进行 PCB 布线, 在 PCB 设计中设计电气规则。电气规则中需要关注的有走线特性阻抗的控制、走线拓扑结构及时序的要求、走线 EMC 及 EMI 特性的控制、功率信号走线的基本要求。当 PCB 上的走线有阻抗特性要求

时, 需要根据 PCB 上的走线性质(微带或带状线)对信号进行分类; 为保证信号走线具有较好的 EMC/EMI 特性, 在布线时会对高速信号与低速信号进行分类, 将数字信号和模拟信号进行分类布线, 并对敏感信号与噪声信号进行分类; 对时序的设计要求在第 3 章中已做了详细的论述, 在 PCB 中为满足其时序特性需要进行拓扑结构的设计和 PCB 走线长度的控制; 功率信号需要满足电流与走线物理参数的关系要求。

PCB 的布线需要满足工艺规范的要求, 在第 6 章中已对布线中的工艺性要求进行了详细的论述。

8.5.2 PCB 布线的基本顺序

在布线时需要遵循规则优先、关键信号优先和密度优先的原则。为对布线进行正确与否的把控, 明确布线是按照之前计算机设定的规则进行的, 并时时对布线进行正确的监测; 在布线时关键的信号优先布置, 再进行其他信号的布线; 布线时遵循密度优先的原则, 从密度最大的信号开始布线, 密度最大的信号布线完成后, 再进行其他类信号的布线。

1. 对信号进行整理、分类、规划

确认布局时对布线规划的可行性; 确定禁布区对附近布线通道的影响; 在走线层进行规划, 尽量做到横纵分明, 相邻层垂直走线, 不重叠; 在进行全面的布线工作前需要对 BGA 类 IC 进行扇出(Fanout)处理, 其他封装的 IC 可以在布线的过程中进行合适的 Fanout 处理。在 Fanout 时, 为保证 BGA 芯片内部的电源和地有足够的铜皮进行电源及地各个引脚之间的互连, 要给电源和地留出足够的走线或敷铜的空间。

2. 设定走线的规则

定义走线的禁布区, 设定物理及电气规则, 确定 PCB 的 DRC 参数和选型设置是否合理, 根据 PCB 走线及 Fanout 的需要合理设定通孔、盲孔和埋孔, 并为各走线及各 Fanout 操作设定其相应的孔。

3. 处理电源和地网络

电源是系统的核心部分之一, 其设计质量的好坏直接影响到系统能否工作。电源在 PCB 设计中主要考虑载流能力、电源通道、防护及滤波。载流能力与走线的宽度有关, 可以借助于前面提到的 UltraCAD 和 PowerDC 进行评测; 电源通道主要是考虑 BGA 类的芯片在进行 BGA 的 Fanout 处理时电源通道的预留; 电源供电的防护主要是防护器件在电源通道中的合理放置与布线; 电源的滤波操作主要是去耦电容在电源网络中的合理布置与连接的处理。

4. 关键信号及走线的拓扑结构

优先考虑关键信号的布线通道及布线的拓扑结构, 包括时钟、复位、差分线和各类高速走线等。根据各个信号的特性, 对有拓扑结构及时序要求的信号, 进行合理的拓扑结构的设定, 并根据走线时序的要求进行合理的绕线处理。

对于时钟信号在布线时要进行特殊的处理, 需要遵循如下设计规则: 晶体、晶振和时钟分配器与相关的 IC 器件要尽量靠近; 时钟电路的滤波器(尽量采用“ Π ”形滤波)要靠近时钟电路的电源输入引脚; 晶振和时钟分配器的输出最好串接一个 22Ω 的电阻; 时钟分配器没用的输出引脚要通过电阻接地; 晶体、晶振和时钟分配器的布局要注意远离大功率的元器件、散热器等发热的器件; 晶振距离板边和接口器件大于 1 in; 时钟电路的电源进行加宽或敷铜

处理；超过 1 in 的时钟线在走线时走内层；时钟线换层为不同的地参考平面时需要增加回流地过孔；时钟线不允许跨分割；时钟线最好采用立体包地；时钟线与其他信号线的间距要达到 5W（W 指 Width）。

复位信号要远离干扰源，防止因为干扰引起的信号复位；差分信号及各类高速信号都要根据其对应的走线性质进行布线。

走线的拓扑结构是指具有某网络属性的 PCB 的布线顺序及布线结构。当使用高速逻辑器件时，除非走线分支长度保持很短，否则边沿快速变化的信号将被信号主干走线上的分支走线所扭曲，出现信号完整性问题。通常情形下，PCB 走线常见的拓扑结构有^[6]以下几种。

① 点到点拓扑结构。点到点拓扑结构是单一驱动器和单一接收器，如图 8-62 所示。只要在驱动端或接收端进行适当的阻抗匹配，便可以得到较好的信号完整性。例如，DDR 类存储的 DQ 信号、DQS 信号及 DM 信号都采用了点到点拓扑结构。



图 8-62 点到点拓扑结构

② 菊花链拓扑结构。菊花链拓扑是用最短的互连传输线把所有的缓冲器连接起来，如图 8-63 所示，但是每个缓冲器最多只能通过两段传输线连接到另外的两个缓冲器。从主驱动器开始，它通过传输线连接到与主驱动器最近的缓冲器上，然后查找与该缓冲器最近的未连接缓冲器，将两者用传输线连接起来，接着以刚加入连接的缓冲器为基准，再次查找最近的未连接缓冲器进行连接，以此类推，直至完成所有缓冲器的连接。连接完成后，从主驱动器开始，所有的缓冲器连接成链状。例如，DDR3 的地址、命令及控制信号采用的便是菊花链拓扑结构。

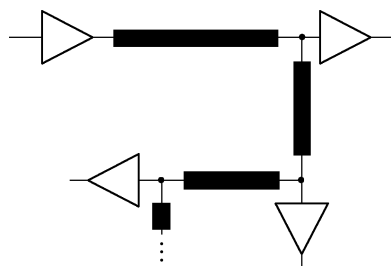


图 8-63 菊花链拓扑结构

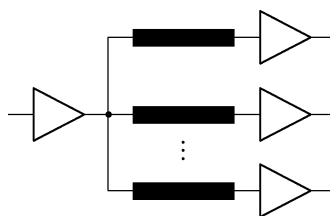


图 8-64 星形拓扑结构

④ 远端簇形拓扑结构。远端簇形拓扑结构与星形拓扑结构很相似，不同之处在于最后一个连入驱动器菊花链的那个驱动器通过一段较长的传输线连接到一个“T”形节点上，然后所有的接收器也都通过传输线连接到这个“T”形节点上，所有的接收器都聚在一起，如图 8-65 所示。在这种拓扑结构中，也要限制远端分支的长度，使分支上的传输延时小于信号的上升或下降时间。例如，在 SDRAM、DDR1 SDRAM 和 DDR2 SDRAM 的地址、命令、控制类信号的布线中，都采用了远端簇形拓扑结构。

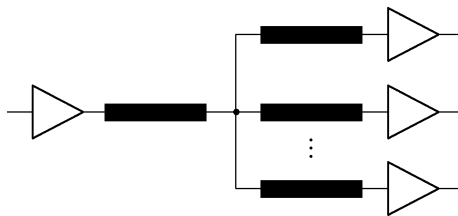


图 8-65 远端簇形拓扑结构

⑤ 周期性负载拓扑结构。周期性负载拓扑结构要求每段分支的长度足够小，使分支上的传输延时小于信号的上升或下降时间，如图 8-66 所示。这种主干传输线和所有的分支段组合起来的结构可以被看成一段新的传输线，其特征阻抗比原来主干传输线的特征阻抗小，传输速率也比原来的低，因此在进行阻抗匹配时要注意。

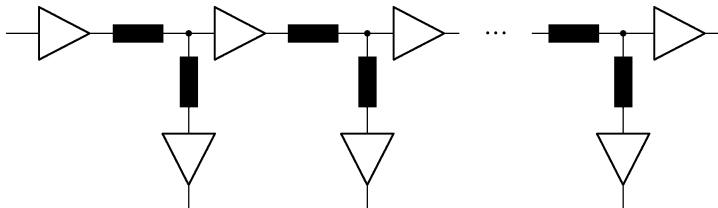


图 8-66 周期性负载拓扑结构

8.5.3 PCB 走线中的 Fanout 处理

根据 Fanout 需要处理的不同器件，常用的 Fanout 处理可以分为 BGA 的 Fanout，滤波电容的 Fanout，SOP、QFP 类 IC 的 Fanout 和连接器的 Fanout。其中，滤波电容的 Fanout 处理在本章开始部分“PCB 设计与电源完整性”中已做了详细的论述，可以参考此部分内容。

1. BGA 的 Fanout 处理

BGA 的 Fanout 处理是要将 BGA 的各信号引脚及电源地引脚拉出一根较短的走线后，再连接到过孔上，过孔包含通孔、盲孔和埋孔。扇出主要是为了更好地进行 PCB 的布线操作。因为 BGA 区域的高密度性，一般 BGA 区域需要划定一个特定的区域，在此区域进行其特有的规则设置。一般在整个 PCB 的走线区域中，BGA 区域的走线线宽是最细的，同时 BGA 区域的过孔的钻孔直径也是最小的，从而使得 BGA 区域是 PCB 中工艺要求最高的区域。BGA 的 Fanout 处理如图 8-67 所示，如图 8-68 所示是其局部放大的处理示意图。

从图 8-67 中可以看出，BGA 类的 IC 在进行 Fanout 处理时，需要在中间开十字，即中间一行或一列不进行打孔，从而保证各电源引脚和地引脚能够进行互连；如果中间不开十字就进行打孔的处理，在后期会发现，很多地或某压值的电源会彼此不能够相连，从而导致布线的失败。从图 8-68 中可以看出，在进行扇出 Fanout 处理时，信号线的走线扇出时的走线不能比 pin 的宽度宽，但是电源和地引脚的扇出走线都是和过孔的外径一样粗细的。另外，BGA 引脚在扇出时还需要考虑滤波电容的扇出处理，一般是将滤波电容放置在扇出过孔之间的位置进行布局的。

2. 滤波电容的 Fanout 处理

滤波电容的 Fanout 处理在本章节开始部分已做论述，根据其处理的类别可以分为高频滤

波陶瓷电容的 Fanout 处理及大量储能电容的钽电容 Fanout 处理。

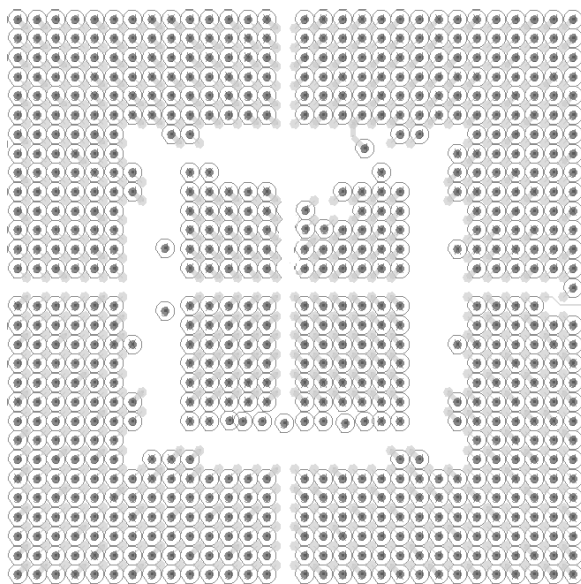


图 8-67 BGA 的 Fanout 处理

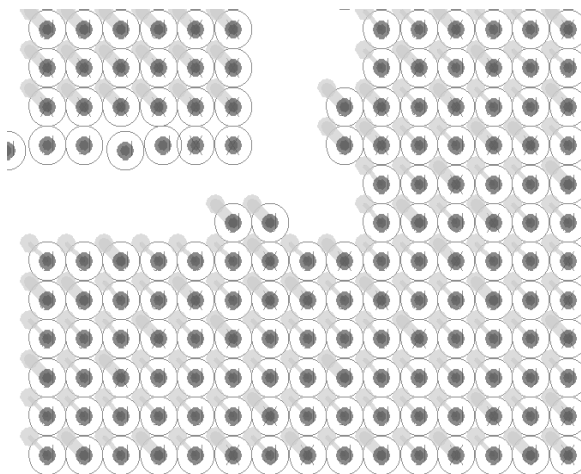


图 8-68 BGA Fanout 处理的局部放大

3. SOP、QFP 类 IC 的 Fanout 处理

对于 SOP、QFP 的引脚，在进行扇出（Fanout）处理时，需要引出一段距离后，将过孔整齐排列。对此类封装的 IC 扇出处理如图 8-69 所示。为便于进行布线，将扇出过孔放置在扇出引脚的对立面。电源地引脚的 Fanout 可参照电容的 Fanout 处理方式。

4. 连接器的 Fanout 处理

在进行连接器的 Fanout 扇出处理时，在空间允许的情况下，信号线过孔要向外打，电源与地孔要分别打孔，相同网络属性的电源或地的打孔不公用，扇出处理如图 8-70 所示。同样，电源和地线的走线应尽量加宽，但不能宽于焊盘的引脚宽度。在空间不足的情况下，可以

适当将电源和地引脚及部分信号引脚在两排引脚之间进行 Fanout，但应该都在其引脚对应的上部或下部进行操作。

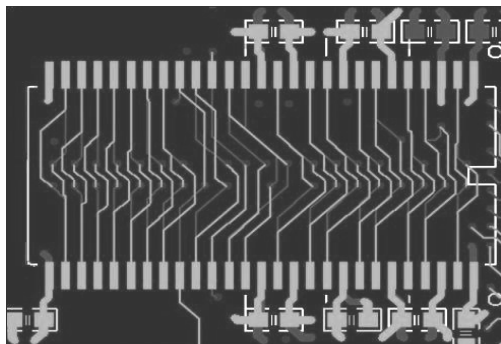


图 8-69 SOP、QFP 类 IC 的扇出处理

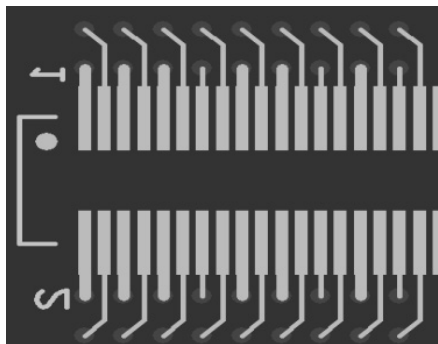


图 8-70 空间充足时的连接器 Fanout 处理

8.6 常见电路的布局、布线

8.6.1 电源电路的布局、布线

1. LDO 线性稳压电源

LDO 线性稳压电源是电路设计中常用的电源转化模块，它只能用于降压，且一般工作在电流小于 2A 的应用场合中。LDO 因其成本低、电路简单、纹波小等特点而得到了广泛应用。在进行 PCB 设计时，对 LDO 电路来说设计需要关注的点是散热过孔的处理、载流及输入/输出过孔的处理、滤波电容布局位置的处理。

散热过孔的处理：当布局的元器件体积较大，芯片引脚之间有较大的面积时，一般会在芯片的底部打连接到 GND 的散热过孔且做阻焊开窗处理；当芯片占据的空间较小时，会在散热焊盘的周围打连接到 GND 的散热过孔。

载流及输入/输出过孔的处理：输入端的过孔应该放置在滤波电容前；输出端的过孔应该放置在最后一个滤波电容之后；GND 引脚的过孔应该就近放置在滤波电容的接地引脚附近。LDO 输入端滤波电容放置的过孔数量应与 LDO 输出端滤波电容放置的过孔数量、LDO 芯片 GND 引脚放置的过孔数量一样，且 LDO GND 主回路应该保证有足够宽的铜皮与 GND 引脚相连，输入端的地与输出端的地要接在一起。

滤波电容布局位置的处理：滤波电容在输入和输出回路中进行合理的布局，LDO 线性稳压电源输入和输出引脚的电容在按照先大后小的原则靠近电源芯片的输入和输出引脚布局。

根据 LDO 布局、布线要求，对 LDO 的电路布局、布线如图 8-71 所示。

2. DC/DC 电路

DC/DC 开关电源模块以控制 IC 为核心进行 DC/DC 电路的设计，一般控制 IC 的 Datasheet 中都有推荐的布局、布线的相关操作，如图 8-72 所示是 TPS54550 的 PCB Layout 参考^[42]。开关电源模块在总体布局上遵循一字形布局，如图 8-73 所示，且尽量少打过孔，另外关键滤波器件的放置一定要合理。

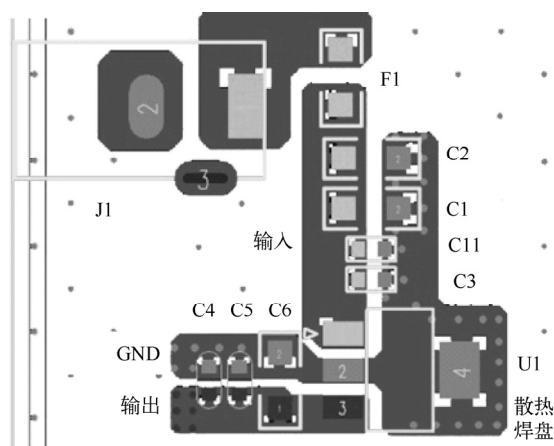


图 8-71 对 LDO 的电路布局布线

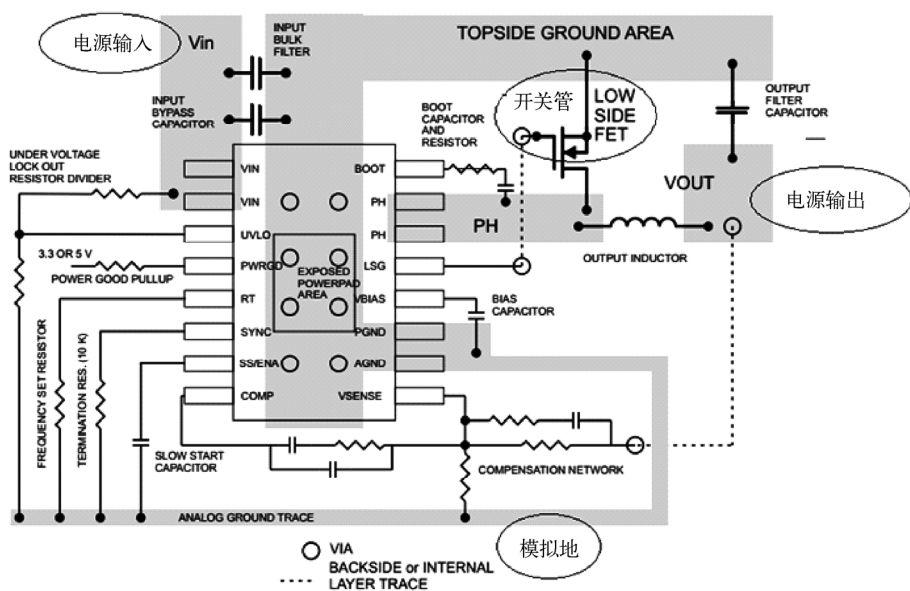


图 8-72 TPS54550 的 PCB Layout 参考

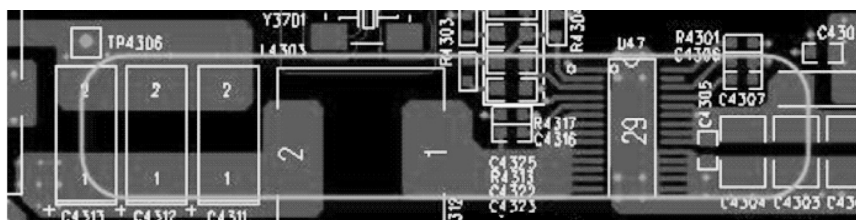


图 8-73 开关电源的总体一字形布局

DC/DC 开关电源模块在布局时，电源的输入和输出回路都要简洁、清晰、布局紧凑，考虑大电流通道和载流能力，布线尽量粗短，并留出敷铜和打过孔的位置。对于输入滤波，滤波电容要紧靠开关管，确保大电流能够先滤波再进入开关管；对于输出滤波，要确保大电流先滤波再进入单板平面。

开关电源模块内部的信号互连线都需要加粗处理，一般加粗到 10mil 以上且小于焊盘的宽度；Gate 引脚尽量粗而短且远离干扰源；开关电源 IC 及其电感下方不能布任何信号线，也不能敷 GND 铜皮，如图 8-74 所示；开关电源敷铜时，芯片引脚不能全连接；当电感和大电容体积较大时，一般需要放置在 TOP 层；开关电源的散热焊盘一般需要打散热地过孔并阻焊开窗。

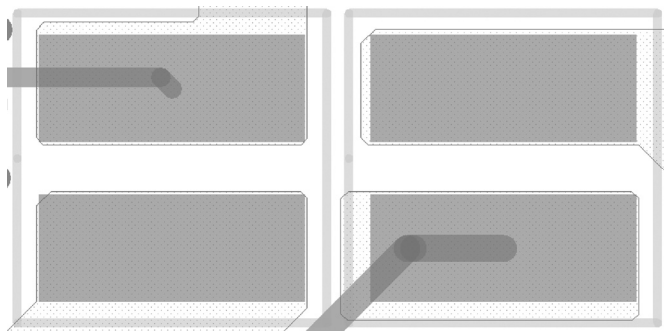


图 8-74 电感下方不允许有走线及 GND 敷铜

DC/DC 开关电源都有 Sense 路径，该 Sense 路径要远离干扰源和大电流的平面，且不要将 Sense 走线直接接在开关电源的输出引脚上，一般采用 0.5mm 的线连接在输出滤波电容的后面。

控制电路的模拟地要与大电流地分开并通过远端单点接地的方式在远端接地，此连接可以参考 Datasheet 上的说明进行地线的互连；开关管布局紧凑，考虑大电流通道，且环路面积最小。

控制电路的采样电路在进行采样电阻的放置时，要将其放置在输出滤波与比较电路的中间，布局时保证采样电路尽量靠近芯片的引脚，靠近比较电路。

8.6.2 时钟电路的布局、布线

1. 无源晶体电路

无源晶体电路由一个无源晶体、两个小的起振电容（一般为 22pF/33pF）组成，整个电路在布局时应尽可能靠近芯片放置，一般要求走线长度必须控制在 1000mil 以内；布局时需保证晶体的信号先过电容再到芯片，晶体的两根信号线按类似差分线处理，线宽要粗些（一般为 10mil）；晶体的器件面需敷地铜，加地过孔，晶体下方最好不要有其他信号穿过；若晶体的频率在 20MHz 以上，建议在两信号之间加一个匹配电阻（一般为 1MΩ），电阻放在电容之后。无源晶体电路的布局如图 8-75 所示。

2. 有源晶振电路

有源晶振电路由一个有源晶振、一个匹配电阻（一般为 33Ω）、一个小电容（0.1μF）、一个大电容（10μF）和一个磁珠组成，其中两个电容与磁珠组成一个“Π”形滤波电路。整个

电路在布局时应尽可能靠近芯片放置，使时钟线的布线尽可能短；小容值电容应靠近晶振电源 pin 放置，匹配电阻应尽量靠近晶振放置，一般不超过 200mil；晶振的器件面需敷地铜，加地过孔，晶振下方最好不要有其他信号穿过；匹配电阻两端的信号严格按时钟线布线要求处理。布局如图 8-76 所示。

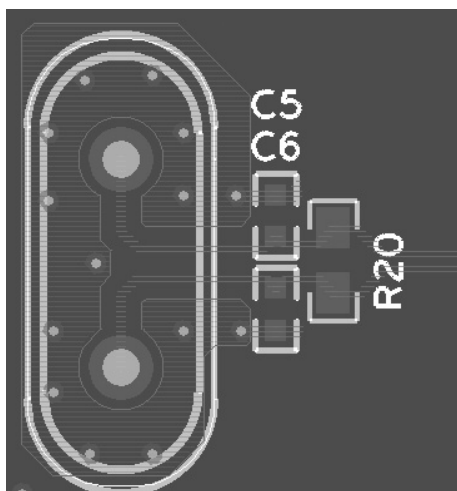


图 8-75 无源晶体电路的布局

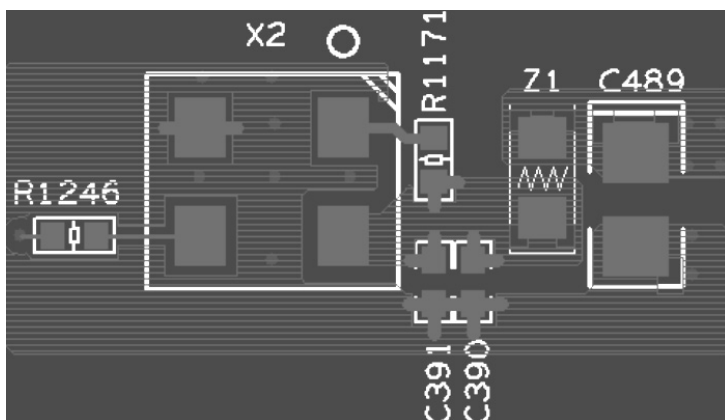


图 8-76 有源晶振电路的布局

8.6.3 接口电路的布局、布线

1. RS232 串口电路

RS232 串口电路最常用的三根信号线是 TXD、RXD 和 GND，布局时电阻和电容尽量靠近芯片放置，布线时要加粗它们的引脚引线；TX 和 RX 信号线不需要做成差分形式，TX 与 RX 尽量不要同层平行走线，如果要在同一平面层进行走线，TXD 与 RXD 之间的距离最好保持在 5W（W 指 Width，信号走线的宽度）以上且输入与输出之前不要有交叉，可以采用地保护的方式进行隔离。RS232 串口电路的布局、布线如图 8-77 所示。

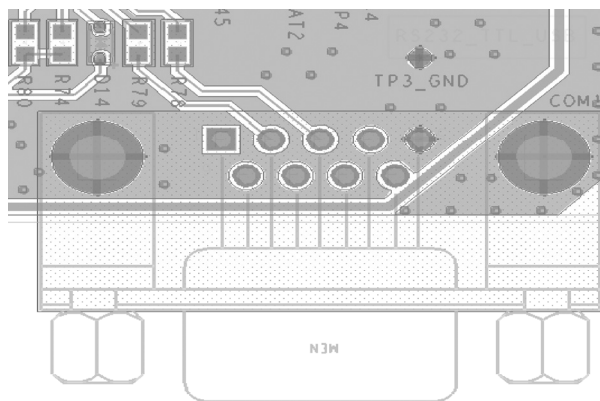


图 8-77 RS232 串口的布局、布线

2. USB 接口

USB 接口一般有六个引脚，分别是两个固定引脚和四个信号引脚，四个引脚分别是 1 脚电源、2 脚 USB DATA-、3 脚 USB DATA+ 和 4 脚 GND（USB 3.0 标准为 9pin 的信号引脚，2pin 的固定引脚）；USB 固定引脚一般不要直接与数字地相连接（一般命名为 CGND），可以通过跨接电容接上数字地；布线时，USB DATA- 和 USB DATA+ 要按差分形式处理，差分线的走线等长误差为 5mil。USB 2.0 的阻抗控制为 90Ω 。USB 2.0 接口电路的布局、布线如图 8-78 所示。

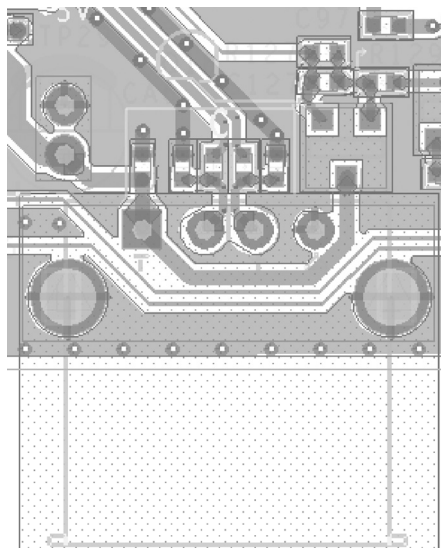


图 8-78 USB 2.0 接口电路的布局、布线

3. HDMI 接口

HDMI 接口差分线的阻抗标准是 100Ω ，误差控制在 $\pm 10\%$ ；HDMI 接口的 ESD 防护器件一定要靠近 HDMI 的端子放置；信号线的匹配电阻起防 ESD 作用和微调阻抗用途，通常靠近插座放置，但是两个电阻必须并排放置，不要一前一后；HDMI 接口的四对差分信号线之间的误差为 10mil，同一对差分线的误差为 5mil；四对差分线之间的间距要保证在 20mil 以上；

HDMI 的走线靠近 GND 参考平面。HDMI 接口电路的布局、布线如图 8-79 所示。

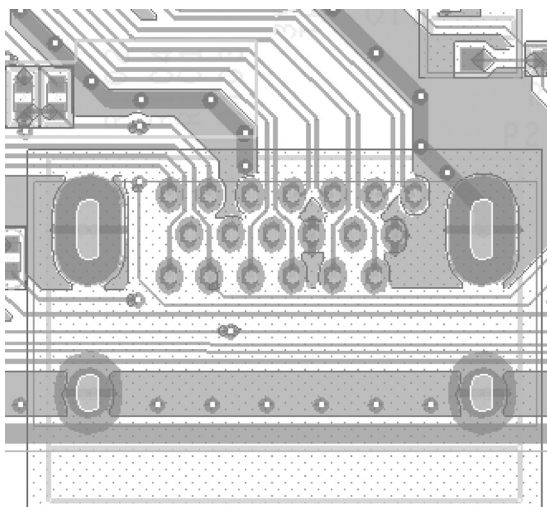


图 8-79 HDMI 接口电路的布局、布线

4. RJ45 网络接口

RJ45 网络接口电路由网口连接器 (RJ45)、隔离变压器、PHY、去耦电容和匹配电阻组成, 部分电路带防护电路和 Smith 电路。目前为减小 PCB 布局、布线占用的面积, 常常采用带内置隔离变压器的 RJ45 接口。在布局时, 变压器与 RJ45 应尽量靠近, 长度控制在 1000mil 以内, 变压器与 PHY 的距离也应尽可能短; 变压器中心抽头每个 pin 有一个去耦电容 ($0.1\mu\text{F}$), 有时一次侧端连成 RC 形式来处理; 网口信号由多对差分线组成, 一次侧端的线不控制阻抗, 线宽尽量粗些 (一般为 12mil), 二次侧差分线按一般的差分线要求处理; 变压器中心抽头经电容接地的信号线宽要加粗, 一般为 20mil; 变压器中间对应的所有层都必须掏空 (添加 ANTI ETCH, 宽度在 100mil 以上); 所有信号都不得在变压器下方布线; 更不允许信号从一次侧、二次侧间跨过; 常规 RJ45 下方需做全部挖空处理, 100M 以太网的 RJ45 接口电路的布局、布线如图 8-80 所示, 1000M 以太网的 RJ45 接口电路的布局、布线如图 8-81 所示。

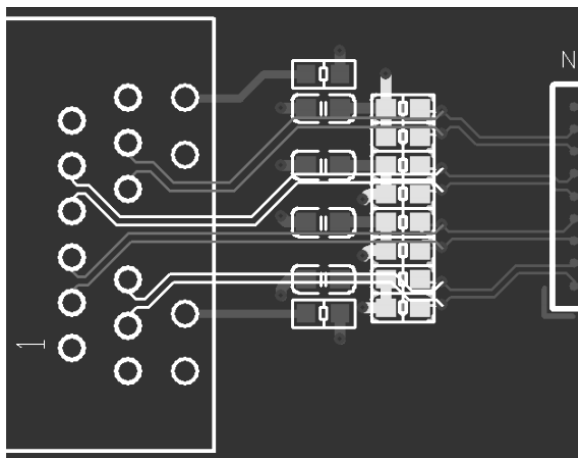


图 8-80 100M 以太网的 RJ45 接口电路的布局、布线

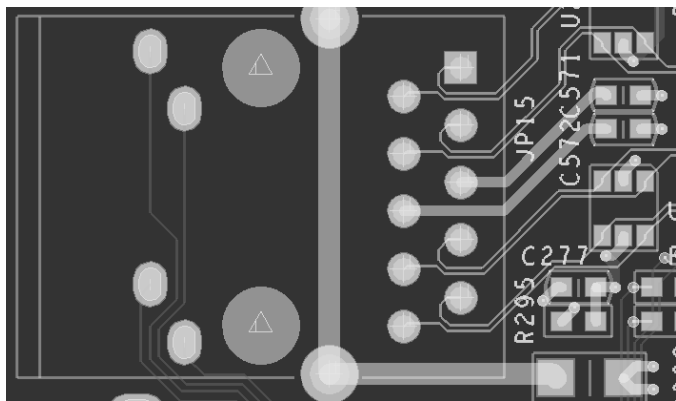


图 8-81 1000M 以太网的 RJ45 接口电路的布局、布线

5. JTAG 接口

JTAG 接口由测试连接器和上、下拉电阻组成，一般有五根测试信号线，分别是 TCK、TDI、TDO、TMS 和 TRST#。在布局时，上、下拉电阻一般要靠近 JTAG 连接器放置，表贴的 JTAG 连接器一般不要在内部打孔。JTAG 接口的布局、布线如图 8-82 所示。

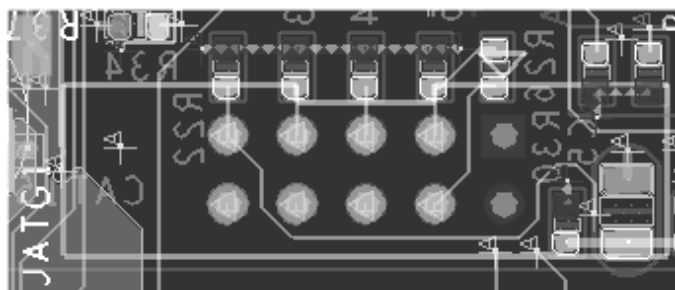


图 8-82 JTAG 接口的布局、布线

6. RJ11 接口

RJ11 在有线电视的连接中应用得较为普遍。RJ11 定义为 4pin 的接口，但在有线电视的应用中，只需要 2pin 就可以了。RJ11 接口电路的布局、布线如图 8-83 所示。

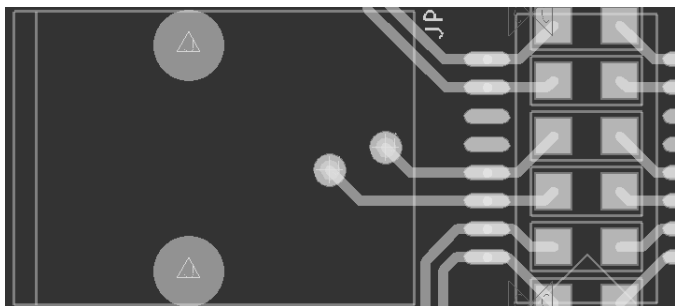


图 8-83 RJ11 接口电路的布局、布线

7. VGA 接口

VGA 接口的信号一般包括 R、G、B、HSYNC 和 VSYNC 信号，VGA 信号的阻抗控制在 75Ω ；布局时，RGB 的磁珠应尽量靠近连接器放置，信号要做到先去耦再输入；RGB 的上拉电阻可放在芯片端；RGB 的信号要尽量加粗，一般推荐 15mil 左右，三根线的相互间距及其他信号的间距应尽量大，RGB 三根信号线进行单独包地处理，且尽量等长；HSYNC 和 VSYNC 是行场同步信号，这两根信号线无须按照差分形式进行布线，远离其他信号。VGA 接口电路的一般布局、布线如图 8-84 所示，精细布局、布线如图 8-85 所示。

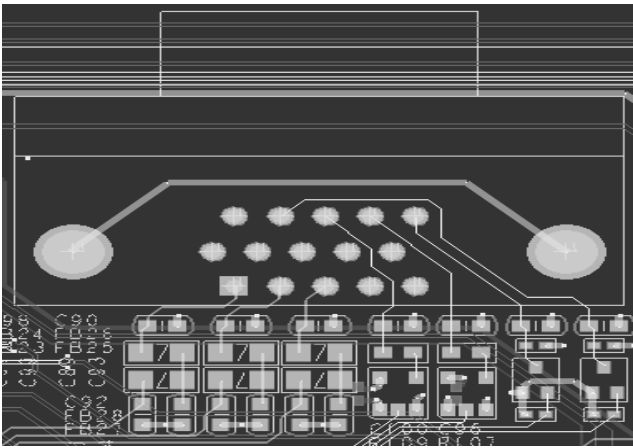


图 8-84 VGA 接口电路的一般布局、布线

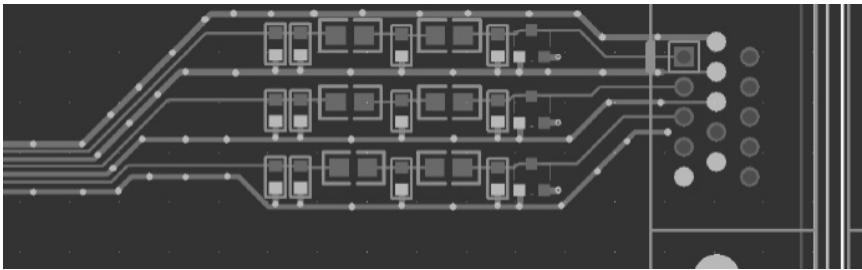


图 8-85 VGA 接口电路的精细布局、布线

8. DVI 接口

DVI 接口要求单端特性阻抗为 50Ω ，差分特性阻抗为 100Ω ；信号换层时要在距离过孔 50mil 内增加回流地过孔，缩短地的回流路径；DVI 信号的长度最长不要超过 8000mil；每根信号线的走线长度不能超过两个过孔；DVI 的信号走线必须要参考 GND 平面层；DVI 差分对之间的间距要不小于 15mil。DVI 接口电路的布局、布线如图 8-86 所示。

9. 色差输入接口（YPbPr 或 YCbCr）

色差输入接口的引脚输入为 Y、Pb/Cb、Pr/Cr，防护器件要靠近接口端子放置，各端口走线简洁，呈一字形布局。色差输入接口电路的布局、布线如图 8-87 所示。

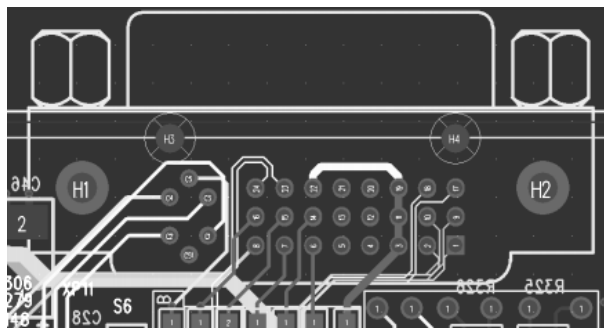


图 8-86 DVI 接口电路的布局、布线

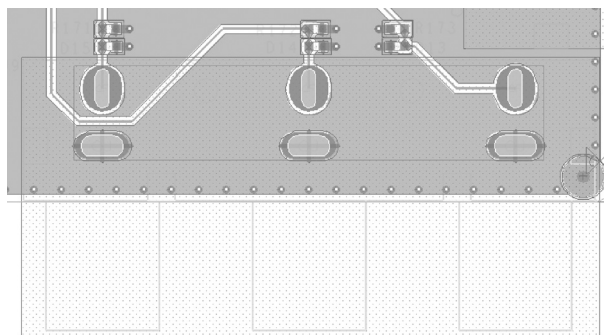


图 8-87 色差输入接口电路的布局、布线

10. RCA 音视频接口

RCA (俗称莲花头) 广泛应用于老式的 TV、DVD 等设备中, 可以用于传输视频或音频, 在进行布局时, 防护器件要靠近插座放置, 各端口的信号采用一字形布局, RCA 信号走线长 10mil 以上, 并相应地做包地处理。RCA 音视频接口电路的布局、布线如图 8-88 所示。

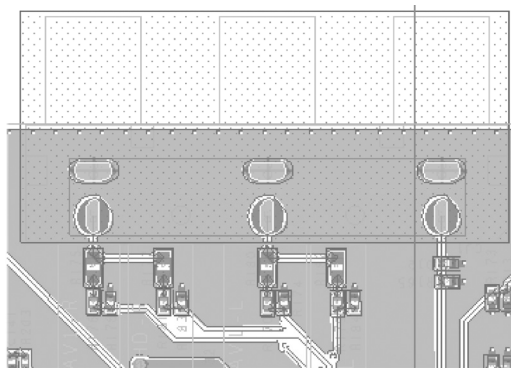


图 8-88 RCA 音视频接口电路的布局、布线

11. A/D、D/A 转换电路

A/D 转换电路把模拟信号转换为数字信号，D/A 转换电路把数字信号转换为模拟信号，一般 A/D 和 D/A 转换电路都有各自的 GND，一般定义为模拟地（AGND）和数字地（DGND 或 GND）。布局、布线时注意模数不能混合，不能交错，不能跨接对方的参考平面。A/D 和 D/A

转换电路在一般情况下都会安装屏蔽罩，走线和过孔需要注意不要表层穿越隔筋，且非地过孔勿打在隔筋上。一般数字信号阻抗按 50Ω 计算，模拟信号阻抗需要依照芯片资料计算，常见有 75Ω 和 50Ω 的，且走线需要加粗，为满足阻抗与线宽要求，在必要时需要调整走线到参考平面的间距。A/D、D/A 转换电路的布局、布线如图 8-89 所示。

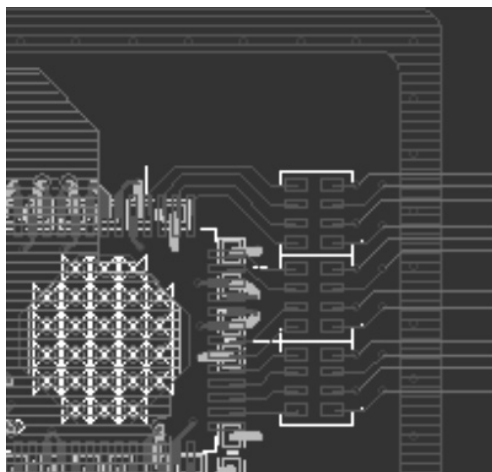


图 8-89 A/D、D/A 转换电路的布局、布线

12. 射频电路的天线接口

天线的位置通常都是固定的，整个射频线要呈流线形，线要走在电容或电感的 pin 上，无折角；走线走圆弧线，简洁，做到最短。在空间不够的情况下，电路设计时会牺牲一个滤波，在电感和电容中，通常选择牺牲电容。如果走线必须要折角时，通常选择在 pin 内折角。在天线投影区域中，最少 1mm 范围内的所有层都需要挖空，无任何走线与铜皮。整条射频线宽度至少为 15mil，阻抗控制为 50Ω 。为了满足阻抗与线宽要求，走线到参考平面的间距要调整，参考平面的投影区域中，至少在一倍线宽内应无任何走线与铜皮。射频线需要表层走线，请勿内层布线，遇到隔筋时，可牺牲屏蔽效果，让工艺对屏蔽罩进行挖缺口处理。天线接口电路的布局、布线如图 8-90 所示。

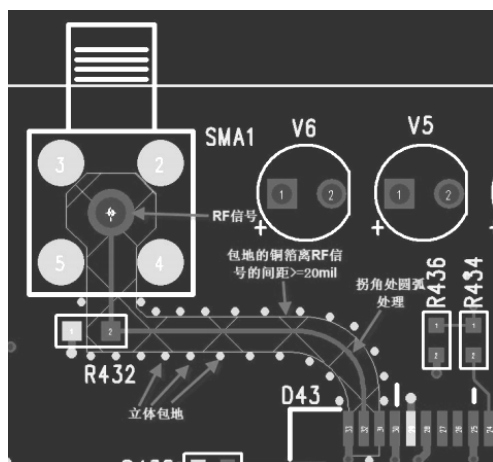


图 8-90 天线接口电路的布局、布线

8.6.4 CPU 最小系统的布局、布线

CPU 的最小系统是指包含 CPU 及储存的基本电路, 如各类 CPU 与 Flash、SDRAM、DDR1 SDRAM、DDR2 SDRAM、DDR3 SDRAM。

为便于 SDRAM、DDR、DDR2、DDR3 的布线, DDR 类的存储有一个保护区 (Keepout Region)。所有与 DDR 类存储相关的阻容电路从 CPU 出现侧开始一直到 DDR 的区域称为保护区。在此区域内不得出现与 DDR 类存储无关的信号; 在此区域内必须为 CPU 的信号线提供完整的地平面或电源平面, 信号走线的参考平面不能中断; 在此区域内必须为 DDR 类的存储提供完整的供电平面, 如 DDR 的 2.5V 电源平面、DDR2 的 1.8V 电源平面和 DDR3 的 1.5V 电源平面。CPU 与 DDR 类存储之间的保护区如图 8-91 所示。

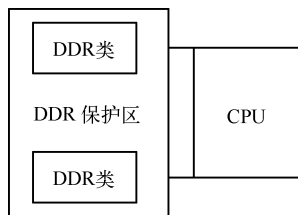


图 8-91 CPU 与 DDR 类存储之间的保护区

1. FLASH 布局、布线

FLASH 的布线遵循 3W 原则, 在布局时, 有些处理器的 FLASH 和 SDRAM 之间会共用部分数据信号、地址类信号, 因此在布局时, 将 CPU、SDRAM、FLASH 采用菊花链拓扑结构, FLASH 和 SDRAM 之前的距离一般控制在 12.7~25.4mm, 与 FLASH 相关的数据信号和地址信号走线的特性阻抗控制在 50Ω , 数据及地址类的等长误差控制为 $\pm 2.54\text{mm}$ 。

NAND FLASH 布局、布线如图 8-92 所示。

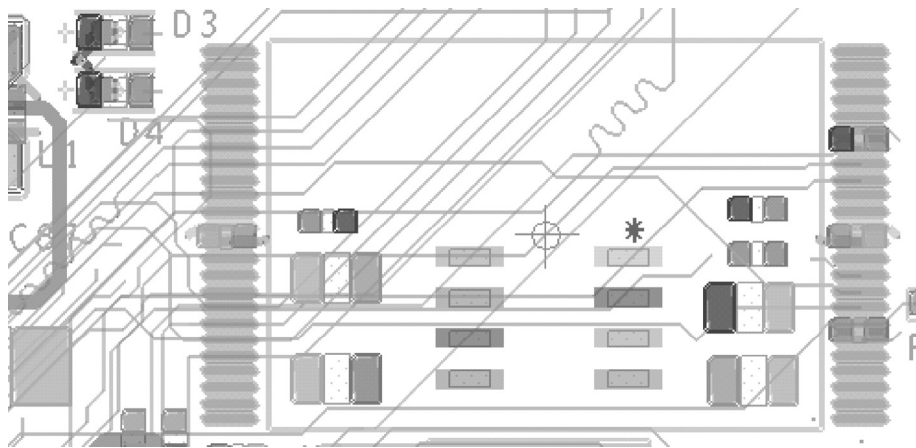


图 8-92 NAND FLASH 布局、布线

2. SDRAM 布局、布线

SDRAM 的布局原则是靠近 CPU 放置, 对于 SDRAM 到 CPU 的中心距离, 当 SDRAM 和 CPU 的连线中间无排阻时, 推荐距离为 22.86~25.4mm; 当 SDRAM 和 CPU 之间有排阻时, 推荐距离为 25.4~33.02mm。

1) 1 片 SDRAM

当采用 1 片 SDRAM 时, 采用点对点的布局方式, 如图 8-93 所示。

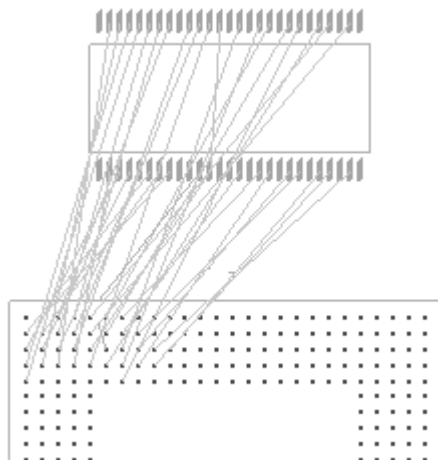
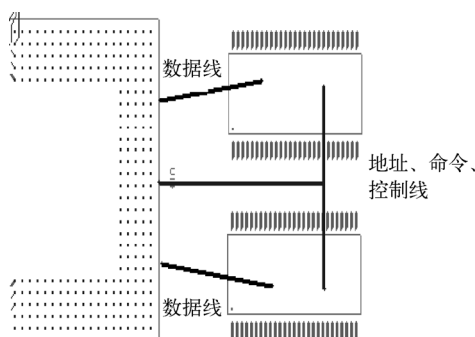


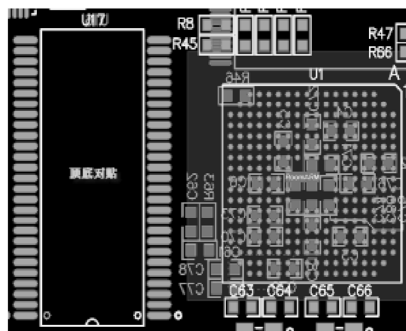
图 8-93 1 片 SDRAM 的布局、布线

2) 2 片 SDRAM

当采用 2 片 SDRAM 时，在空间足够的情况下，与 CPU 放置在同一面时，2 片 SDRAM 要相对于 CPU 严格对称；当空间不足时，2 片 SDRAM 采用正、反面对贴的方式，2 片 SDRAM 靠近 CPU 放置。采用 2 片 SDRAM 的布局、布线如图 8-94 所示。



2 片 SDRAM 对称布局



2 片 SDRAM 对贴布局

图 8-94 2 片 SDRAM 的布局、布线

SDRAM 走线的特性阻抗控制为单端走线 50Ω ；数据线每八根（1B）尽量走在同一个走线平面上（D0~D7，D8~D15，D16~D23，…），走线的参考平面尽量选择 GND 平面；信号线之间的走线间距满足 $3W$ 原则；数据线、地址线、控制线及时钟信号组信号之间的距离保持在 20mil 以上（或至少 $3W$ ），在空间允许的情况下，在每组信号走线之前可以添加一根地线，能起到较好的隔离作用，地线的宽度推荐为 15~30mil；数据信号的走线选择地平面作为参考平面，地址、命令、控制信号的走线尽可能选择地平面作为参考平面，在空间不允许的情况下，也可以采用完整的电源平面作为走线的参考平面；数据线的布线拓扑结构采用点到点的直连方式，地址、命令、控制信号的走线拓扑结构采用远端分支-T 形连接点的结构，T 形连接点采用过孔的形式，过孔打在 2 片 SDRAM 中间。

SDRAM 的所有信号的走线长度都参考时钟信号线的长度进行等长绕线处理，在布线时要将数据信号分为 DATA_BUS1、DATA_BUS2、…，所有的数据总线相对时钟信号的走线误差控制在 $\pm 1.27\text{mm}$ ；将地址、命令和控制信号归为一类，它们相对于时钟信号的走线误差控制在

$\pm 2.54\text{mm}$ 。

3. DDR1 SDRAM 布局、布线

DDR SDRAM 在布局时,靠近 CPU 放置。当 DDR SDRAM 和 CPU 之间无排阻时,DDR SDRAM 和 CPU 之间的中心距离一般为 $22.86\sim 25.4\text{mm}$; 当 DDR SDRAM 和 CPU 之间有排阻时,DDR SDRAM 和 CPU 之间的中心距离一般为 $25.4\sim 33.02\text{mm}$ 。

1) 1 片 DDR SDRAM

当采用 1 片 DDR 时,CPU 和 DDR1 SDRAM 采用点对点的布局方式,布局如图 8-95 所示,布线如图 8-96 所示。

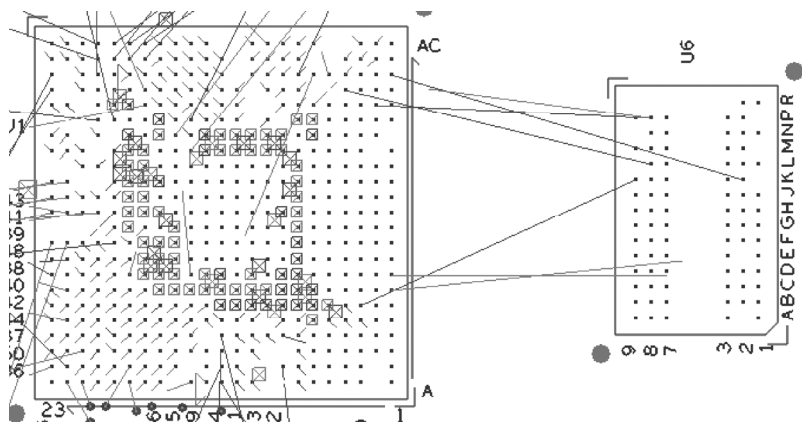


图 8-95 1 片 DDR 的布局

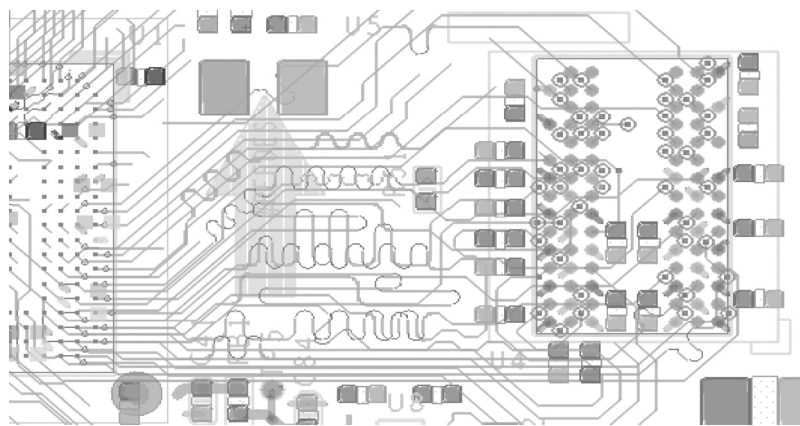


图 8-96 1 片 DDR 的布线

2) 2 片 DDR SDRAM

当采用 2 片 DDR1 SDRAM 时,2 片 DDR1 相对于 CPU 严格对称,其 DDR 相对 CPU 的布局位置如图 8-97 所示,布局如图 8-98 所示^[14]。

3) 4 片 DDR SDRAM

当采用 4 片 DDR SDRAM 布局时常用的拓扑结构有两两对贴的方式,即 BOTTOM 层和 TOP 层分别布置 2 片 DDR SDRAM 且 TOP 层与 BOTTOM 层是对称放置的,其拓扑结构与 2 片 DDR SDRAM 的布局是一样的。

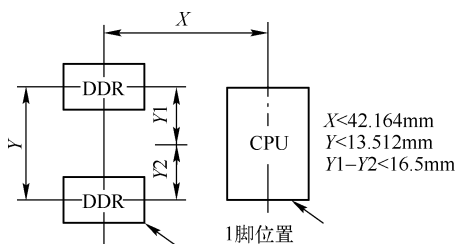


图 8-97 DDR 相对 CPU 的布局位置

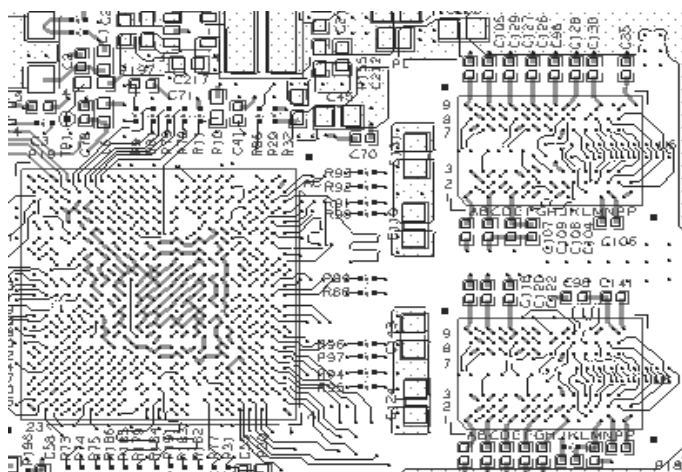


图 8-98 2 片 DDR 的布局

4 片 DDR SDRAM 也可以布置在 PCB 的同一面，其拓扑结构如图 8-99 所示。4 片 DDR SDRAM 在布线时，地址类信号、控制类信号和命令信号将 T 形连接点继续扩大，分成 2 级 T 形连接点进行布局、布线；数据类信号还是采用点对点的方式进行布局、布线。

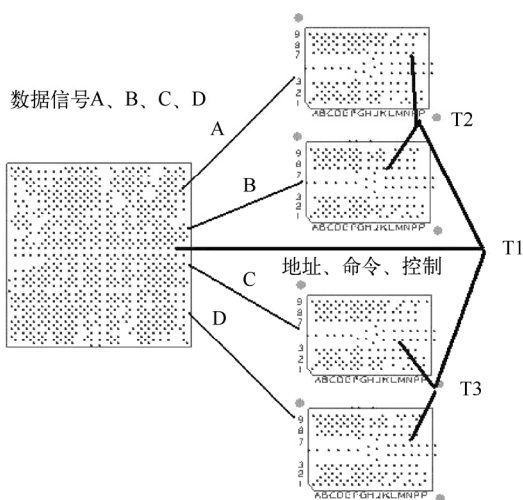


图 8-99 4 片 DDR SDRAM 同面布局示意图

DDR SDRAM 的地址、命令、控制和数据信号的单端走线的阻抗为 50Ω ，差分走线的阻抗为 100Ω ；数据信号（DQ/DQS/DM）参考 DQS 进行走线，地址、命令、控制类信号参考

CLK 时钟信号进行走线；对数据信号进行分类，2 片 DDR 时 DQ0~DQ7、DM0、DQS0 为一组进行同层布线，DQ8~DQ15、DM1、DQS1 为一组进行同层布线，且数据类信号的走线参考平面选择 GND 平面；数据信号的走线间距满足 3W 走线原则；数据信号、地址信号、控制命令信号、时钟信号组之间的间距保持在 20mil 以上（在空间紧张的情况下也需要保证在 3W 以上）；VREF 电源走线宽度 $\geq 20\sim 30\text{mil}$ ；数据组信号参考 DQS 数据选通信号进行等长绕线，数据线的误差范围控制在 $\pm 25\text{mil}$ ，地址线的误差范围控制在 $\pm 100\text{mil}$ ，差分对的长度误差控制在 5mil 以内；DQS 与 CLK 的误差控制可以参考 Datasheet 上的 DQS 与 CLK 的时序要求，一般遵循松散的时序关系。

4. DDR2 SDRAM 布局、布线

DDR2 SDRAM 与 DDR1 SDRAM 相比，其 DQS 信号变为了差分信号。DDR2 SDRAM 的布局、布线思路与 DDR1 SDRAM 类似，也同样分为 1 片 DDR2 SDRAM、2 片 DDR2 SDRAM、4 片 DDR2 SDRAM，甚至 8 片 DDR2 SDRAM。其布局、布线的思路可以参考上述关于 DDR1 SDRAM 布局、布线的详细思路。

DDR2 SDRAM 的 PCB 走线的单端走线阻抗一般控制为 50Ω ，差分走线阻抗一般为 100Ω ；对 DDR2 SDRAM 的信号进行分类，将数据信号分为四组，第一组数据信号为 DQ0~DQ7、DQMO、DQSO-与 DQSO+，第二组数据信号为 DQ8~DQ15、DQM1、DQS1-与 DQS1+，第三组数据信号为 DQ16~DQ23、DM2、DQS2-与 DQS2+，第四组数据信号为 DQ24~DQ31、DM3、DQS3-与 DQS3+；ADDR、BANK、CAS#、RAS#、CS#、WE#地址、命令、控制信号为一组；数据信号的布线间距满足 3W 原则；数据信号、地址信号和时钟信号之间的距离保持在 20mil 以上（在空间紧张的情况下也要保持在 3W 以上）；数据信号的参考平面为 GND 平面，地址、命令、控制信号的参考平面选择 GND 平面或完整的电源平面；VREF 电源走线的宽度 $\geq 20\sim 30\text{mil}$ ；差分时钟 CLK 与差分 DQS 差分走线的误差控制在 5mil 以内；数据信号参考 DQS 数据选通信号绕等长蛇形线，误差控制在 $\pm 15\text{mil}$ ；地址、命令与控制信号参考 CLK 时钟信号，长度差控制在 $\pm 100\text{mil}$ ；数据选通信号 DQS/DQS#与 CLK/CLK#满足松散的时序关系，长度关系参考 Datasheet 中的 tDQSCK。

5. DDR3 SDRAM 布局、布线

关于 DDR3 SDRAM 与 DDR2、DDR1、SDRAM 的异同，在第 7 章已做了详细的论述。DDR3 的布局拓扑结构与前面介绍的几种存储类似，只是由于 DDR3 的信号速率更高了，因此根据大量的仿真及设计实践证明只有 Fly-by 菊花链的拓扑结构满足信号完整性的要求，菊花链的拓扑结构能使 DDR3 的设计具备更好的信号完整性，从而使 DDR3 SDRAM 具备更优的性能。DDR3 的 Fly-by 菊花链拓扑结构如图 8-100 所示，4 片 DDR3 在同层布局时可以采用此拓扑结构；当 4 片 DDR3 采用对贴的方式进行布局时，即 2 片 DDR3 在 TOP 层，2 片 DDR3 在 BOTTOM 层，如图 8-101 所示是 DDR3 SDRAM 的对贴布局、布线，图中的 A1 标注为 TOP 层 DDR3 SDRAM 的第一脚，B1 标注为 BOTTOM 层 DDR3 SDRAM 的第一脚。

DDR3 SDRAM 的 PCB 走线的单端走线阻抗一般控制为 50Ω ，差分走线阻抗一般为 100Ω ；对 DDR3 SDRAM 的信号进行分类，将数据信号分为四组，第一组数据信号为 DQ0~DQ7、DQMO、DQSO-与 DQSO+，第二组数据信号为 DQ8~DQ15、DQM1、DQS1-与 DQS1+，第三组数据信号为 DQ16~DQ23、DM2、DQS2-与 DQS2+，第四组数据信号为 DQ24~DQ31、DM3、DQS3-与 DQS3+；ADDR、BANK、CAS#、RAS#、CS#、WE#地址、命令、控制信号为一组；数据信号的布线间距满足 3W 原则；数据信号、地址信号和时钟信号

之间的距离保持在 20mil 以上（在空间紧张的情况下要保持在 3W 以上）；数据信号的参考平面为 GND 平面，地址、命令、控制信号的参考平面选择 GND 平面或完整的电源平面；VREF 电源走线的宽度 $\geq 20\sim 30\text{mil}$ ；差分时钟 CLK 与差分 DQS 差分走线的误差控制在 5mil 以内；数据信号参考 DQS 数据选通信号绕等长蛇形线，误差控制在 $\pm 10\text{mil}$ ；地址、命令与控制信号参考 CLK 时钟信号，长度差控制在 $\pm 100\text{mil}$ ，采用 Fly-by 菊花链拓扑结构，走线越短越好；数据选通信号 DQS/DQS#与 CLK/CLK#没有时序的要求。

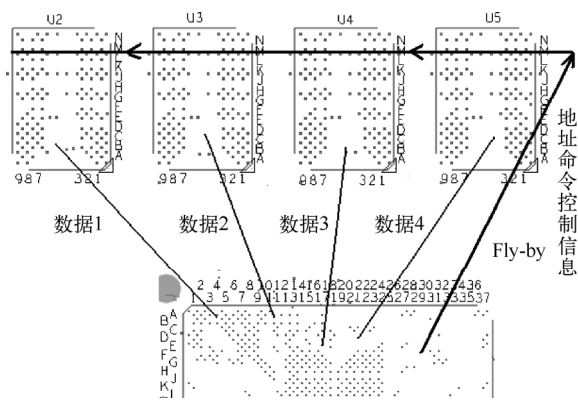


图 8-100 Fly-by 菊花链拓扑结构

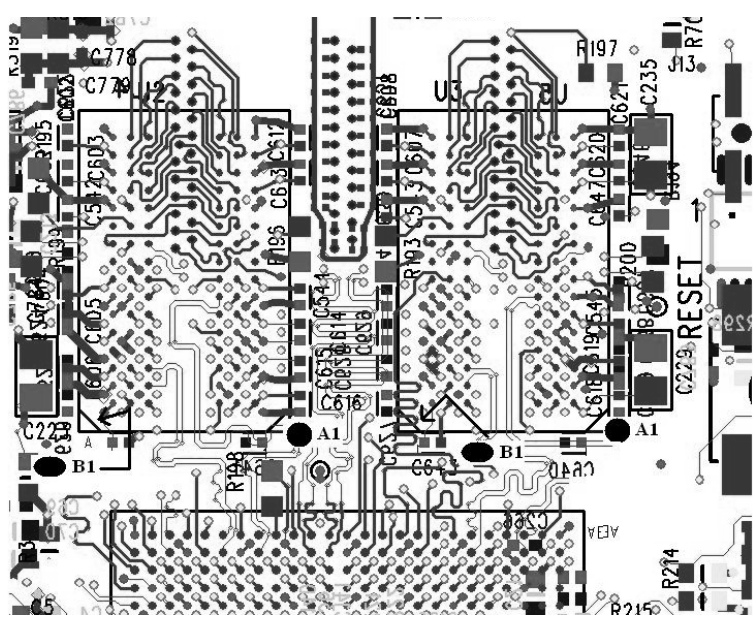


图 8-101 DDR3 SDRAM 的对贴布局、布线

根据以上布局、布线的论述及对比，将 DDR3、DDR2、DDR1、SDRAM 的布局、布线设计归纳如下。

① 作为源同步系统，DDR3、DDR2、DDR1 主要有三组时序设计要求：第一组是 DQ 和 DQS 的等长关系，也就是数据和 Strobe 的时序；第二组是 CLK 和 ADDR/CMD/CTRL 之间的等长关系，也就是时钟和地址控制总线的关系；最后一组是 CLK 和 DQS 之间的关系，也就是时钟和 Strobe 的关系。

② 等长关系 1——数据组与 DQS：对于 DQS 和 DQ 的处理，作为同组的数据和 Strobe，需要非常严格的等长关系。对于 SDRAM，所有的数据线参考 CLK 等长，数据线误差控制在 $\pm 50\text{mil}$ ；对于 DDR，所有的数据线参考 DQS 等长，数据线的误差控制在 $\pm 25\text{mil}$ ，当设置 DQS 为 target length 时，tolerance 设置为 25mil，这样数据线的长度相对于 DQS 小 25mil 或大 25mil，就达到了误差控制的 $\pm 25\text{mil}$ ，调节 dynamic length 时，尽量让差距显示在进度条的中间就可以了；对于 DDR2，所有的数据线参考 DQS 差分线等长，DQS 差分线的误差控制在 5mil static phase，所有的数据线的误差控制在 DQS target 长度的 $\pm 15\text{mil}$ ；对于 DDR3，所有的数据线长度参考 DQS 长度，长度控制在以 DQS 为 Target length 的 $\pm 10\text{mil}$ 。

③ 等长关系 2——CLK 与 ADDR/CMD/CTRL：相对于数据组与选通信号的等长关系而言，SDRAM、DDR1、DDR2、DDR3 的地址、命令与控制类信号与 CLK 的长度关系是松散的等长关系，因此对于以上 4 类存储，在处理 CLK 与 ADDR/CMD/CTRL 之间的长度匹配关系时，将 CLK 设置为 target length，长度误差控制在 $\pm 100\text{mil}$ ，cadence allegro 的长度关系参数在 tolerance 中设置为 100mil 即可（针对具体的情况可以参照 Datasheet 的要求）。等长关系可以根据 SDRAM、DDR1、DDR2、DDR3 不断增加的速率和长度匹配关系依次设置为 $\pm 100\text{mil}$ 、 $\pm 80\text{mil}$ 、 $\pm 50\text{mil}$ 、 $\pm 30\text{mil}$ ，具体可以参照 Datasheet 中的要求。

④ 等长关系 3——DQS 与 CLK 的时序关系：对于 SDRAM 而言，数据的读取与写入内存都是通过 CLK 来采样的，因此无 DQS 与 CLK 的时序要求；对于 DDR 与 DDR2，DQS 与 CLK 的时序关系要求是松散的时序关系（相对于 ADDR/CMD/CTRL、CLK 的时序要求而言），具体描述这个要求关系的参数是 tDQSCK。如图 8-102 所示是某型号 DDR2 中 DQS 与 CK/CK# 的时序要求^[21]。

Parameter	Symbol	DDR2-1066		DDR2-800		DDR2-667		Units	NOTE
		min	max	min	max	min	max		
DQ output access time from CK/CK#	tAC	-350	350	-400	400	-450	450	ps	40
DQS output access time from CK/CK#	tDQSCK	-300	300	-350	350	-400	400	ps	40

图 8-102 DDR2 中 DQS 与 CK/CK# 的时序要求

按照信号在 PCB 传输线的传输速度约为 6in/ns （外层走线的单位延时较小，约为 140ps/in ，内存走线的单位延时较大，约为 180ps/in ），可以估算一下长度匹配的要求。当采用 DDR2-800 的内存 IC 时，Tdqsk DQS 数据选通 Strobe 信号和 CLK 的长度匹配的要求是 $-350 \sim 350\text{ps}$ 及 $-0.35\text{ns} \times 6 \sim 0.35\text{ns} \times 6\text{in/ns}$ （ $-2.1 \sim 2.1 = -2100 \sim 2100\text{mil}$ ），考虑到一个源同步系统时序设计占最大份额的不是走线的偏差，由电源完整性、信号完整性、EMC/EMI 等引起的因素占有更大的成分，因此在长度匹配上进行降额处理，在实际的应用中设计为 $\pm 100\text{mil}$ ，完全可以满足设计的需要。对于 DDR3 而言，因 DDR3 的设计采用菊花链拓扑结构，所以对 DQS 与 CLK 不要求时序关系。

8.7 PCB 的板级仿真分析

PCB 的板级仿真分析是在 PCB 级仿真软件中去设定各项参数，无限接近地去模拟真实的 PCB 工作环境，通过得到的各项输出指标去评估所设计的 PCB 的性能，从而对不理想的参数分析其产生的原因，并对 PCB 的叠层结构、布局、布线及其他有助于提升 PCB 性能的各项操作进行综合分析并修改的过程。

PCB 的板级仿真软件在第 2 章中的开发平台构建部分已做了详细的论述，具体的辅助设

计平台可以根据设计的需要进行合理的选择。PCB 的板级仿真需要仿真软件、正在设计或已设计完成的 PCB 文件、PCB 上各功能 IC 的 IBIS 或 IBIS-AMI 模型、走线的 S 参数模型及阻容器件的 Spice 模型等。根据仿真分析所属的不同阶段，可以分为 PCB 设计完成前的前仿真分析、PCB 设计完成后的后仿真分析；每个阶段的仿真分析又可以根据仿真分析的不同内容划分为信号完整性仿真分析、信号时序仿真分析、PCB 走线 EMC/EMI 仿真分析。因电源完整性仿真分析需要特定的叠层结构及相关布局、布线器件的支持，所以一般电源完整性的整板仿真分析是在 PCB 设计完成后进行的。

8.7.1 信号完整性前仿真分析

信号完整性前仿真分析是在布局、布线的过程中探索解空间的情况，通过不断的仿真尝试探索实际可行的解决方案，验证已实施方案的合理性。

信号完整性前仿真分析是一个探索性的分析，此时 PCB 的布局已初步完成，各器件之间是通过飞线的方式进行互连的，软件计算飞线的距离采用的是曼哈顿长度。在 PCB 级仿真软件中，飞线是采用理想传输线方式进行等效的，如图 8-103 所示。在进行前仿真分析时，IC

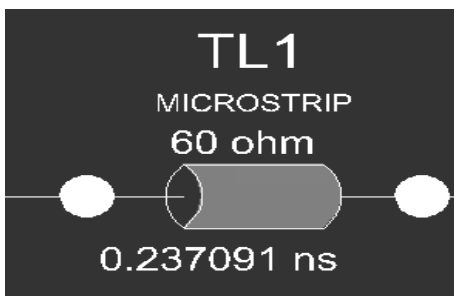


图 8-103 飞线的理想传输线模型

器件采用的是 IBIS 模型，以模拟各个端口的电压与电流的关系、电压与时间的关系。发送端的 IBIS 模型输出信号，信号通过理想传输线传送到信号接收端的 IBIS 模型。前仿真分析无法评估走线的好坏。在进行前仿真分析时，可以变化器件之间的相对布局位置，对器件之间的互连，可以设定一系列的长度范围进行仿真分析，探测器件之间互连时多长的走线长度符合设计的需要；像 CPU 与存储颗粒，进行走线设计时需要满足一定的拓扑结构，在进行前仿真分析时，可以在 PCB 中调整不同的拓扑结构进行仿真分析，评测各

个拓扑结构对信号的影响，从中选出适合当前设计的拓扑结构，在拓扑结构的仿真分析中可以评测诸如 T 形连接点的位置，T 形连接点各分支的走线最佳长度等；在进行信号的端接设计时，需要评估所串接电阻或并接电阻对信号质量的影响，可以固定电阻的位置，给电阻设定一系列的阻值，评测出最佳的电阻，也可以固定电阻的阻值，评测电阻在不同位置时对信号的影响。

前仿真分析解决的是一个“**What If**”的问题，仿真时尽可能多地提出可能的布局及走线假设，然后分别去模拟提出的“**If**”的情况，之后得到“**What**”的结果，并根据结果去调整，在不断的反复中，得到最佳的器件之间的布局、布线可能情况。

8.7.2 信号时序 Timing 前仿真分析

信号时序 Timing 前仿真分析是探索 PCB 上有时序要求的各走线信号需要满足的长度匹配关系。

对信号时序的仿真分析需要对有时序要求的信号进行分组，然后对这组信号进行模拟，根据其建立时间及保持时间的要求，分析时序是否满足设计的需要。在 ANSYS Designer 中，给将要分析的 DQ 信号及 DQS 信号建立了一个统一的与逻辑符号极性相关的分析界面，如图 8-104 所示。在 Cadence Allegro16.5 版本及更新的版本中提供了针对源同步时钟系统设计的 BUS 仿

真功能，可以方便地评测各个信号的质量及时序的要求，如图 8-105 所示是进行 DDR2 SDRAM 分析时的参数设置。

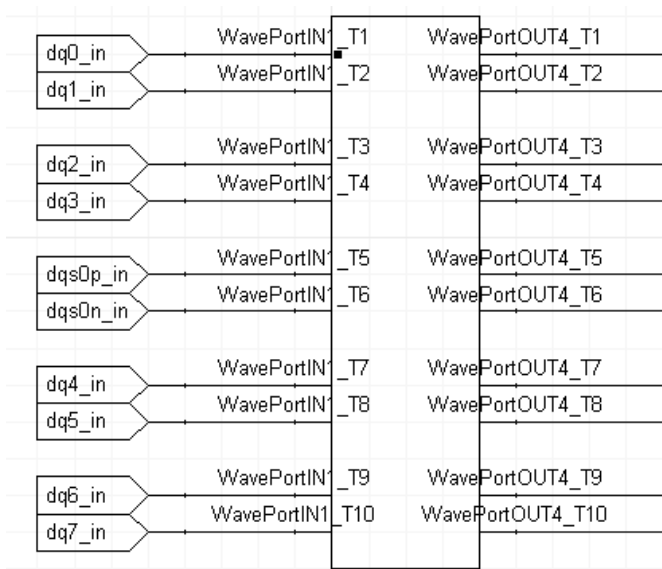


图 8-104 ANSYS 中时序分析 DQ 与 DQS 的逻辑符号

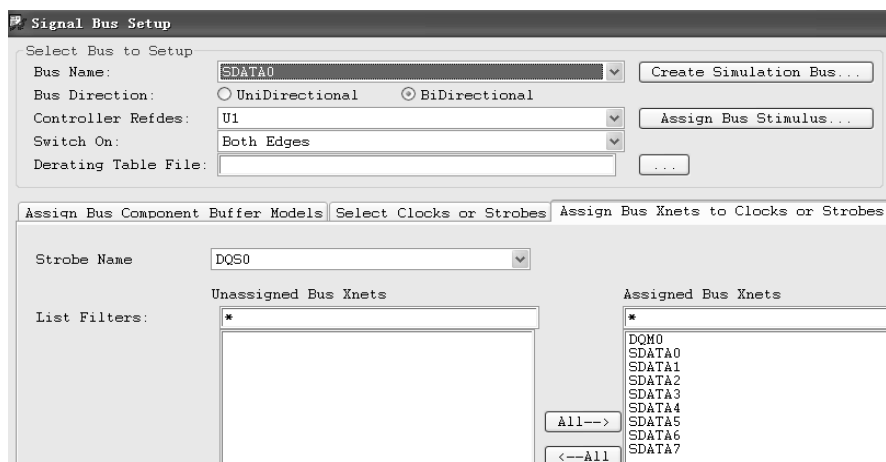


图 8-105 DDR2 SDRAM 分析时的参数设置

8.7.3 信号完整性后仿真分析

信号完整性后仿真分析是在 PCB 设计完成后进行的仿真实验验证，在后仿真阶段，PCB 的布局、布线已完成，进行仿真分析是对实际 PCB 的仿真实验验证。此时的 PCB 已完成叠层结构的设计，PCB 走线为微带线或带状线的实际物理模型，各电源平面及地平面已根据需要完成敷铜及互连操作，在各走线层已完成相应的层面走线处理。

信号完整性后仿真分析可以通过软件提取 PCB 走线的 S 参数模型，并根据提取的参数评测信号走线对信号的影响。通过仿真分析，可以评测影响信号完整性的因素，如信号的反射、

串扰等，并根据仿真分析的结果评测器件互连性能的好坏。

信号完整性后仿真分析主要进行的是时域仿真分析，通过第 3 章可知，对设计的验证是在时域中进行的，时域分析有明确的指标，能够对系统的好坏进行验证。当使用仿真软件对系统进行验证时，准确设定仿真的参数才能保证 PCB 级仿真的结果具有指导意义，如果仿真的参数设置不准确，仿真的数据也就没有可参考的意义了。

在信号完整性的后仿真阶段，通过设置输出查看信号的眼图，可以观察出码间串扰和噪声的影响，从而估计出系统的优劣程度。如图 8-106 所示是 DDR3 的 DQ0~DQ7 与 DQS/DQS# 的信号眼图，从图中可以看出 DQ 信号与 DQS 的信号且有很好的信号完整性，DQS/DQS# 与 DQ 信号的时序关系。

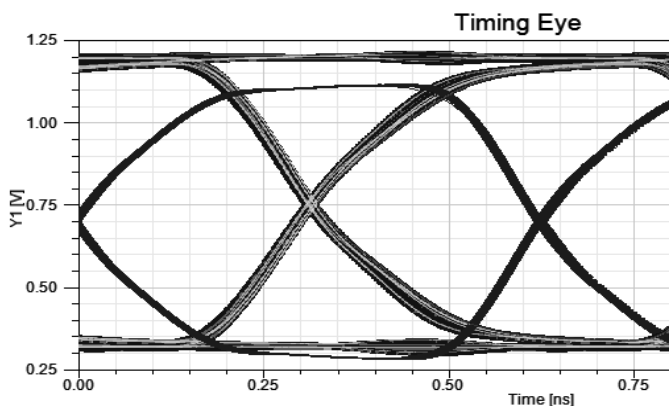


图 8-106 DDR3 的 DQ0~DQ7 与 DQS/DQS# 的信号眼图

8.7.4 电源完整性后仿真分析

对于电源完整性后仿真分析，主要是在频域进行分析，在时域进行验证的。

对供电平面的空间电压分布及电流分布进行仿真分析，是电源完整性后仿真分析的重要内容。在进行此类仿真分析时，需要对 PCB 上的供电源头 VRM、传输路径及负载建模，根据 Datasheet 上的电气参数设定仿真分析的参数，计算出供电平面上的电压分布及电流密度，根据仿真的数据查找 PCB 上是否有存在问题的地方。从第 4 章的电源完整性分析知道，通过仿真分析 PCB 上供电平面的空间电压及电流，常见的问题点有 IR Drop、过孔载流密度过大等。基于 Siwave 的 PCB 上的电压压降分布和平面电流密度分布如图 8-107 所示。

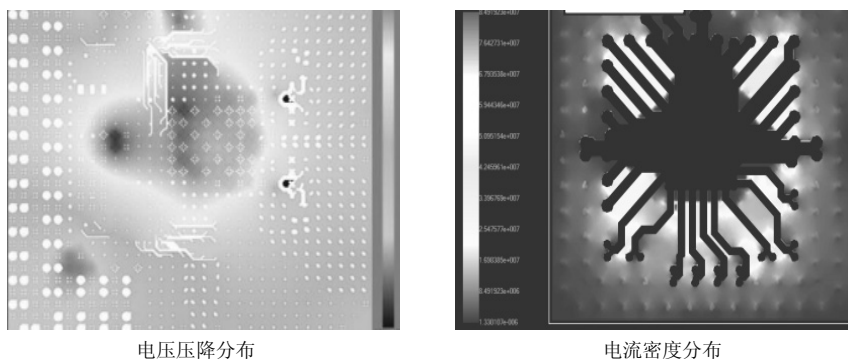


图 8-107 PCB 上的电压压降分布和平面电流密度分布

平面的谐振是由于反射的信号与源信号相位相同而进行的幅度叠加,在进行 PCB 的电源平面与地平面设计时,由于平面工作环境的复杂性,电源平面与地平面之间会构成一个谐振腔,谐振腔里的串联谐振会导致产生阻抗的极小值,并联谐振会导致产生阻抗的最大值,根据第 4 章中的内容我们知道,尽最大的可能减小电源平面与地平面之间的目标阻抗是目前有效可行的电源完整性设计方法,因此在进行电源平面与地平面的设计时,需要消除或减弱电源平面与地平面之间的谐振特性。在进行平面谐振的计算时,需要设置计算平面谐振的频率,即在设定的频率范围内需要计算的谐振模式越多,计算的时间越长。同样,对 PCB 的谐振特性拆解得越详细,谐振点附近越会出现信号的波峰与波谷,波峰与波谷是信号波动比较大的地方,因此在进行 PCB 布局时,IC 器件要远离谐振点进行布局。对于谐振点,在目前去耦电容可实现的范围内可以在谐振点及附近合理添加去耦电容以达到减弱或消除 PCB 上谐振点的目的。某设计中 CPU 的内核工作频率为 533MHz,采用 6 层 PCB 设计,对电源平面的谐振特性进行分析,如图 8-108 所示是 1GHz 模式下的 PCB 电源平面的谐振特性,从仿真结果中可以看出,1GHz 时 PCB 没有明显的谐振;如图 8-109 所示是 1.3987GHz 模式谐振分析,从该图可以看出左下方的电源平面有一定的谐振,需要根据 IC 供电的需求确定该谐振带来的电压波动是否会影响 IC 的正常工作;如图 8-110 所示是 1.46GHz 模式谐振分析,从该图可以看出右上角部分有较大的谐振,同样需要根据其波动特性,判断是否会影响该部分 IC 的正常工作。

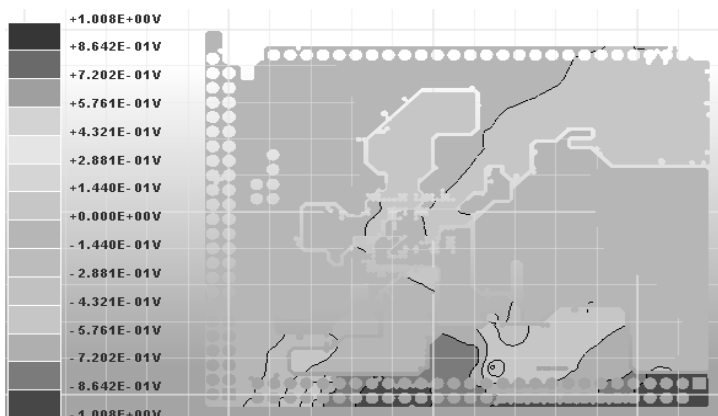


图 8-108 1GHz 模式下的 PCB 电源平面的谐振特性

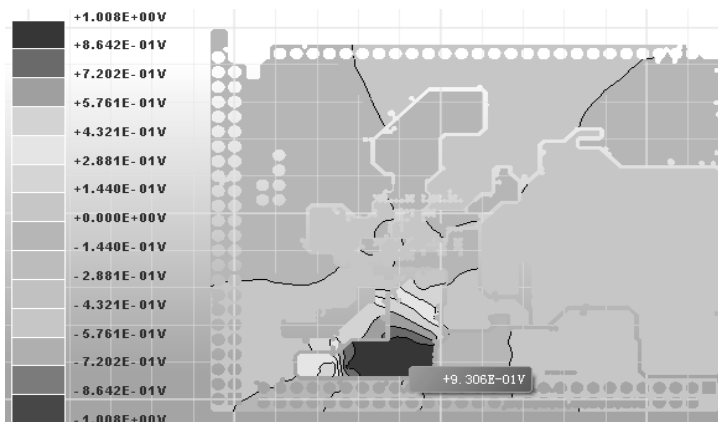


图 8-109 1.3987GHz 模式谐振分析

S 参数可以用于分析 IC 供电引脚的阻抗特性。一般在进行某 IC 供电引脚的阻抗特性分析时, 需要将所有同电势的电压引脚归为一类, 然后将 IC 的地引脚归为一类, 在供电引脚和 GND 引脚之间建立 Port, 并设定参考的阻抗值, 一般为 1Ω 以下, 这样就建立了 IC 供电平面和 GND 之间的逻辑关系, 通过分析 IC 供电平面和 GND 之间的 S 参数, 就可以转化为对应的阻抗特性, 从而分析出 IC 的供电阻抗。在某设计中, IC 供电电源的阻抗特性分析如图 8-111 所示。从图中可以看出, IC 电源供电引脚的阻抗随着频率的升高而慢慢升高, 电源阻抗变大不利于电源的电源完整性。在进行电源完整性的分析时, 需要确认系统中各类信号的工作频率, 从而确定需要分析的频率范围, 然后在该频率范围内完成电源完整性的分析。

45292.11

SYZ Sweep 1

Curve Info

Mag[Z(U1_U1_VDD1V2_INT_Group_U1_GND_Group,U1_U1_VDD1V2_INT_Group_U1_GND_Group)]

SYZ Sweep 1

Z Mag [Ohm]

Freq [GHz]

0.01 1.00 2.00 3.00 4.00 5.00 5.59

8.7.5 PCB 级 EMC/EMI 仿真分析

• 316 •

信号的仿真参数时，需要将其设置为 EMC/EMI 的仿真分析。在 PCB 的 EMC/EMI 分析中，EMC/EMI 是指将 PCB 走线、PCB 上的敷铜等作为信号的辐射源，走线及敷铜等效为天线，从而产生的天线的辐射效应。板级 EMC/EMI 仿真分析可以分为近场的 EMC/EMI 仿真分析及远场的 EMC/EMI 仿真分析。某 Demo 板在 580MHz 时的近场仿真分析与远场仿真分析结果如图 8-112 所示。根据仿真结果可以进行相应的修改，如图 8-113 所示是优化前后的辐射幅度对比。

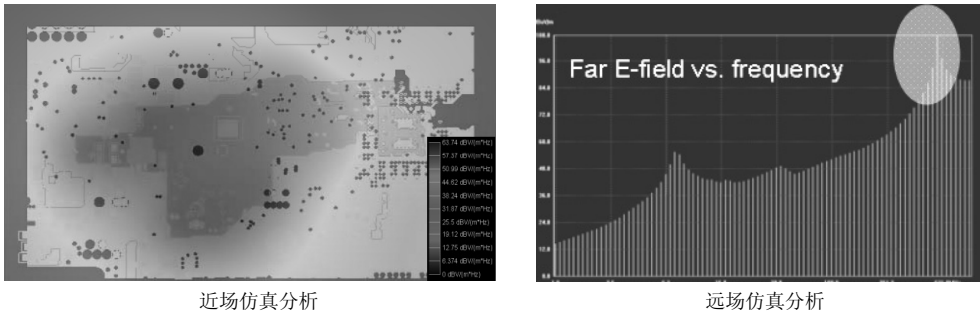


图 8-112 580MHz 近场与远场仿真分析

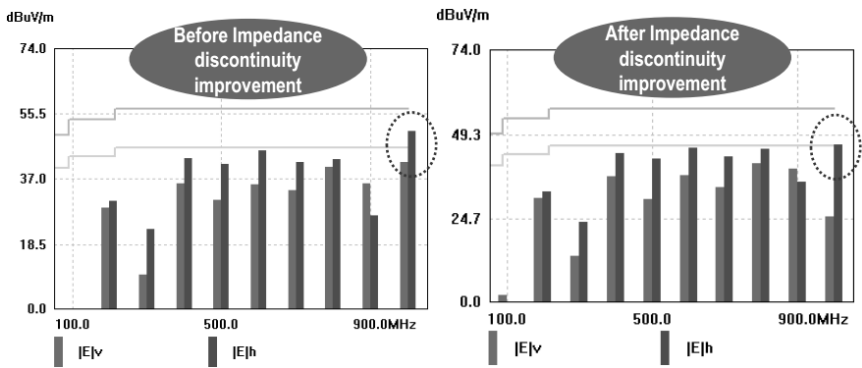


图 8-113 优化前后的辐射幅度对比

8.8 本章小结

本章对 PCB 设计中的 SI、PI、EMC/EMI、ESD、DFX 在设计中的实现方法进行了说明。本章根据 PCB 的设计流程，从 PCB 的板框、定位孔、叠层设计到布局、布线都做了详细的说明；对常见电路的布局、布线做了总结，包含 LDO、DC/DC、时钟电路、常用接口电路及 CPU 最小系统（Flash、SDRAM、DDR1 SDRAM、DDR2 SDRAM、DDR3 SDRAM 的布局及布线规则）；对 PCB 设计中的信号完整性前仿真、信号的时序仿真、信号完整性后仿真、电源完整性仿真分析及 PCB 级 EMC/EMI 仿真做了概要说明。

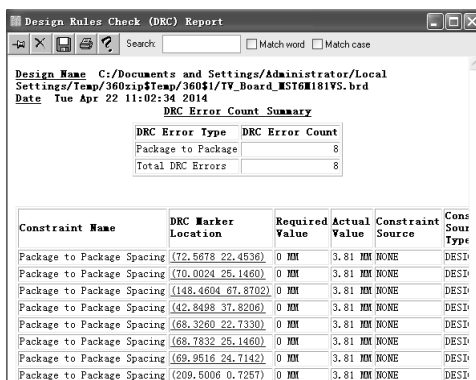
PCB 设计后处理及 Gerber 输出

PCB 布线完成后，需要对 PCB 的走线、各层面敷铜的铜皮进行检查并对问题点进行修改造；确认无误后需要根据 PCB 的布局及过孔的情况合理调整 PCB 上的丝印；待所有的检测项目确认后，需要根据工厂图纸加工的要求出 Gerber 图纸，并将 PCB 的加工技术要求与 Gerber 图纸一同发送给工厂。为便于说明此部分的例程，本章采用 Cadence Allegro16.5 及 CAM350 10.7，其设计思路适用于其他开发平台。

9.1 板层走线检查及调整

PCB 设计完成后，需要对 PCB 的走线和敷铜进行检查。PCB 的设计工具中都有 DRC (Design Rules Check) 的实时监测，设计中出现与设计的规则不相符的地方会用 DRC 标记；在 PCB 的设计工具中，为便于醒目地查看 DRC 错误，推荐将 DRC 设置得稍微大些。

对于 PCB 层走线的检测，除了目视之外，更直观、准确的是使用 PCB 自带的检测工具输出 PCB 布线的相关数据。以 Cadence Allegro 为例，在 Quick Report 中，可以输出 DRC Report (如图 9-1 所示)、Unconnected Pins Report (如图 9-2 所示)、Unplaced Components Report (如图 9-3 所示) 和 Diffpair Gap Report (如图 9-4 所示) 等。设计完成后，需要逐项确认设计的准确性。



DRC Error Count Summary						
DRC Error Type	DRC Error Count					
Package to Package	8					
Total DRC Errors	8					

Constraint Name	DRC Marker Location	Required Value	Actual Value	Constraint Source	Cons Sour Type
Package to Package Spacing	(72.5678 22.4536)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(70.0024 25.1460)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(148.4604 67.8702)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(42.8498 37.8206)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(68.3260 22.7330)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(68.7832 25.1460)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(69.9516 24.7142)	0 MM	3.81 MM	NONE	DESI
Package to Package Spacing	(209.5006 0.7257)	0 MM	3.81 MM	NONE	DESI

图 9-1 DRC Report



Unconnected Pins Report	
Design Name	C:/Documents and Settings/Administrator/Local Settings/Temp/360zip\$Temp/360\$1/TV_Board_MST6M181VS.brd
Date	Tue Apr 22 11:04:18 2014
Total Unconnected Pins:	0

图 9-2 Unconnected Pins Report

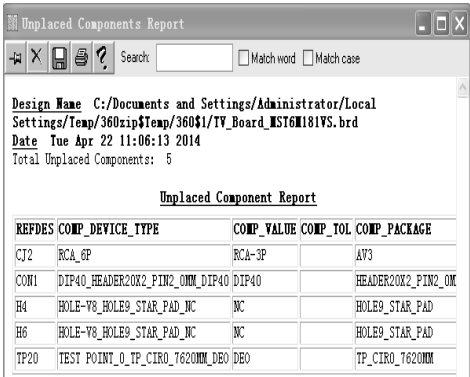


图 9-3 Unplaced Components Report

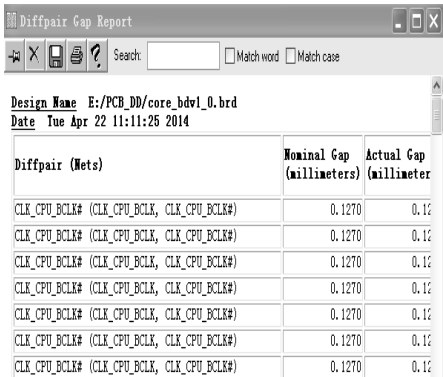


图 9-4 Diffpair Gap Report

9.2 板层敷铜检查及修整

孤铜就是没有任何连接的在 PCB 上孤立的铜箔，孤铜一般是因为布局或布线的分割而造成的小块的没有电气连接特性的铜皮。待 PCB 布局、布线完成后，需要检查此项。孤立的铜皮对 PCB 没有用处，在布线结束后，需要将小面积的孤铜删除，对于大面积的孤铜，可以采用地孔的方式，与其他平面的底层进行互连。在 Cadence 中，待布线、敷铜完成后，可以检测是否有孤铜，如图 9-5 所示是对孤铜信息的统计。

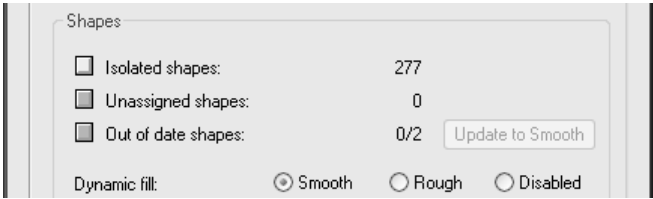


图 9-5 孤铜信息的统计

发现有孤铜的信息，就需要定位孤铜并进行相应的处理，同样可以借助于 Quick Report 进行准确的定位。例如，Quick Report 中的 Shape Island Report 和 Shape No Net 等相关输出报告如图 9-6 和图 9-7 所示。

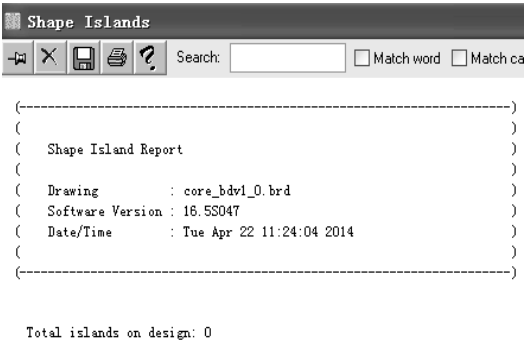


图 9-6 Shape Island Report

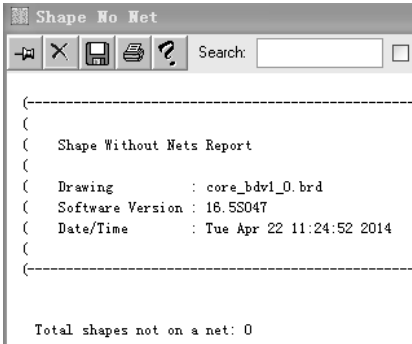


图 9-7 Shape No Net

9.3 丝印文字及 LOGO

对丝印的设计在第 6 章中已做了论述，可以参考此部分的信息。待 PCB 设计完成后，应根据设计的需要在 PCB 上加上一系列的图示，如无铅图示、防静电图示、不可随意扔垃圾桶图示、CE 认证图示和 FCC 认证图示等，如图 9-8 所示。有时 PCB 上也会有公司的 LOGO 信息，如图 9-9 所示是 NVIDIA 公司的 LOGO。

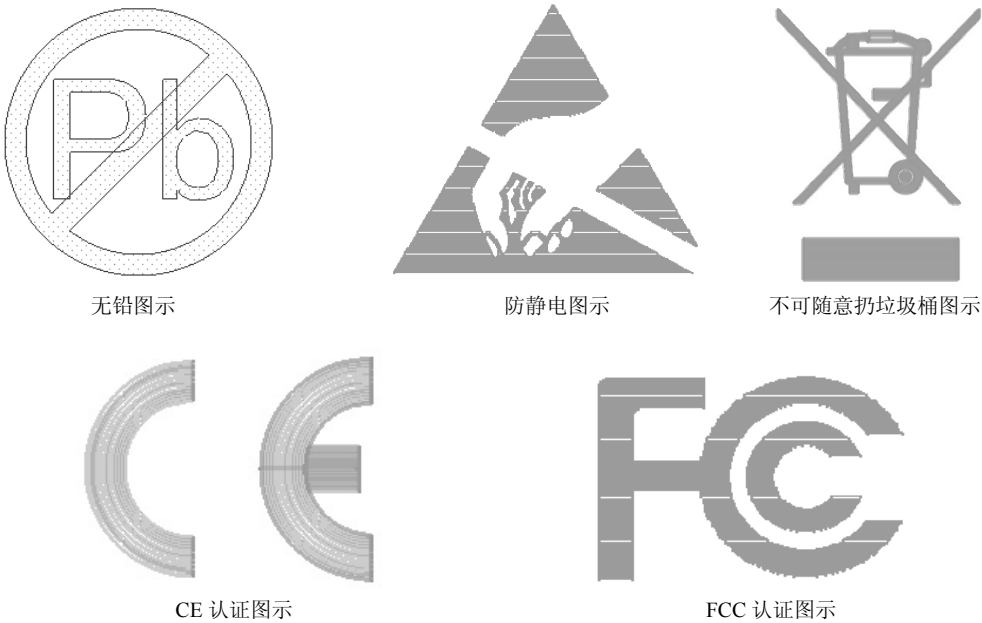


图 9-8 PCB 上的各种图示



图 9-9 NVIDIA 公司的 LOGO

9.4 尺寸和公差标注

对于 PCB 的尺寸及公差的标注在第 6 章及第 8 章有相关论述，可参考以上章节的内容。要注意，对于尺寸及公差的标注需要与结构工程师沟通，以便于统一标注的格式。

9.5 Gerber 文档输出及检查

待所有信息确认无误后，就需要输出 PCB 图纸的 Gerber 文档。大部分 PCB 设计完成后

的图纸，如 Cadence、Mentor 和 PADS 等，PCB 工厂是无法直接识别的，都需要转换成机器可以识别的格式。Gerber 图纸的格式有 Gerber6x00、Gerber4x00、GerberRS274X、Barco DPF 和 MDA，其中应用最为广泛的格式是 GerberRS274X，如无特殊要求一般都采用此格式。很多使用 Altium 或 Protel 的设计者，设计完 PCB 后都是直接将图纸发送给厂家，其实厂家不可以直接用提供的 PCB 图纸进行加工，而是将图纸 Gerber 处理之后再由机器加工的。

在出 Gerber 图纸时，根据不同的数据信息，可以将 Gerber 图纸的信息分为：TOP 层丝印层（SILKSCREEN_TOP）、BOTTOM 层丝印层（SILKSCREEN_BOTTOM）；TOP 层阻焊层（SOLDERMASK_TOP）、BOTTOM 层阻焊层（SOLDERMASK_BOTTOM）；TOP 层加焊层（PASTEMASK_TOP）、BOTTOM 层加焊层（PASTEMASK_BOTTOM）；PCB 叠层内的各走线层；PCB 叠层内的各电源及地平面层；钻孔的数据文件；钻孔的参数和钻孔图。丝印层的作用是用来标注各个器件的参考标号、器件的框体及板上需要标注说明的其他信息；阻焊层是用来对焊盘及过孔进行阻焊开窗的，只有阻焊开窗，才能将铜皮裸露出来，用于焊接；加焊层是用来制作钢网的，用于 PCB SMT 时印刷锡膏；各电气层走线及内电层平面的图纸用于生产对应的各层 PCB；钻孔数据及钻孔参数用于 PCB 上钻孔的实现；钻孔图对钻孔数据起辅助作用。基于以上数据划分，基于 ARM9 S3C2416 的 Gerber 图纸包含的数据文件如图 9-10 所示。

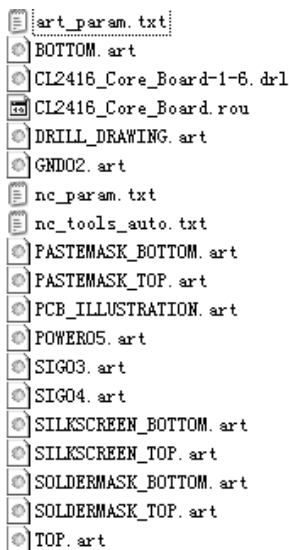


图 9-10 基于 ARM9 S3C2416 的 Gerber 图纸包含的数据文件

钻孔数据在 Gerber 生成和导入确认时都是最为麻烦的，为便于对 Cadence 中 Gerber 钻孔数据的生成及 CAM350 对 Gerber 数据的确认有一个直观的认识，下面对 Cadence 的 Gerber 文件及钻孔数据的生成做概要说明，并对 CAM350 中数据的导入操作做详细说明。

Allegro 生成 Gerber 文件时需要配置参数，当 Gerber 中包含方孔或椭圆孔时，Allegro 中的参数及 CAM350 参数配置相对比较麻烦。Cadence Allegro 生成钻孔数据文件的选项很多，在生成钻孔数据文件和 Gerber 文件时并没有发生问题，但是导入 CAM350 时，钻孔和 Gerber 坐标却出现不一致的现象。在生成 rou 文件时，会出现“No header % found, load stopped”的提示。

这个问题可能会困扰很多设计者：虽然提示有问题，但是生成数据的环节并没有出问

题，生成的数据也是正确的，那如何解决呢？

Cadence 生成钻孔数据的方法如图 9-11 所示：单击“Manufacture”→“NC”→“Drill Customization...”→自动生成 Drill Symbol。

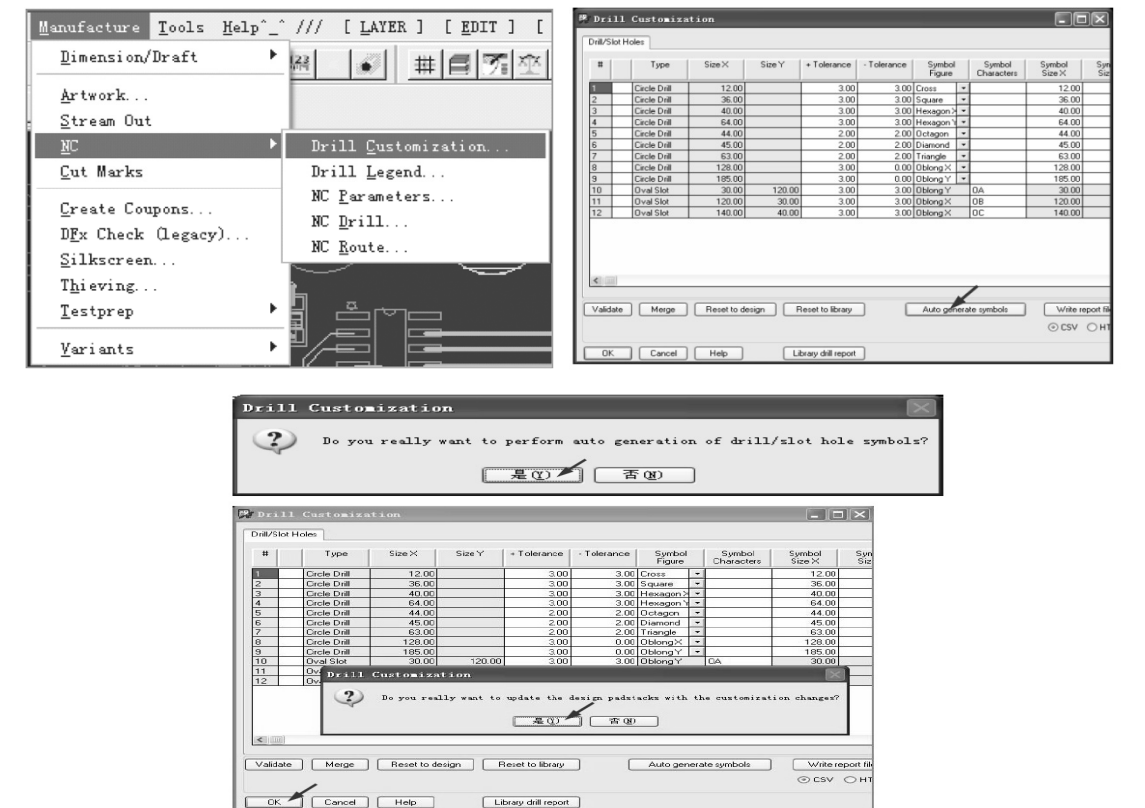


图 9-11 Cadence 生成钻孔数据的方法

生成 Drill Legend：单击“Manufacture”→“NC”→“Drill Legend...”，生成钻孔图列表，操作如图 9-12 所示。

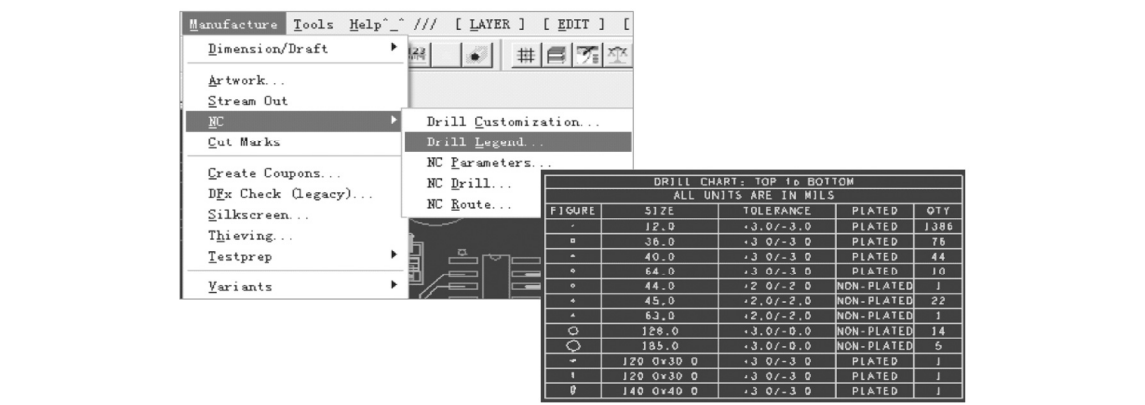


图 9-12 生成 Drill Legend

设置 Drill 的钻孔参数，如图 9-13 所示。

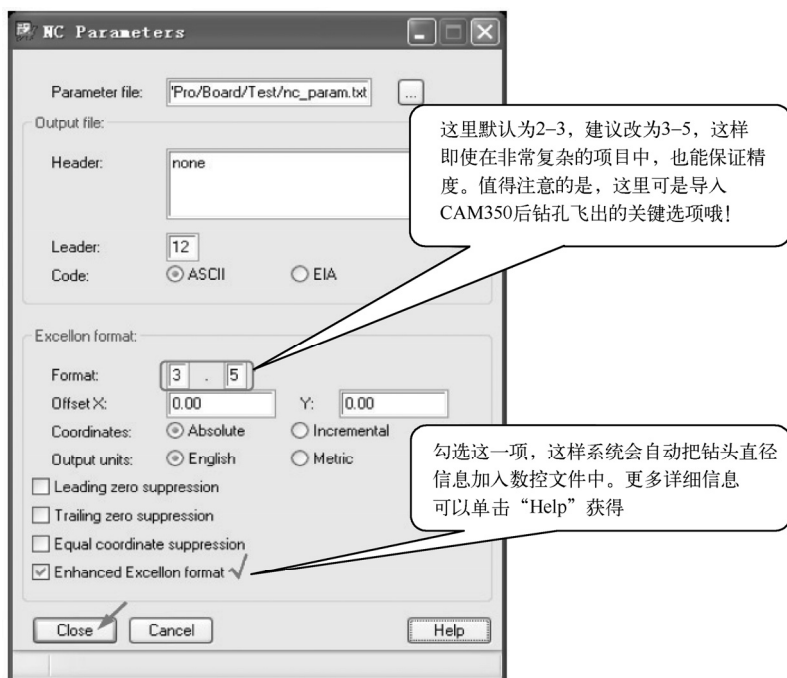


图 9-13 设置 Drill 的钻孔参数

生成 NC Drill, 生成圆形钻孔的钻孔数据, 如图 9-14 所示。

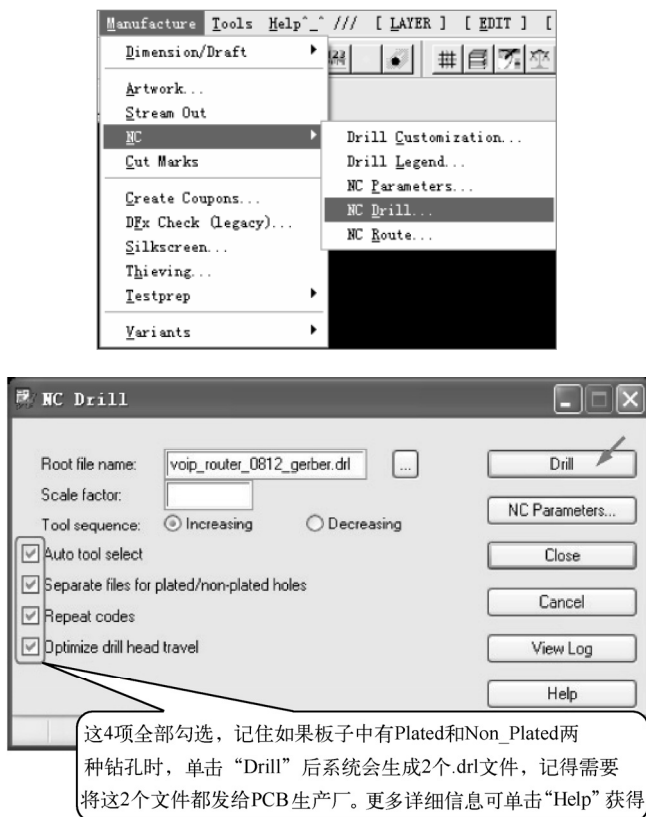


图 9-14 生成圆形钻孔的钻孔数据

如果板子外形需要用到铣刀工艺（如椭圆孔之类的孔），则需要执行图 9-15 所示的这一步生成 NC Route 数据文件。



图 9-15 铣刀工艺 rou 设置

至此，我们得到了所有的钻孔文件，接下来按照正常的流程应该生成 Gerber 文件，其输出参数配置如图 9-16 所示。

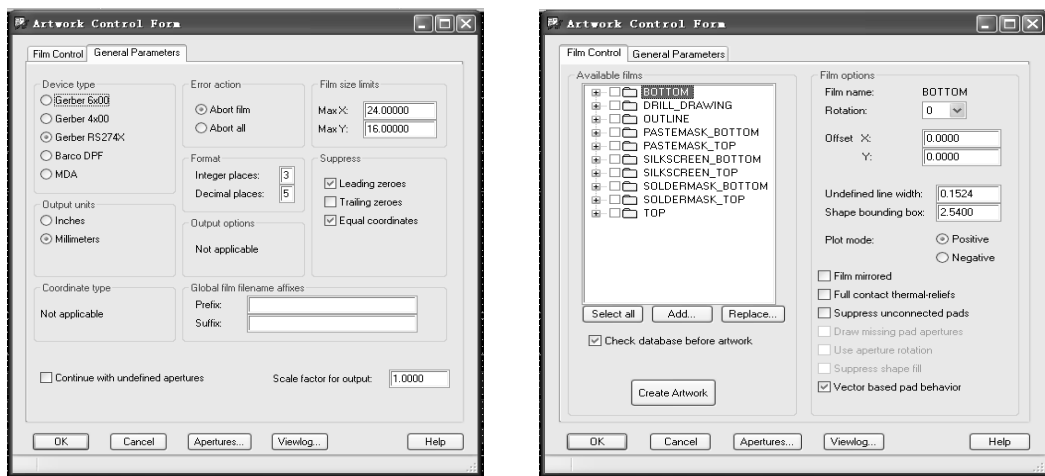
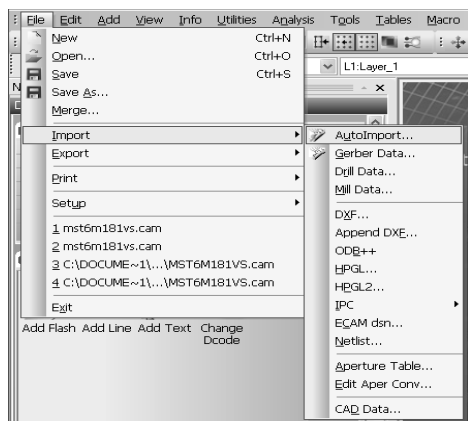
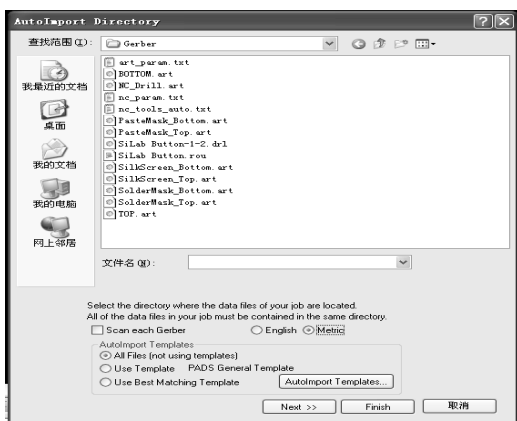


图 9-16 Gerber 的输出参数配置

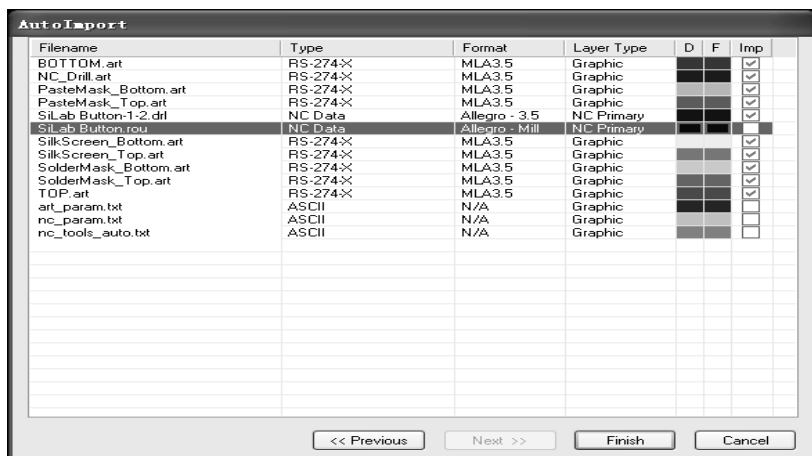
接下来，就要把生成的 artwork 文件和 Drill 文件、rou 文件导入 CAM350 中。打开 CAM350，单击“File”→“Import”→“AutoImport...”，选择导入的单位为 Metric，单击“Next”按钮，出现数据的汇总界面时取消 rou 文件及 Drill 文件的自动导入，后续采用手动导入方式导入 rou 文件及 Drill 数据，单击“Finish”按钮，数据会自动导入，操作步骤如图 9-17 所示，Gerber 导入完成后如图 9-18 所示。



A



B



C

图 9-17 CAM350 数据的自动导入操作步骤

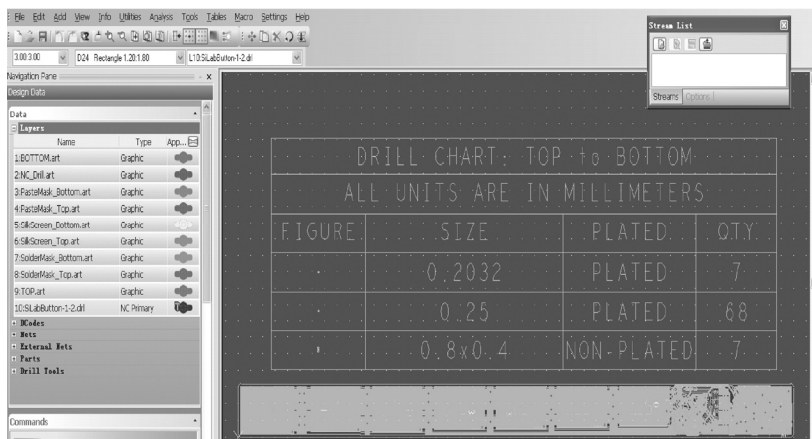


图 9-18 Gerber 导入完成后

接下来需要手动导入 Drill 文件。单击“Import”→“Dill Data...”，参数设置如图 9-19 所示，选中 Drill 数据，完成数据的导入操作。

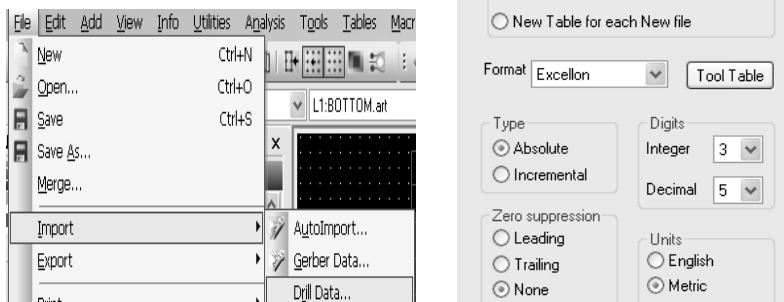


图 9-19 Drill 数据导入参数设置

最后需要手动导入 rou 文件。如图 9-20 所示，单击“Import”→“Mill Data...”→单击“Tool Table”进行参数配置→Table Type 选择 Mill→有几个方形的孔，就填写几个 Tool Num（图 D 所示），配置完成后单击“OK”按钮导入数据文件。

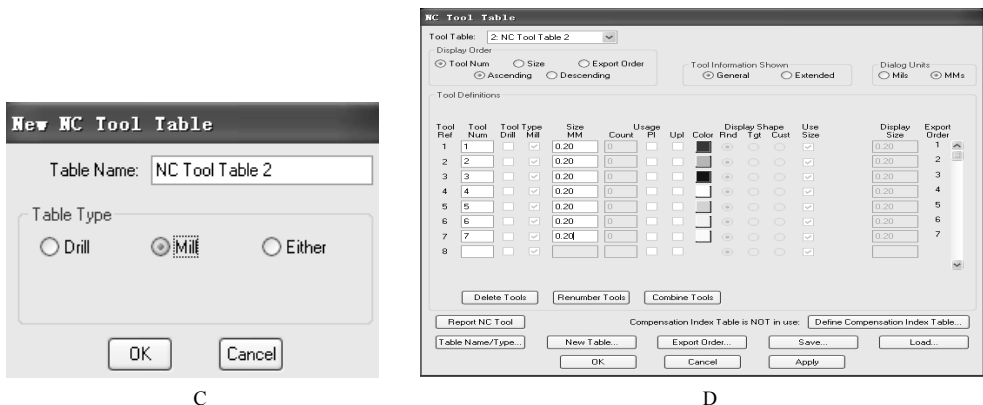
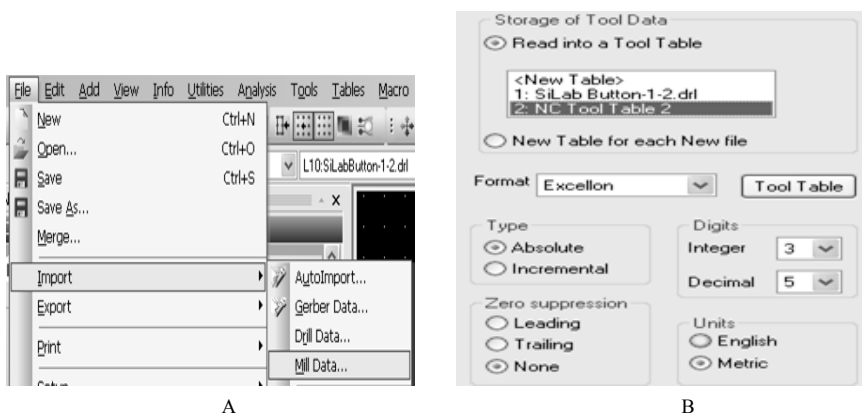


图 9-20 rou 参数设置及导入

将 Gerber 图纸的所有文件导入 CAM350 后，就可以逐层进行查看并分析了，当发现可能存在的问题并确认后，需要在 PCB 设计工具中进行更改，并重新生成 Gerber 文档，重

新检查并确认。

除以上 PCB 加工的参数外，对 SMT 贴片来说，还需要器件在 PCB 中的坐标信息用于贴片时器件的自动摆放。在 Cadence 中的坐标数据输出操作如下。

- ① 用 Allegro 软件打开 PCB 设计文件。
- ② 设定原点和切换公制单位。选择菜单“Setup”→“Drawing Size...”，弹出如图 9-21 所示的对话框，用户单位选择“Millimeter”，“MOVE ORIGIN”栏中输入新原点位置相对于当前原点的坐标数据，然后单击“OK”按钮确定。
- ③ 坐标文件导出。选择菜单“File”→“Export”→“Placement...”，弹出如图 9-22 所示的对话框，注意“Placement Origin”选择“Body Center”，单击“Export”按钮输出坐标数据。

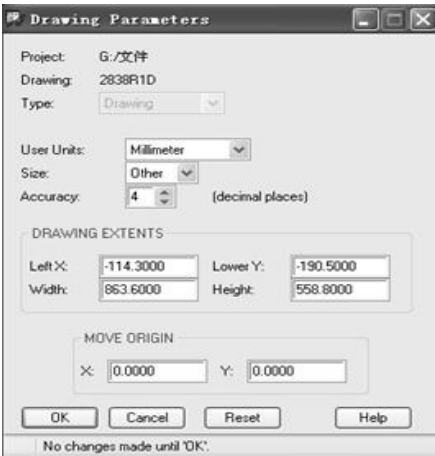


图 9-21 Allegro 的单位切换和原点设定

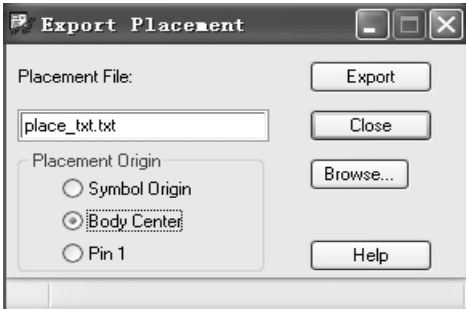


图 9-22 Allegro 的坐标输出对话框

9.6 PCB 加工技术要求

确认图纸后，就需要将 PCB 的加工要求发送给 PCB 厂进行加工。加工 PCB 时，需要确认的参数有 PCB 的加工技术要求，包含 PCB 的层数、PCB 的叠层结构及各层厚度、PCB 的厚度及加工误差范围、PCB 的阻焊标准及阻焊油墨的颜色、PCB 丝印的油墨颜色、PCB 的板材及介电常数、PCB 的表面处理工艺、单端阻抗控制要求及相应层的走线参数、差分阻抗的控制要求及相应层的走线参数、BGA 部分的说明及过孔是否盖油说明等。

PCB 加工的技术参数在前面的章节中已做了详细的论述，可以参考前面章节的内容根据设计的需要进行加工参数的合理说明。某项目采用 6 层 PCB 阻抗控制板，其加工技术要求如表 9-1 所示；6 层 PCB 阻抗控制、叠层及厚度要求如图 9-23 所示；BGA 过孔盖油处理说明如图 9-24 所示。

表 9-1 6 层 PCB 阻抗控制板的加工技术要求

BOARD NAME.	LAYERS . 6	BOARD THICKNESS.L 6mm+/-10%
UNIRS: MILS	OPEN WINDOWS	SPELL NODE:
SOLDER MASK: IPC SM.840(COLOR GREEN)		
SILKSCREEN COLOR WHITE		

续表

DIELECTRIC MATERIAL:FR•4		
ER@1GHz To 1MHz 4.2•••4 5		
PLARED TECHN[CS	OSP	
SINGLE IMPEOANCE [Zo]	SO+/-10% Ohm with 6.5mil trace width for layer 1&6	
	SO+/-10% Ohm with 6mil trace width for layer 3&4	
OIFF INPEDANCE [Zo]	90+/-10% Ohm with 6/5/6mil for layer 1	
	90+/-10% Ohm with 5/7/5mil for layer 4	
	100+/-10% Ohm with 5/5/5mil for layer L	
SHORT NET NO	SHORT NET POSITION	
[0]		
DESIGN BY LEMON		

1--TOP01_Copper
2--GND02_Copper
3--SIG03_Copper
4--SIG04_Copper
5--PWR05_Copper
6--BOTTOM06_Copper

Layer Stackup	Thickness (MM/Mil)	Oz
Silk Top		
Solder Top		
TOP01_Copper	0.035mm/1.4mil	1Oz
FR4_Prepreg	0.1016mm/4mil	
GND02_Copper	0.035mm/1.4mil	1Oz
Core	0.127mm/5mil	
SIG03_Copper	0.035mm/1.4mil	1Oz
FR4_Prepreg	0.92964mm/36.6mil	
SIG04_Copper	0.035mm/1.4mil	1Oz
Core	0.127mm/5mil	
PWR05_Copper	0.035mm/1.4mil	1Oz
FR4_Prepreg	0.1016mm/4mil	
BOTTOM06_Copper	0.035mm/1.4mil	1Oz
Solder Bottom		
Silk Bottom		

图 9-23 6 层 PCB 阻抗控制、叠层及厚度要求

- Notes2:
- 1.All drill size is finished plated hole size
 - 2.Filled the via under BGA with green_oil
 - 3.This board must be used Lead-Free

图 9-24 BGA 过孔盖油处理说明

9.7 本章小结

本章对布线完成后的 PCB 走线和敷铜检查的方法进行了说明；对 PCB 上常用的一些 LOGO 图示进行了总结；对 Gerber、钻孔数据的生成及导入进行了详细的步骤说明；对 PCB 的加工技术要求进行了规范化的整理，清晰阐述了 PCB 加工需要的技术参数。

Orcad PSpice 仿真库（\capture\library\pspice 和 capture\library\pspice\advanls 目录）

ORCAD 仿真库简单说明

仿真元件库

Analog——电阻、电容、电感等

Analog_p——电阻、电容、电感等（PSpice 模拟用）

Breakout——PSpice A/D 支持的通用元器件类，如 Rbreak、Dbreak、QbreakN 等

Source——各种信号源

Sourcestm——各种激励信号源

Diode——各种型号的二极管

Bipolar——各种型号的三极管

Comlinr——各种型号的放大器

7400——74 系列的数字集成电路

CD4000——4000 系列的数字集成电路

Special——各种符号或虚拟器件

- ① 1_SHOT : 10 个杂项器件，其中包含 54, 74 及 CD 系列的
- ② 7400~74S : 74 系列的器件
- ③ AA_IGBT : IGBT 是强电流、高压应用和快速终端设备用垂直功率 MOSFET
- ④ AA_MISC : 杂项 DIODE MOSFET
- ⑤ ABM : 各种数学运算单元，如 cos、sin、log、hipass 和 lowpass 等，还有 E/F/H/G 等器件
- ⑥ ADV_LIN : ALD 系列的线性放大器
- ⑦ ANA_SWIT : 模拟开关
- ⑧ ANALOG 和 ANALOG_P: 通用模拟器件，R, C, L
- ⑨ ANL_MISC : 杂项模拟器件，如三相变压器、555、RELAY、SWITCH、VCO
- ⑩ ANLG_DEV : 其中包含 AD 公司的放大器及电压参考器件
- ⑪ APEX : APEX 公司 PA/AM 系列运放
- ⑫ APEX_PWM : APEX 公司系列 PWM 控制器
- ⑬ ASW : DG 系列模拟开关
- ⑭ BIPOLAR~BJPD : 三极管
- ⑮ BREAKOUT : 用于最坏情况分析的元件。RAM、ROM、DA8/10/12, AD/8/10/12、R、SWITCH、Q、POT（滑动变阻器）、M、

X (TRANSFORER)

⑩ BUF & BUFF_BRN	: BUFFERS
⑪ CD4000	: CD 系列器件
⑫ CEL	: NE 系列三极管
⑬ COMLINR	: CLC 系列 BUFF, OPA
⑭ CONTROLLER	: 电源控制电路, DC TO DC
⑮ CORES	: 磁芯
⑯ DARLNGTN	: EPITAXIAL SILICON TRANSISTOR
⑰ DATACONV	: AD, DA
⑱ DI	: DIODE
⑲ DIF	: DIODE BRIDGE
⑳ DIG_ECL	: D FLIP-FLOP
㉑ DIG_GAL	: GENERIC ARRAY LOGIC
㉒ DIG_MISC	: MIXED DIGITAL DEVICE
㉓ DIG_PAL	: PROGRAMABLE ARRAY LOGIC
㉔ DIG_PRIM	: GENERIC DIGITAL DEVICE: AND, ADD, FLIP_FLOP
㉕ DIH	: DIODE PULL-UP AND PULL-DOWN NETWORK
㉖ DIODE	: DIODE
㉗ DIV	: DIODE V
㉘ DIZ	: DIODE Z
㉙ DRI	: MIXED
㉚ EBIPOAR	: BIPOLAR
㉛ EDIODE	: DIODE
㉜ ELANTEC	: ELANTEC 半导体公司器件, 运放, 门电路等
㉝ EPCOS	: EPCOS 公司器件, 磁珠, 压敏电阻, NTC 等
㉞ EPWRBJT	: BJT
㉟ FAIRCHILD	: FAIRCHILD DEVICE
㊱ FILTSUB	: MIXED
㊲ FUNCTION	: 函数器件
㊳ FWBELL	: FWBELL 公司的霍尔元件
㊴ HARRIS	: HARRIS 公司相关产品
㊵ IGBT	: IGBT
㊶ INFINEON~INFINEON_SIGCXXT120	: INFINEON 产品
㊷ IXYS	: IXYS 公司的功率管产品
㊸ JBIPOLAR	: 日本产品, 三极管
㊹ JDIODE	: 日本产品, 二极管
㊺ JFET	: 日本产品, FET
㊻ JFN	: 日本产品, NFET
㊼ JFP	: 日本产品, PFET

⑤4 JJFET	: 日本产品, JJFET
⑤5 JOPAMP	: 日本产品, 运放
⑤6 LIN_TECH	: LINEAR 公司产品, 主要是运放, 也有 reference
⑤7 LINEDRIV	: LINEAR 公司产品, 主要是门电路
⑤8 MAGNETIC	: MAGNETIC 公司磁芯
⑤9 MAXIM	: MAXIM 公司产品
⑥0 MFN	: Fairchild, IR 等公司的 N 型功率 MOS
⑥1 MFP	: Fairchild, IR 等公司的 P 型功率 MOS
⑥2 MIX_MISC	: 4046, Relay 等
⑥3 MOTOR_RF	: 飞思卡尔射频三极管
⑥4 MOTORSEN	: 飞思卡尔压力传感器
⑥5 NAT_SEMI	: 国半产品
⑥6 NEC_MOS	: NEC 产品
⑥7 ON_AMP~ON_PWM	: ON 产品, 依次是三极管、二极管、MOS 管、开关电源控制芯片 MC33363、MC44608、NCP1200
⑥8 OPA & OPAMP	: 常用运放
⑥9 OPT	: 光耦
⑦0 OPTO	: 光耦
⑦1 PHIL_BJT~PHIL_RF	: 飞利浦器件
⑦2 POLYFET	: POLYFET 公司的 MOS 管
⑦3 PSPICE_ELEM	: 用 pspiceAA 分析的元件, 包含 L, R, C, I, V, 变压器绕线等参数
⑦4 PWRBJT	: 功率三极管
⑦5 PWRMOS	: 功率 MOS 管
⑦6 RFBJN	: 射频三极管 N
⑦7 RFBJP	: 射频三极管 P
⑦8 RFDIO	: 射频二极管
⑦9 SAH	: HA2420, HA5320, LF398H 高速精密采样保持放大器
⑧0 SHINDNGN	: SHINDENGEN 公司整流桥, 二极管
⑧1 SOURCE	: 各种源
⑧2 SOURCESTM	: 数字仿真信号源
⑧3 SPE~SPECIAL	: 特殊元件, 如 print, param, IC, nodeset, VARIABLES, lib, include 等很多与仿真功能、设置等相关的
⑧4 SPICE_ELEM	: 流控, 压控, 电池, 微/积分, 零/极点, 加减乘除等
⑧5 SWIT_RAV	: 开关电源仿真所用到的通用开关器件模型, 分电流/电压型, CCM/DCM, 大/小信号模型
⑧6 SWIT_REG	: microsemi 公司的 SG 系列开关电源芯片, 如 SG1844 等
⑧7 TEX_INST	: TI 的系列运放和它的 TL431, 但不全, 新运放还得从 TI 网站上下

- ⑧ THY1 : ST, 飞思卡尔等公司的可控硅
- ⑨ THYRISTR : 同样是可控硅, 与上面有些不同, 更全一点
- ⑩ TLINE : 传输线
- ⑪ TYCO_ELEC : Tyco 公司压敏电阻
- ⑫ TZB : 单、双向二极管, 有常用的 P6KE68A 等
- ⑬ VD : 电压检测器, MC33064, S8054ALR 等
- ⑭ VR : Voltage regulator, 如常用的 7805, TL431 等
- ⑮ XTAL : 晶振
- ⑯ ZETEX : zetex 公司的三极管等
- ⑰ 以 osram 开头的 15 个库 : osram 公司的发光二极管等

Cadence Allegro 调试错误及解决方法

(1) Q: #Error [ALG0065] illegal character in**(**)**.normal\.

A: 这个是因为原理图封装库的名字有括号引起的，可修改原理图封装库的名称，去掉非法的字符。

(2) Q: Orcad 提示引脚重复。

A: Orcad 的原理图在命名时是不能有重复的，例如，有多个 NC 时，应分别命名为 NC1、NC2、NC3、…，VCC 和 GND (vss) 在设置了 power 属性后可以有多个重复的名字。

新的版本里除了电源引脚外，其余普通引脚名称不能再有重名的。但在以后的原理图生成 netlist 时，如果有重名的电源或地的名称，还是会发出警告提示的，但是不会影响使用，因此，为了以后在设计时减少不必要的麻烦，在命名原理图时，原理图封装库各个引脚的名字不能有重复的，可以分别命名为 VCC1, VCC2, …, GND1, GND2, …, 等。设计时遵循的规则是：原理图封装库的一个引脚对应一个 number 和一个 name，不允许有重复的。

(3) Q: Unable to open c: \Cadence\PSD_14.2\tools\capture\allegro.cfg for reading. Please correct the above error(s) to proceed.

A: 错误解释：allegro.cfg 文件找不到或 allegro.cfg 文件不能打开，这个问题的根源是设计 PCB 的计算机和打开 PCB 的计算机安装 Allegro 的路径不一样，allegro.cfg 文件找不到打开的工具是理所当然的。

处理办法：单击“生成 netlist”→单击“setup”→修改路径为 capture\allegro.cfg 所在路径→把 allegro.cfg 文件的位置选择为你现在安装目录的文件位置。

(4) Q: #1 Error [ALG0012] Property “PCB Footprint” missing from instance U3: SCHEMATIC1, PAGE1 (2.00, 2.10) .

#2 Error [ALG0012] Property “PCB Footprint” missing from instance C2: SCHEMATIC1, PAGE1 (2.30, 0.30) .

A: 错误解释：#1 提示 U3 器件没有 PCB 封装；#2 提示 C2 器件没有 PCB 封装。

在 Allegro 中，每个器件都需要一个相对应的 PCB 封装。因此在取消列出网表之前，软件会列出所有没有 PCB 封装的器件。你可以选择列出的器件添加 PCB 封装，然后选择 Edit Properties 来编辑器件的值。

最佳的处理办法：在导出 netlist 之前，只需要保证每个器件都是有封装的，且器件的 PCB Footprint 值与对应的.psm（由 dra 生成）封装文件名一致。

(5) Q: [DRC0011] Reference is invalid for this part: The reference for the part is invalid. For example, this occurs when a part reference like U?A has not been updated. Update the part reference.

A: Reference 项不可随意修改。

(6) Q: Pin numbers do not match. Check device file.

A: 设计中的原因: 原理图中的 2 个引脚与封装的 4 个引脚不对应。

原理图与 PCB 封装对应原则: 除了 PCB Footprint 的名字要正确以外, 还有一点, 就是原理图中元件的引脚数目一定要和封装的引脚数目一样。这里说的引脚, 包括了原理图中可能没有显示的 power pins, 不包括封装中的 mechanical pins; 另外, 原理图和封装的对应关系是依靠 pin number 来建立的, 因此两者相应的 pin number 一定要一样, 而 pin number 可以是数字、字母或其组合。

(7) Q: ERROR(SPMHNI-191): Device/Symbol check error detected.

WARNING(SPMHNI-337): Unable to load symbol 'HDR1X2' for device 'B2S_HDR1X2_B2S':

WARNING(SPMHUT-127): Could not find padstack 57S40DP.

due to ERROR(SPMHDB-274): Unable to load flash symbol THS79X59X45X4X15 (Check PSMPTH setting for this symbol)."

A: 原因: 花焊盘 Flash 没有创建.fsm 的 symbol 文件, 或是该文件的保存路径与.psm 文件不一致。

(8) Q: Allegro 导入 netlist 时报错 can not find symbol.

A: 出现 Netrev succeeded 即可, 说明已经没有 error 了, 可以直接打开自动生成的.brd 文件。但此时 Updating Allegro PCB Editor Board 仍然会有红叉, 貌似还有问题。果然, 在进行 Quick Place 时, 有一些器件的 Footprint 无法设置, 提示的错误原因是 can not find symbol, 不知所云。

有一种可能就是 Allegro 工作区的面积不够大, 而 QuickPlace 放置的 Footprint 都位于 Outline 范围之外, 因而如果工作区面积设置得不够大, 会导致有一些器件的 Footprint 无法设置。

还有一种可能就是器件在原理图中的引脚数目与 Footprint 中的引脚数目不一致。这时也会出现 Netrev succeeded, 同时有警告, 同样会导致这些器件的 Footprint 无法设置。

第三种可能是在导入 Netlist 时会产生如下警告:

WARNING(SPMHNI-192): Device/Symbol check warning detected.

WARNING(SPMHNI-337): Unable to load symbol '8P4R_0402_CN_42' for device 'RESARR_IS_4/SM_8P4R_0402_CN_4_1': WARNING(SPMHUT-127): Could not find padstack 8P4R-0402_CN-42_BIGPAD.即找不到 PAD 文件。如果本身就没有 PAD 文件, 则可按照 Datasheet 上面的引脚大小自己画一个; 若有 PAD 文件, 则应设置好路径: 在 PCB Editor 中选择 "Setup" → "User Preferences" → "Design_paths", 设置 padpath 和 psmpath; 若对 PAD 文件进行过修改 (包括重命名), 则应在 PCB Editor 中选择 "Tools" → "Padstack"、"Replace" 或 "Refresh"。

第四种可能: .dra 封装文件有 DRC 错误。此时在生成网表时, 在 Capture 的 Session Log 中只会有 Warning 而无 Error, 但 QuickPlace 仍无法放置该 Footprint。如何修改 DRC 错误? Cadence 不同于其他的 PCB EDA 软件的地方, 是在制作一个 PCB Footprint 时需要从一个 PAD 开始, 而有些 PCB 工具在制作封装时不需要自己制作焊盘, 只需要调用软件中已有的模型并修改相应的参数即可。Cadence 给用户开放了更大的权限, 具备了更多的功能, 同时在 Footprint 的建模上带来了相对大些的困难, 在软件的性能、功能及快捷性上, 需要根据自身的需求做出相应的选择。因此, 使用 Cadence 制作元件起始会感觉比较麻烦, 但掌握方法了后就会发现它比其他 EDA 软件要方便很多。

(9) Q: Cadence Allegro 中如何显示钻孔 (allegro 默认设置是不显示通孔焊盘的)?

A: 通过菜单 “set up” → “design parameters” → 进入设置框, 选 “display” 标签 → 勾选 “display plated holes” 选项 → “apply ok”。

(10) Q: 倒角方式有两种: 圆角和 45° 角。其菜单命令分别是什么?

A: Manufacture=>Dimension/Draft=>Chamfer 和 Manufacture=>Dimension/Draft=>Fillet。
在命令状态下, 选中想要倒角的 2 个边, 然后就会自动生成要求的倒角。

(11) Q: 从 Orcad 导入 NET 后, 在 Allegro 中单击 place 命令进行布局, 有的元件不能放进 PCB 中, 怎么回事?

A: 首先, 请检查元件封装是否正确, 封装所用焊盘是否对应。其次, 检查对应元件在原理图和 PCB 封装中 pin 的个数、标号是否一致, 如封装 24pin, 原理图却只加了 20 个或更少 (电源、地最容易忘记; 还有不用的 nc 引脚也必须在原理图上放置); 再就是封装是 1、2、3 顺序, 而原理图是 2、3、4, 总之原理图与封装的不一致会造成元件不能调入。最后, 检查元件放置时, 元件属性参数是否设置得过大, 已经超出了图纸的大小允许放置区域。

(12) Q: Orcad 生成网络表 #1 Warning [ALG0047] “No_connect” property on pin “*****” *** Connecting pin to net*** 出现如此警告, 如何解决?

A: ALG0047 这个警告基本可以忽略; 造成这个问题的原因是, 设计之初先给器件相关的引脚上加上 'X' (也就是 NC 符号), 更新设计的过程又对引脚做了连接处理; 但是后面的连接处理没有去掉引脚的 NC 属性, 不信的话把那个引脚上的 net 删掉看看。解决办法很简单, 对这些引脚再做一次 NC 处理即可。

(13) Q: #19 Warning [ALG0051] Pin “VCC” is renamed to “VCC#37” after substituting illegal characters in Package MT29F2G16AABWP , U10: SCHEMATIC1, EBI0_MEMORY (101.60, 154.94).

#20 Warning [ALG0051] Pin “VCC” is renamed to “VCC#12” after substituting illegal characters in Package MT29F2G16AABWP , U10: SCHEMATIC1, EBI0_MEMORY (101.60, 154.94).

#21 Warning [ALG0051] Pin “VSS” is renamed to “VSS#13” after substituting illegal characters in Package MT29F2G16AABWP , U10: SCHEMATIC1, EBI0_MEMORY (101.60, 154.94).

#22 Warning [ALG0051] Pin “VSS” is renamed to “VSS#25” after substituting illegal characters in Package MT29F2G16AABWP , U10: SCHEMATIC1, EBI0_MEMORY (101.60, 154.94).

#23 Warning [ALG0051] Pin “VSS” is renamed to “VSS#48” after substituting illegal characters in Package MT29F2G16AABWP , U10: SCHEMATIC1, EBI0_MEMORY (101.60, 154.94).

#24 Warning [ALG0016] Part Name “MT48LC16M16A2TG_TSOP54_MT48LC16M16A2P-75IT” is renamed to “MT48LC16M16A2TG_TSOP54_MT48LC16”。

Orcad 生成网络表时出现大量上面的提示错误, 如何解决?

A: 经分析, 发现出现这种警告的 pin 都是电源和地 (确切地说, 都是 power 的属性引脚); 后经查证, 造成这种现象的原因是在 Orcad 中制作元件封装时, Orcad 支持 power 属性的 pin 使用同样的名称, 但是 allegro 不支持, 因此会造成生成网络表提示警告, 只要把这些

pin 名称改成不一样的, 如 vcc1, vcc2, ..., gnd1, gnd2, ...就可以了 (看来使用 cadence 最好不要命名同样的引脚名称)。

(14) Q: #17 Error [ALG0049] Pin Number.

“N1” specified in “NC” property also found on Pin NC1 of Package *****

A: 反复检查均无异状, 其中 N1 是 BGA 封装的一个 pin, NC1 是该 pin 的名称, 表示无须连接的一个 pin; pin 的名称改为 NC4, 甚至删掉重新添加, 均存在同样错误, 百思不得其解! 无意中打开了元件的属性, 发现里面有一个 NC 属性, 值定义为 NC1, 联系起来, 顿时起疑, 遂让该属性显示出来, 便见区别, 随即删掉 NC 属性, 更新设计的数据库文件, 之后重新生成网表, 问题依然! 从直觉上觉得已经找到了问题的根源, 为什么还是不行? 因为该元件是直接从别人原理图中导出的, 从来没怀疑它有问题。接下来发现使用 “part manage” 功能有问题, 后来找了些资料, 发现需要配置 odbc 数据库, 这样问题就很复杂了, 没办法从库更新文件; 正要放弃时, 无意中发现通过菜单 “edit” → “part” 可以进入元件编辑, 然后直接保存更新, 总算解决问题!

(15) Q: 在 PCB 设计过程中, 经常会因为实际需要, 在器件布局时出现器件彼此重叠或距离很近的情况, 这样会造成 “cc” DRC 检测错误, 如何解决呢?

A: 造成这些问题的主要原因是在封装制作过程中, palace_bound_top(bottom)的空间一般设置得比元件稍大, 这样就造成 PCB 中 palace_bound_top(bottom)区域的重叠, 系统会产生 DRC 错误。可以通过修改封装的 palace_bound_top(bottom)区域为合适大小来达到目的。另外一种办法是关闭系统的 package to package 的 DRC 功能, 具体操作: 选择菜单中的 “setup” → “constraints” → “modes.... design mode”, 把 package to package 的 DRC 功能设置为 off 即可 (其他类似功能均可实现)。

(16) Q: 如何在 Allegro 16.3 里隐藏、显示敷铜或 shape, 使走线在视觉上看起来更方便、直观?

A: 在 “display” → “color” 中逐个设置, 都没能找到答案。此问题可通过设置通孔显示的问题来解决。选择菜单中的 “setup” → 单击 “user preference” → 进入菜单 “display” → 再单击 “shape_file”, 在需要显示的时候可以再改过来。

(17) Q: 怎么修改布局后的元器件的焊盘编号?

A: 打开 Pin_Number 层, 用 “Edit” → “Text” 来修改。

(18) Q: 如何在 Allegro 中用铜皮连接焊盘?

A: 单击 “shape” → “rectuangular” → “ETH 走线层” → “dynamic copper” → “用铜皮将两个焊盘连接” → 用鼠标右键选择 “done” → 选择选中铜皮的按钮, 用鼠标右键选择 “assign net” → 再单击引脚 → 用鼠标右键选择 “parameters” → “Thermal relief connect” → “smd pins(full contact)” → “ok”。其连接效果如图 B-1 所示。



图 B-1 连接效果

灯条设计中采用正片的 thermal relief 将引脚和铜皮进行了全连接, 还可以设置成别的连接样式, 如图 B-2 所示。



图 B-2 连接样式

当把 PCB 的这个层设置成负片时，其连接关系就消失了，如果想做成负片连接，需要散热焊盘，其消失的效果图如图 B-3 所示。



图 B-3 消失的效果图

(19) Q: 使用别人的设计原理图库时的注意事项。

A: 在做设计时，如果是从开始一个项目的建立，原理图库封装制作，到原理图的电器连接，到封装焊盘的制作，再到封装的制作都是全新的，则出现的问题会比较少。

但是如果复制别人的再自己改进，会出现一系列的问题。只复制原理图或 DRA 是不行的，复制原理图后，应将 design cache 中的封装选中后，单击第一个，按住 shift 键一直选择到最后一个，新建一个 library 文件，通过鼠标右键粘贴到新建的 library 文件中，然后对原理图封装库进行编辑，再在 design cache 中替换为本地库（因为无法更新）。最后在原理图封装库中还得把相应的 pad 和 brd 复制过来才行。

如果有了别人的 brd 文件，没有 pad 文件，可将 brd 在 Allegro 中打开后，单击“file”→“export”→“libraries”，将导出的封装文件按照自己的需要来编辑。这个时候需要在 Allegro 中打开 dra 文件对封装库进行编辑，单击“tools”→“padstack”→“modify design padstack”→用鼠标右键单击需要编辑的焊盘，对焊盘进行编辑后单击“file”→“update to design”更新到设计中，然后单击“save as”或“save to file”。这个焊盘的名字不能改，需要使用它默认的名字，如果改了后，另存到别的地方也是没用的，这个时候的封装只认自己默认的名字。

如果想更改 dra 里面的焊盘，可使用自己保存的焊盘。单击“tools”→“padstack”→“replace”→在右侧的“option padstack names”里选择旧的焊盘及要替换的焊盘，只有这样才能把焊盘替换，全部更新为自己的设计焊盘（所有的焊盘都需要一个一个替换，不能进行批处理）。

(20) Q: 在 Orcad Capture 中如何更新 cache?

A: 在 Orcad Capture 中，如果想要更新 cache，文件的名字必须一致才可以，如果文件的名字修改了，就不能使用 update 了，要使用 replace 命令。

(21) Q: 关于 no connect property 的问题。

#1 Warning [ALG0047] “No_connect” property on Pin “U4.35” ignored for U4 : MST6M181VS, 03.HDMI3TO1 (213.36, 83.82) . Connecting pin to net “N17952824”.

#2 Warning [ALG0047] “No_connect” property on Pin “CON29.28” ignored for CON29: MST6M181VS, 02.MST6M181VS (541.02, 233.68) . Connecting pin to net “B0_RXE4-”.

#3 Warning [ALG0047] “No_connect” property on Pin “U203.8” ignored for U203 : MST6M181VS, 08.AUDIO AMP (93.98, 144.78) . Connecting pin to net “OP_VCC2”.

#4 Warning [ALG0047] “No_connect” property on Pin “U4.15” ignored for U4 : MST6M181VS, 03.HDMI3TO1 (213.36, 83.82) . Connecting pin to net “HDMI1_5V”.

#5 Warning [ALG0047] “No_connect” property on Pin “U4.21” ignored for U4 : MST6M181VS, 03.HDMI3TO1 (213.36, 83.82) . Connecting pin to net “HDMI1-RXC+”.

A: 直接 edit 其属性是没有用的, 因为以前编辑过引脚为非连接引脚, 但是再连接时没有将其 NC 属性去掉, 这个时候的处理方法是在原理图编辑界面单击 “no connect” 属性的引脚, 将图中的 “Is No Connect” 的 “√” 号去掉, 如图 B-4 所示。

	<div><div></div><div>MST6M181VS : 03.HD</div></div>
Is No Connect	<input checked="" type="checkbox"/>
Name	PCADR0
Net Name	N17952824
Number	35
Order	63
Swap Id	-1
Type	Passive

图 B-4 勾除 “Is No Connect”

(22) Q: 关于 Orcad rename 警告提示的问题 (#1, #2, #3)。

#1 Warning [ALG0016] Part Name “C_DIP2_CA2_THR_2_0MM_DISCRETE_100UF/16V” is renamed to “C_DIP2_CA2_THR_2_0MM_DISCRETE_1”.

#2 Warning [ALG0016] Part Name “CON4R_HEADER4_THR_PIN2_0MM_CON4R” is renamed to “CON4R_HEADER4_THR_PIN2_0MM_CON4”.

#3 Warning [ALG0016] Part Name “CON4R_HEADER4_THR_PIN2_0MM_CON4_R4PIN” is renamed to “CON4R_HEADER4_THR_PIN2_0MM_CO_1”.

A: Orcad 命名的方式是原理图封装的名字_封装的名字_原理图中显示的名称 (value), 为减少 rename 的 warning, 在命名时名字不要太长, 否则在生成网表时会出现警告。

(23) Q: 出现 Mismatched Properties.

WARNING #16007 Mismatched Properties for:
Part RA57 on schematic MST6M181VS,
Part RA47 on schematic MST6M181VS.
Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:
Part RA56 on schematic MST6M181VS,
Part RA47 on schematic MST6M181VS.
Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:
Part RA54 on schematic MST6M181VS,
Part RA47 on schematic MST6M181VS.
Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:
Part RA52 on schematic MST6M181VS,

Part RA47 on schematic MST6M181VS.

Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:

Part RA55 on schematic MST6M181VS,

Part RA47 on schematic MST6M181VS.

Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:

Part RA51 on schematic MST6M181VS,

Part RA47 on schematic MST6M181VS.

Mismatched Properties: Value.

WARNING #16007 Mismatched Properties for:

Part RA46 on schematic MST6M181VS,

Part RA47 on schematic MST6M181VS.

Mismatched Properties: Value.

A: 在生成 BOM 时出现错误, 而在 DRC 时却没有出现错误, 因此在设计电路图时要通过 DRC 与生成 BOM 来检查设计的正确性。

引起本次错误的原因是进行电路设计时是在之前的图纸基础上做的修改, 元器件模型设置的参数是采用之前的数据库, 而新的设计环境下缺少了之前的数据库, 因此当重新给电阻赋值时, 其数据库里的数据与所需求的数据不匹配而造成了错误。再就是由于 Orcad 是盗版的, 因此当出现错误时在 session log 中只出现了 WARNING #16007 Mismatched Properties for: 这个时候需要单击“ctrl +all”组合键全部选中“session log”, 然后复制粘贴到 txt 文档里。

(24) Q: 标注尺寸时如何显示自己定义的单位?

A: 需要在“dimension/draft”→“parameters”里的“general”和“text”中设置标注的单位。

(25) Q: #error: allegro Unrecognized argument: E: \MST6M181VS20111017\PCB\TV Board.dra

A: Allegro 在进行 PCB 布线时不支持中间有空格或目录是中文的情况, 因此在建立工程目录或给 PCB 起名字时, 要使用英文的名字, 不要有空格或别的字符。建立的工程目录要用英文目录。

(26) Q: Spawning... “D: \Cadence\SPB_16.3\tools\capture\pstswp.exe” -pst -d “e: \mst6m181vs20111017\mst6m181vs.dsn” -n “e: \mst6m181vs20111017\allegro” -c “D: \Cadence\SPB_16.3\tools\capture\allegro.cfg” -v 3 -l 31 -s “” -j “PCB Footprint” -hpath “HPathForCollision”

#1 Error [ALG0081] Illegal character “Dot(.)” found in “PCB Footprint” property for component instance C400: MST6M181VS, 02.MST6M181VS (680.72, 180.34).

#2 Info: PCB Editor does not support Dots(.), Forward Slash(/) and White space in footprint names. The supported characters include Alphabets, Numerics, Underscore(_) and Hyphen(-).

A: 修改封装名称: 封装名称后面多了个小圆点。

(27) Q: 如何在 Allegro 中加入公司的 logo?

A: 有以下 2 种常用的方法。

① 把图片复制到 AutoCAD 中, 用 AutoCAD 的多段线将 logo 的轮廓描绘出来(轮廓要闭合), 用移动命令把描绘的轮廓线移出来, 把复制进去的图片删除, 用缩放功能调整 logo

的大小尺寸，把编辑好的 logo 保存成 dxf 格式。

② 打开 Allegro，新建 format symbol，设置设计参数，关键是把设计的单位设置为一致的。单击“File”→单击“import dxf”→配置参数→单击“edit layer”，选择 PCB 层的对应关系，Allegro 选择 board geometry silkscreen_top，导入时会出现一些警告，不用管，把 logo 导入 Allegro 后，单击“shape”→“compose shape”，在右侧的“option”选项里分别配置“class (board geometry)”、“subclass (silkscreen_top)”，如果不配置这个层在生成 osm format 格式符号时会出错。如果轮廓线没有闭合可采用右键快捷菜单将其闭合，有两个环时需要分别单击内环和外环。

(28) Q：如何进行 Allegro 后期的补泪滴操作？

A：先打开所有的走线层，执行“route”→“gloss”→“parameters”，出现对话框，选择“pad and T connection fillet”，再单击其左边的方格，选择“circular pads”、“pins”、“vias”。再单击“OK”按钮，单击 GLOSS 指令进行操作即可。

泪滴最好在出 Gerber 之前加，若要对 PCB 进行修改，则要先删除泪滴：执行命令 edit/delete，在右边的“find”栏中选“Cline”，在下面的“find by name”中选“Property”，单击“more”，选“fillet=，/”，单击“apply/ok”按钮即可。无论加泪滴还是删泪滴，一定要先打开所有的走线层，否则没打开的走线层就不会执行。

(29) Q：如何设置多组差分线等长？

A：差分是为了抑制串扰，并保证阻抗；差分等长走线的目的是为了使信号线上的信号延时一致，假如有差分对 RX1 (RX1+，RX2-) 与 RX2 (RX2+，RX2-)，在 ECset 面板上选择“Net”→“Routing”，再选择“Relative propagation Delay”，在右边的“Objects”下找到 RX1 与 RX2 并单击其前面的+展开，这时可以看到四条 Net，分别是 RX1+，RX1-，RX2+，RX2-，按住键盘上的 CTRL 键和鼠标左键点选四条 Net，然后单击鼠标右键选择“Create→Match Group”指令，在弹出的对话框中自己命名一个名字，如 MG1，然后单击“确定”完成操作。这时发现 RX1、RX2 两组差分对的四条 Net 到 MG1 群组了，四条 Net 可以任意选一根长度做 Target，回到 PCB 里就可以绕等长差分线了。

(30) Q：如何使用 Pin Pair 在 Allegro 中设置等长约束？

A：一共需要 3 个操作步骤。

① 排阻等设置为 Xnet：Analyze→SI/EMI Sim→Model YES。

② 直接在 DevType Value/Refdes 中选择要设定 Model 的器件或直接在板子上点选要设置 Model 的器件。

③ 单击“Create Model”，建立该零件的 Model（如果已经有该零件的 Model，并在前面定义，则单击“Find Model”即可，这里主要介绍没有的情况）。

在“Create Model”后出现的对话框中选择“Create ESpiceDevice model”，单击“OK”按钮。

ModelName：输入产生 Model 的名字。

Circuit type：选择 Type，电阻、电感或电容。

Value：值。

Single Pin：各 pin 的连接顺序，中间为空格，这里要注意看零件的 pin 排列，1 2 3 4 5 6 7 8，就是 1 和 2 是一个电阻，其他同理，如果是普通电阻、电容就更简单了。

Common Pin：这里不用管它，空着就可以。

上面都输入好了就单击“OK”按钮，完成 Model 的建立。

单击“OK”按钮退出，可以发现连接该排阻的两边 Net 都有了一个 Xnet 属性，这样就可以搞定 Xnet。设定好 Xnet 后，设置 Constraint Manager。

Constraint Manager 设置步骤如下。

① 开启 Constraint Manager，单击菜单中的“Setup”→“Electrical Constraint Spreadsheet”或直接单击工具栏，出现“Constraint Manager”对话框。对于 Constraint Manager 的一般使用方法，这里不再做详细介绍，如果用户对这部分不熟悉，可以参考其他有关 Constraint Manager 的使用。

② 因为我们的目的是要设置等长，所以使用“Relative Propagation Delay”属性，从左边的控制栏中选择“Net”→“Routing”→“Relative Propagation Delay”。

③ 在右边就会显示整块板子所有的 Net 或 Xnet。

④ 建立需要等长的 Pin Pair，用鼠标右键单击需要建立 Pin Pair 的 Xnet，选择起始 Pin 和结束 Pin。

注意：这里没有先后顺序，如果 Pin Pair 的两个 Pin Type 全是 Passive 则不能 Creat，因此还需要定义一下 Pin 的形态，如 Out put、In put、Bidirectional 等。

下面介绍如何在 Allegro 中定义 Pin Type。

① 单击菜单中的“Edit”→“Properties”。

② 在“Find”栏位中仅勾选 Pin。

③ 直接在 PCB 中选中需要修改 Pin Type 的 Pin。

④ 在 crmg 里，选择“Analysis”→“Analysis Mode”，把“Relative Propagation”勾选上。

⑤ 需要等长的线做成一组 Match Group。

⑥ 设置 Relative Delay 时，需要设置一个长度目标（target），在需要将其设置为目标 Xnet 的“Delta Tolerance”一栏中，单击鼠标右键选择 Set as target 指令。

（31）Q：如何进行 Xnet 操作，把差分信号包含在 Xnet 里面？

A：进行 Xnet 操作，将 net 信号包含在 Xnet 中后，在 electrical constraint set 里看不到 Xnet 包含的 net 的名字，这时如果在“electrical constraint set”下的“routing”→“differential pair”的“Xnet”上单击鼠标右键，在弹出的快捷菜单中选择“create differential pair”，就会把 Xnet 里所有的 net 都设置成差分信号线。

Allegro 错误代码对应表

代 码	相 关 对 象	说 明
单一字符代码		
L	Line	走线
P	Pin	元件引脚
V	Via	贯穿孔
K	Keep in/out	允许区域/禁止区域
C	Component	元件层级
E	Electrical Constraint	电气约束
J	T-Junction	呈现 T 形的走线
I	Island Form	被 Pin 或 Via 围成的负片孤铜
错误代码前置码说明		
W	Wire	与走线相关的错误
D	Design	与整个电路板相关的错误
M	Soldermask	与防焊层相关的错误
错误代码后置码说明		
S	Shape/Stub	与走线层的 Shape 或分支相关的错误
N	Not	与不允许的设置相关的错误
	Allowed	
W	Width	与宽度相关的错误
双字符错误代码		
BB	Bondpad to Bondpad	Bondpad 之间的错误
BL	Bondpad to Line	Bondpad 与 Line 之间的错误
BS	Bondpad to Shape	Bondpad 与 Shape 之间的错误
CC	Package to Package	Package 之间的 Spacing 错误
	Symbol Soldermask to Symbol	Soldermask 零件防焊层之间的 Spacing 错误

续表

代 码	相 关 对 象	说 明
单一字符代码		
DF	Differential Pair Length Tolerance	差分对走线的长度误差过长
	Differential Pair Primary Max Separation	差分对走线的主要距离太大
	Differential Pair Secondary Max Separation	差分对走线的次要距离太大
	Differential Pair Secondary Max Length	差分对走线的次要距离过长
DI	Design Constraint Negative Plane Island	负片孤铜的错误
ED	Propagation-Delay	走线的长度错误
	Relative-Propagation-Delay	走线的等长错误
EL	Max Exposed Length	走线在外层（TOP&BOTTOM）的长度过长
EP	Max Net Parallelism Length-Distance Pair	已超过 Net 之间的平行长度
ES	Max Stub Length	走线的分支过长
ET	Electrical Topology	走线连接方式的错误
EV	Max Via Count	已超过走线使用的 Via 的最大数目
EX	Max Crosstalk	已超过 Crosstalk 值
	Max Peak Crosstalk	已超过 Peak Crosstalk 值
HH	Hold to Hold Spacing	钻孔之间的距离太近
HW	Diagonal Wire to Hold Spacing	斜线与钻孔之间的距离太近
	Hold to Orthogonal Wire Spacing	钻孔与垂直/水平线之间的距离太近
IM	Impedance Constraint	走线的阻抗值错误
JN	T Junction Not Allowed	走线呈 T 形的错误
KB	Route Keepin	Bondpad 在 Keepin 之外
	to Bondpad	
	Route keepout	Bondpad 在 keepout 之内
	to Bondpad	
	Via Keepout	Bondpad 在 Via Keepout 之内
	to	
	Bondpad	
KC	Package to Place Keepin Spacing	元件在 Place Keepin 之外
	Package to Place Keepout Spacing	元件在 Place Keepout 之内
KL	Line to Route Keepin Spacing	走线在 Route Keepin 之外
	Line to Route Keepout Spacing	走线在 Route Keepout 之内
KS	Shape to Route Keepin Spacing	Shape 在 Route Keepin 之外
	Shape to Route Keepout Spacing	Shape 在 Route Keepout 之内

续表

代 码	相 关 对 象	说 明
单一字符代码		
KV	BBVia to Route Keepin Spacing	BBVia 在 Route Keepin 之外
	BBVia to Route Keepout Spacing	BBVia 在 Route Keepout 之内
	BBVia to Via Keepout Spacing	BBVia 在 Via Keepout 之内
	Test Via to Route Keepin Spacing	Test Via 在 Route Keepin 之外
	Test Via to Route Keepout Spacing	Test Via 在 Route Keepout 之内
	Test Via to Via Keepout Spacing	Test Via 在 Via Keepout 之内
	Through Via to Route Keepin Spacing	Through Via 在 Route Keepin 之外
	Through Via to Route Keepout Spacing	Through Via 在 Route Keepout 之内
	Through Via to Via Keepout Spacing	Through Via 在 Via Keepout 之内
LB	Min Self Crossing Loopback Length	无
LL	Line to Line Spacing	走线之间太近
LS	Line to Shape Spacing	走线与 Shape 太近
LW	Min Line Width	走线的宽度太细
	Min Neck Width	走线变细的宽度太细
MA	—	Soldermask Tolerance 太小
	Soldermask Alignment Error Pad	
MC	Pin/Via Soldermask to Symbol Soldermask	Pad 与 Symbol Soldermask 之间的错误
MM	Pin/Via Soldermask to Pin/Via Soldermask	Pad
		Soldermask 之间的错误
PB	Pin to Bondpad	Pin 与 Bondpad 之间的错误
PL	Line to SMD Pin Spacing	走线与 SMD 元件引脚太近
	Line to Test Pin Spacing	走线与 Test 元件引脚太近
	Line to Through Pin Spacing	走线与 Through 元件引脚太近
PP	SMD Pin to SMD Pin Spacing	SMD 元件引脚与 SMD 元件引脚太近
	SMD Pin to Test Pin Spacing	SMD 元件引脚与 Test 元件引脚太近
	Test Pin to Test Pin Spacing	Test 元件引脚与 Test 元件引脚太近
	Test Pin to Through Pin Spacing	Test 元件引脚与 Through 元件引脚太近
	Through Pin to SMD Pin Spacing	Through 元件引脚与 SMD 元件引脚太近
	Through Pin to Through Pin Spacing	Through 元件引脚与 Through 元件引脚太近

续表

代 码	相 关 对 象	说 明
单一字符代码		
PS	Shape to SMD Pin Spacing	Shape 与 SMD 元件引脚太近
	Shape to Test Pin Spacing	Shape 与 Test 元件引脚太近
	Through Pin to Shape Spacing	Through 元件引脚与 Shape 太近
PV	BBVia to SMD Pin Spacing	BBVia 与 SMD 元件引脚太近
	BBVia to Test Pin Spacing	BBVia 与 Test 元件引脚太近
	BBVia to Through Pin Spacing	BBVia 与 Through 元件引脚太近
	SMD Pin to Test Via Spacing	SMD Pin 与 Test Via 太近
	SMD Pin to Through Via Spacing	SMD Pin 与 Through Via 太近
	Test Pin to Test Via Spacing	Test Pin 与 Test Via 太近
	Test Pin to Through Via Spacing	Test Pin 与 Through Via 太近
	Test Via to Through Pin Spacing	Test Via 与 Through Pin 太近
	Through Pin to Through Via Spacing	Through Pin 与 Through Via 太近
RC	Package to Hard Room	元件在其他的 Room 之内
RE	Min Length Route End Segment at 135Degree	无
	Min Length Route End Segment at 45/90Degree	无
	135Degree Turn to Adjacent Crossing Distance	无
SB		
	90Degree Turn to Adjacent Crossing Distance	无
SL	Min Length Wire Segment	无
	Min Length Single Segment Wire	无
SN	Allow on Etch Subclass	允许在走线层上
SO	Segment Orientaion	无
BB	Bondpad to Bondpad	Bondpad 之间的错误
SS	Shape to Shape	Shape 之间的错误
TA	Max Turn Angle	无
VB	Via to Bondpad	Via 与 Bondpad 之间的错误
VG	Max BB Via Stagger Distance	同一段线的 BB Via 之间的距离太长
	Min BB Via Gap	BB Via 之间太近
	Min BB Via Stagger Distance	同一段线的 BB Via 之间的距离太近
	Pad/Pad Direct Connect	Pad 在另一个 Pad 之上

续表

代 码	相 关 对 象	说 明
单一字符代码		
VL	BB Via to Line Spacing	BB Via 与走线太近
	Line to Through Via Spacing	走线与 Through Via 太近
	Line to Test Via Spacing	走线与 Test Via 太近
VS	BB Via to Shape Spacing	BB Via 与 Shape 太近
	Shape to Test Via Spacing	Shape 与 Test Via 太近
	Shape to Through Via Spacing	Shape 与 Through Via 太近
VV	BB Via to BB Via	BB Via 之间太近
	Spacing	
	BB Via to Test Via Spacing	BB Via 与 Test Via 太近
	BB Via to Through Via Spacing	BB Via 与 Through Via 太近
	Test Via to Test Via Spacing	Test Via 之间太近
	Test Via to Through Via Spacing	Test Via 与 Through Via 太近
	Through Via to Through Via Spacing	Through Via 之间太近
WA	Min Bonding Wire Length	Bonding Wire 长度太短
WE	Min End Segment Length	无
	Min Length Wire End Segment at 135Degree	无
	Min Length Wire End Segment at 45/90Degree	无
WI	Max Bonding Wire Length	Bonding Wire 长度太长
WW	Diagonal Wire to Diagonal Wire Spacing	斜线之间太近
	Diagonal Wire to Orthogonal Wire Spacing	斜线与垂直/水平线之间的距离太近
	Orthogonal Wire to Orthogonal Wire Spacing	垂直/水平线之间的距离太近
WX	Max Number of Crossing	无
	Min Distance between Crossing	无
XB	135 Degree Turn to Adjacent Crossing Distance	无
	90 Degree Turn to Adjacent Crossing Distance	无
XD	Externally Determined Violation	无
XS	Crossing to Adjacent Segment Distances	无

参 考 文 献

- [1] Nanotron_CSS. CSS 与 Zigbee,Wi-Fi 无线定位技术比较. <http://www.wellnode.com/cn/>.
- [2] 小米电视质量标准. <http://www.mi.com/mitv#design>.
- [3] Freescale Semiconductor. P2020 QorIQ Integrated Processor Hardware Specifications Datasheet, 2013.
- [4] BROADCOM Semiconductor. BCM7320 Datasheet, 2012.
- [5] SAMSUNG. S5PV210 RISC Microprocessor Datasheet, 2010.
- [6] Eric Bogatin. 信号完整性分析. 李玉山, 李丽平. 北京: 电子工业出版社, 2006.
- [7] Eric Bogatin. Signal and Power Integrity-SIMPLIFIED Second Edition. 2009.
- [8] 张兴柱. 开关电源中的功率级拓扑、分析与设计, 北京: 中国电力出版社, 2009.
- [9] 中国电子学会. 电磁兼容技术培训, 2009.
- [10] 吴均, 王辉, 周家永. Cadence 印刷电路板设计-Allegro PCB Editor 设计指南. 北京: 电子工业出版社, 2012.
- [11] Abraham I. Pressman,Keith Billings,Taylor Morey. 开关电源设计(第三版). 王志强, 肖文勋等译. 北京: 电子工业出版社, 2010.
- [12] CVIA 中国电子视像行业协会标准. 32 英寸 LED 背光液晶电视屏结构与电气接口技术规范, 2010.
- [13] 黄捷. Mentor Graphics 高速电路板设计: 基于 Expedition Enterprise. 北京: 清华大学出版社, 2014.
- [14] 林超文. PADS9.5 实战攻略与高速 PCB 设计. 北京: 电子工业出版社, 2014.
- [15] 周冰, 李田, 胡仁喜. Altium Designer Summer09 从入门到精通. 北京: 机械工业出版社, 2011.
- [16] 徐兴福. ADS2008 射频电路设计与仿真实例 第 2 版. 北京: 电子工业出版社, 2013.
- [17] 谢拥军. HFSS 原理与工程应用. 北京: 科学出版社, 2009.
- [18] 房丽丽. ANSYS 信号完整性分析与仿真实例. 北京: 中国水利水电出版社, 2013.
- [19] 于争. 信号完整性揭秘: 于博士 SI 设计手记. 北京: 机械工业出版社, 2013.
- [20] 王剑宇. 高速电路设计实践. 北京: 电子工业出版社, 2010.
- [21] SAMSUNG. DDR2-k4t51xx3qj_rev11 Datasheet, 2011.
- [22] 邵鹏. 高速电路设计与仿真: Cadence 实例设计详解. 北京: 电子工业出版社, 2010.
- [23] Clayton R. Paul. 电磁兼容导论. 闻映红. 北京: 机械工业出版社, 2006.
- [24] Mark I. Montrose. 电磁兼容的印制电路板设计 第 2 版. 吕英华, 于学萍, 张金玲. 北京: 机械工业出版社, 2008.
- [25] Bruce R. Archambeault. PCB Design for Real-World EMI Control. 2003.
- [26] 耿明. SMT 组装的可制造型设计——工程师应具备的设计技能, 2011.
- [27] ON. 3: 1 High Speed USB Switch with Audio and MHL Capability Datasheet, 2011.
- [28] 三莹电解电容. 电解电容选型手册, Datasheet, 2013.

- [29] AVX. AVX 钽电容 TAC 系列规格书 Datasheet, 2013.
- [30] TDK. TDK 电感选型手册 Datasheet, 2013.
- [31] TDK. Inductors for High Frequency Circuits Multilayer Ceramic MHQ-Pseries Datasheet, 2013.
- [32] 铃木雅臣. 晶体管电路设计 (上). 北京: 科学出版社, 2004.
- [33] 铃木雅臣. 晶体管电路设计 (下). 北京: 科学出版社, 2004.
- [34] A1semi Electronics. AS1117 Dropout Linear Regulator Datasheet, 2011.
- [35] SAMSUNG. S3C2416 16/32-Bit RISC Microprocessor USER'S MANUAL Datasheet, 2009.
- [36] Atmel. AT25256B SPI Serial Electrically Erasable and Programmable Read-only Memory Datasheet, 2011.
- [37] Atmel. AT24C256C I2C-Compatible(2-Wire)Serial EEPROM 256Kbit Datasheet, 2012.
- [38] SAMSUNG. K9F5608U0D-PCB0 FLASH MEMORY Datasheet, 2005.
- [39] HYNIX. HY57V561620FTP-H 4Banks×4M×16Bit Synchronous DRAM Datasheet, Revision 1. 8.
- [40] TOREX. XC9235/XC9236/XC9237 600mA Driver Tr. Built-in, Synchronous Step-Down DC/DC Converters, Datasheet, ETR0514-013.
- [41] EDA365. <http://www.eda365.com/index.php>.
- [42] TEXAS INSTRUMENTS. TPS54550 4. 5V TO 20-V INPUT,6A OUTPUT SYNCHRONOUS PWM SWITCHER WITH INTEGRATED FET Datasheet, 2006.
- [43] 星空电子站. <http://home.educities.edu.tw/oldfriend/index.htm>.
- [44] TEXAS INSTRUMENTS. 针对 DDR2-800 和 DDR3 的 PCB 信号完整性设计.